



CENTRO DE INGENIERÍA Y DESARROLLO INDUSTRIAL

**TÉCNICA DE REDUCCIÓN DE SEÑALES DE ULTRASONIDO EN
TIEMPO REAL IMPLEMENTADA EN HARDWARE**

Tesis

QUE PARA OBTENER EL GRADO ACADÉMICO DE

Doctor en Ciencia y Tecnología
en la Especialidad de Mecatrónica

PRESENTA

M.C. Jorge Alberto Soto Cajiga

DIRIGIDA POR

Dr. Jesús Carlos Pedraza Ortega

Dr. Carlos Rubio González



Santiago de Querétaro, Qro., México, Diciembre del 2012.



CENTRO DE INGENIERIA Y DESARROLLO INDUSTRIAL

**TÉCNICA DE REDUCCIÓN DE SEÑALES DE ULTRASONIDO EN
TIEMPO REAL IMPLEMENTADA EN HARDWARE**

Tesis

QUE PARA OBTENER EL GRADO ACADÉMICO DE

Doctor en Ciencia y Tecnología
en la Especialidad de Mecatrónica

PRESENTA

M.C. Jorge Alberto Soto Cajiga

DIRIGIDA POR

Dr. Jesús Carlos Pedraza Ortega

Dr. Carlos Rubio González



Santiago de Querétaro, Qro., México, Diciembre del 2012.



CIENCIA Y TECNOLOGÍA

Director de Posgrado
PICYT – CIDESI
Querétaro

Los abajo firmantes, miembros del Comité Tutorial del alumno **Jorge Alberto Soto Cajiga**, una vez leída y revisada la Tesis titulada **“Técnica de reducción de señales de ultrasonido en tiempo real implementada en un FPGA”**, aceptamos que la referida tesis revisada y corregida sea presentada por el alumno para aspirar al grado de Doctor en Ciencia y Tecnología en la opción terminal de Mecatrónica durante el Examen de Grado correspondiente.

Y para que así conste firmamos la presente a los 30 días del mes de Noviembre del año dos mil doce.

Dr. Jesús Carlos Pedraza Ortega

Tutor Académico

Dr. Carlos Rubio González

Tutor en Planta



Director de Posgrado
PICYT – CIDESI
Querétaro

Los abajo firmantes, miembros del Jurado del Examen de Grado del alumno **Jorge Alberto Soto Cajiga**, una vez leída y revisada la Tesis titulada “**Técnica de reducción de señales de ultrasonido en tiempo real implementada en un FPGA**”, aceptamos que la referida tesis revisada y corregida sea presentada por el alumno para aspirar al grado de Doctor en Ciencia y Tecnología en la opción terminal de Mecatrónica durante el Examen de Grado correspondiente. Y para que así conste firmamos la presente a los 30 días del mes de Noviembre del año dos mil doce.

Dr. René de Jesús Romero Troncoso
Presidente

Dr. Juan Manuel Ramos Arreguín
Secretario

Dr. Hugo Jiménez Hernández
Vocal

Dr. Carlos Rubio González
Vocal

Dr. Jesús Carlos Pedraza Ortega
Vocal

Resumen

Este trabajo describe una técnica novedosa para la reducción de señales de radiofrecuencia de ultrasonido en tiempo real. La técnica se implementa en hardware, específicamente en un arreglo de compuertas programables en campo (FPGA), aprovechando sus propiedades de paralelización. La reducción de las señales de ultrasonido es deseable cuando: las instalaciones no son accesible para que una persona realice la inspección; se necesite almacenar una cantidad considerable de información; la aplicación requiera que se realice la inspección a velocidades muy altas; y el espacio físico para el hardware embebido es limitado. Todos estos escenarios están presentes en la inspección automática de ductos, donde se utilizan dispositivos de inspección los cuales tradicionalmente reducen la información en línea. La técnica de reducción propuesta consiste en identificar y almacenar en tiempo real sólo el tiempo de ocurrencia y la amplitud máxima correspondiente de cada eco presente en una señal de radiofrecuencia de ultrasonido dada. La técnica se probó con un sistema de inmersión dedicado, donde se logró una reducción significativa de la información, en promedio del 96,5%.

Abstract

This work describes a novel technique for on-line real-time data reduction of radiofrequency ultrasound signals. The approach is based on a field programmable gate array (FPGA) system, taking advantage of its parallelization characteristics. Ultrasound data reduction is desirable when: direct measurements performed by an operator are not accessible; it is required to store a considerable amount of data; the application requires measuring at very high speeds; and the physical space for the embedded hardware is limited. All the aforementioned scenarios can be present in applications such as pipeline inspection where data reduction is traditionally performed on-line using pipeline inspection gauges. The method proposed in this work consists of identifying and storing in real-time only the time of occurrence and the maximum amplitude of each echo present in a given radiofrequency ultrasound signal. The technique is tested with a dedicated immersion system where a significant data reduction with an average of 96.5% is achieved.

CONTENIDO

RESUMEN.....	I
ABSTRACT	II
LISTA DE FIGURAS	1
LISTA DE TABLAS	3
LISTA DE ACRÓNIMOS	4
1. INTRODUCCIÓN.....	6
1.1. ANTECEDENTES	10
1.2. DEFINICIÓN DEL PROYECTO	12
1.3. JUSTIFICACIÓN.....	14
1.4. OBJETIVOS	15
1.5. METODOLOGÍA.....	16
1.6. HIPÓTESIS	17
1.7. ALCANCES Y LIMITACIONES.....	17
1.8. ORGANIZACIÓN DE TESIS.....	18
2. ESTADO DEL ARTE EN REDUCCIÓN DE SEÑALES	20
2.1. REDUCCIÓN POR CODIFICACIÓN	22
2.1.1. <i>Codificación por número de ceros</i>	22
2.1.2. <i>Codificación por Huffman</i>	25
2.2. REDUCCIÓN POR TRANSFORMACIONES.....	27
2.2.1. <i>Reducción por wavelet Haar</i>	27
2.3. REDUCCIÓN POR CONOCIMIENTO	29
2.3.1. <i>Ubicación de amplitud y tiempo de máximos locales</i>	31
3. DESARROLLO.....	35
3.1. HARDWARE DE PROCESAMIENTO.....	35
3.2. EQUIPO DE US Y SISTEMA DE ADQUISICIÓN DE DATOS	36
3.3. REDUCCIÓN.....	39
3.3.1. <i>Eliminación de ruido</i>	40
3.3.2. <i>Rectificación</i>	46
3.3.3. <i>Detección de envolvente</i>	47
3.3.4. <i>Identificación de máximos</i>	51
3.4. SISTEMA DE US PARA REDUCCIÓN EN TIEMPO REAL	52
3.5. IMPLEMENTACIÓN DE REDUCCIÓN EN EL FPGA	56
3.5.1. <i>Estructura FIR Secuencial</i>	58
3.5.2. <i>Estructura FIR Paralela</i>	59
3.5.3. <i>Estructura FIR Semi-Paralela</i>	63
3.5.4. <i>Arquitectura para detección de envolvente</i>	63
4. EXPERIMENTACIÓN Y RESULTADOS	66
4.1. VALIDACIÓN DE LA TÉCNICA DE REDUCCIÓN	66
4.1.1. <i>Respuesta a señales ideales</i>	66
4.1.2. <i>Respuesta a señales con ruido normal</i>	68
4.1.3. <i>Respuesta a señales de amplitud saturada</i>	70

4.1.4. Respuesta a señales con baja amplitud.....	71
4.2. VALIDACIÓN DE LA TÉCNICA DE REDUCCIÓN EN VHDL	73
4.3. INSPECCIÓN DE BLOQUE ESCALONADO CON TÉCNICA DE REDUCCIÓN.....	78
5. CONCLUSIONES Y RECOMENDACIONES	84
6. BIBLIOGRAFÍA.....	88
7. ANEXOS	92
7.1. PRODUCTOS GENERADOS.....	92

Lista de Figuras

Figura 1.1. Señal de US generada por la técnica de inmersión.	7
Figura 1.2. Representación de ecos de US para inspección.....	8
Figura 1.3. Diseño de diablo instrumentado de US bajo desarrollo en CIDESI.....	9
Figura 1.4. Diagrama de tiempos de adquisición y procesamiento de una señal de US.	12
Figura 1.5. Señal RF de US adquirida con un sistema de inmersión de un bloque calibrado de acero de <i>12.7 mm</i> de espesor.	13
Figura 1.6. Metodología.....	16
Figura 2.1. a) Señal RF de US original y b) Señal RF de US filtrada.	22
Figura 2.2. Histograma de señal RF de US (Sólo en rango de <i>-10 a 10</i>).	24
Figura 2.3. Reconstrucción de señal RF de US reducida por codificación de número de ceros.	24
Figura 2.4. Histograma de señal RF de US filtrada.	26
Figura 2.5. Comparación de señal original con señal reconstruida.	29
Figura 2.6. Identificación de máximos con la técnica ALOK [23].....	31
Figura 2.7. En azul la media onda positiva de la señal RF de US y en rojo los máximos detectados con la técnica ALOK.	32
Figura 2.8. Diferencias entre el segundo y tercer ecos presentes en la señal de la Figura 2.7.	33
Figura 3.1. Diagrama a bloques de equipo de US propio.....	36
Figura 3.2. Señal RF de US de 8 bits adquirida por la técnica de contacto.....	38
Figura 3.3. Señal adquirida con equipo comercial USB-UT350.	41
Figura 3.4. Señal adquirida con equipo desarrollado [24] (la misma que la Figura 2.1a).	41
Figura 3.5. Espectro de frecuencia de transductor utilizado H5K de Krautkramer [26].	42
Figura 3.6. Respuesta en frecuencia de filtro FIR pasa-banda	45
Figura 3.7. Señal filtrada con FIR pasa-banda de orden 32.....	45
Figura 3.8. Señal rectificada de la señal filtrada, Figura 3.7.....	47
Figura 3.9. Respuesta en frecuencia de filtro FIR pasa-bajas.....	49

Figura 3.10. Señal envolvente de señal rectificada de la Figura 3.8.	49
Figura 3.11. Comparación de envolventes de señal rectificada (azul) y media onda positiva (roja).....	50
Figura 3.12. Máximos detectados de la señal envolvente.....	52
Figura 3.13. Diagrama a bloques del sistema de US para reducción de señales RF de US en tiempo real basado en un FPGA.	53
Figura 3.14. Relación frecuencia contra orden de las estructuras de filtros FIR [29].	57
Figura 3.15. Estructura del filtro FIR Secuencial.	58
Figura 3.16. Estructura general de los filtros FIR paralelo (SLICE PIPE).....	59
Figura 3.17. Estructura de filtro FIR TRANSPOSE.....	60
Figura 3.18. Estructura del filtro FIR SYSTOLIC.....	61
Figura 3.19. Arquitectura para detección de envolvente.	64
Figura 3.20. Tiempo de ejecución de la arquitectura de la Figura 3.19.....	64
Figura 4.1. Detección de máximos de señal ideal.....	67
Figura 4.2. Detección de máximos de señal con ruido.....	69
Figura 4.3. Detección de máximos de señal saturada en amplitud.	70
Figura 4.4. Detección de máximos de señal con baja amplitud.....	72
Figura 4.5. Comparación de simulaciones entre MATLAB (Azul) y VHDL (Rojo).....	74
Figura 4.6. Simulación de proceso de reducción, primera señal RF de US completa e inicio de siguiente.....	75
Figura 4.7. Ampliación de señales de proceso de reducción (detección del primer máximo).	76
Figura 4.8. Ampliación de señales de proceso de reducción (lectura de datos).....	77
Figura 4.9. Sistema de inmersión por US.....	78
Figura 4.10. Bloque escalonado y transductor de US.	79
Figura 4.11. Perfil de espesores del bloque escalonado obtenido con la técnica de reducción.....	80
Figura 4.12. Reconstrucción tridimensional del bloque escalonado obtenido con la técnica de reducción.	80
Figura 4.13. Histograma de espesores de la inspección del bloque escalonado.	81

Lista de Tablas

Tabla 2.1. Ejemplo de obtención de árbol (codificación) por Huffman.	25
Tabla 3.1. Características principales del FPGA, Spartan 6 XC6SLX9.....	35
Tabla 3.2. SNR en función al orden del filtro pasa-banda.	43
Tabla 3.3. Coeficientes del filtro FIR pasa-banda de orden 32.....	44
Tabla 3.4. SNR en función al orden del filtro pasa-bajas.	48
Tabla 3.5. Coeficientes del filtro FIR pasa-bajas de orden 32.....	48
Tabla 3.6. Comparación de rendimiento de filtros FIR paralelos.....	62
Tabla 4.1. Medición de espesores de señal ideal.....	67
Tabla 4.2. Medición de espesor de señal contaminada con ruido.....	69
Tabla 4.3. Medición de espesor de señal saturada en amplitud.....	71
Tabla 4.4. Medición de espesor de señal con baja amplitud.....	72
Tabla 4.5. Estadísticos del C-Scan del bloque escalonado.....	81
Tabla 5.1. Comparación de técnicas de reducción.....	84

Lista de Acrónimos

ADC	Convertidor analógico a digital
AMP	Amplitud de máxima del eco
CIDESI	Centro de Ingeniería y Desarrollo Industrial
FDM	Frecuencia de muestreo
FIR	Finite-impulse response (respuesta al impulso finito)
FPGA	Field programable gate array (Arreglo de compuertas programables en campo)
FRP	Frecuencia de repetición de pulso
PDD	Porcentaje de diferencia
PDR	Porcentaje de reducción
PIG	Pipeline inspection gauge (indicador de inspección de ductos)
RF	Radio-frecuencia
TDA	Tiempo de adquisición
TDO	Tiempo de ocurrencia de la amplitud máxima del eco
TDV	Tiempo de vuelo
TPA	Tiempo de procesamiento y almacenamiento
TRP	Tiempo de repetición de pulso
US	Ultrasonido

CAPÍTULO 1

INTRODUCCIÓN

1. Introducción

En este trabajo se presenta una nueva técnica para la reducción en tiempo real de las señales de radiofrecuencia (RF) de ultrasonido (US) implementada en hardware. El tema surge de la necesidad de reducir en tiempo real las señales RF de US de un equipo instrumentado [1], utilizado para inspeccionar internamente la integridad de los ductos de transporte de hidrocarburos. Dicho equipo instrumentado se está desarrollando en el Centro de Ingeniería y Desarrollo Industrial (CIDESI).

Las señales RF de US son generadas utilizando un transductor y un circuito pulsador. Primero el circuito pulsador excita al transductor, provocando que se genere una señal de US, la cual inicia su propagación por el medio que se encuentra en contacto con el transductor, Figura 1.1. En cuanto el US encuentra un cambio de densidad acústica, parte de la señal de US se transmite al siguiente medio y parte se refleja. La señal continúa su viaje, transmitiéndose y reflejándose cada vez que encuentra un cambio de densidad acústica, hasta que su energía se disipa por completo. Cada vez que la señal es reflejada se forma un eco que regresa al transductor. El transductor convierte cada eco que recibe en una señal eléctrica, la cual es amplificada por un circuito receptor, para finalmente ser digitalizada para su posterior análisis.

En función a los ecos presentes en la señal RF de US se pueden identificar diferentes tipos de fallas en el espécimen bajo inspección, Figura 1.2. De esta manera el US es una herramienta muy poderosa para inspeccionar de manera automática los ductos de transporte de hidrocarburos.

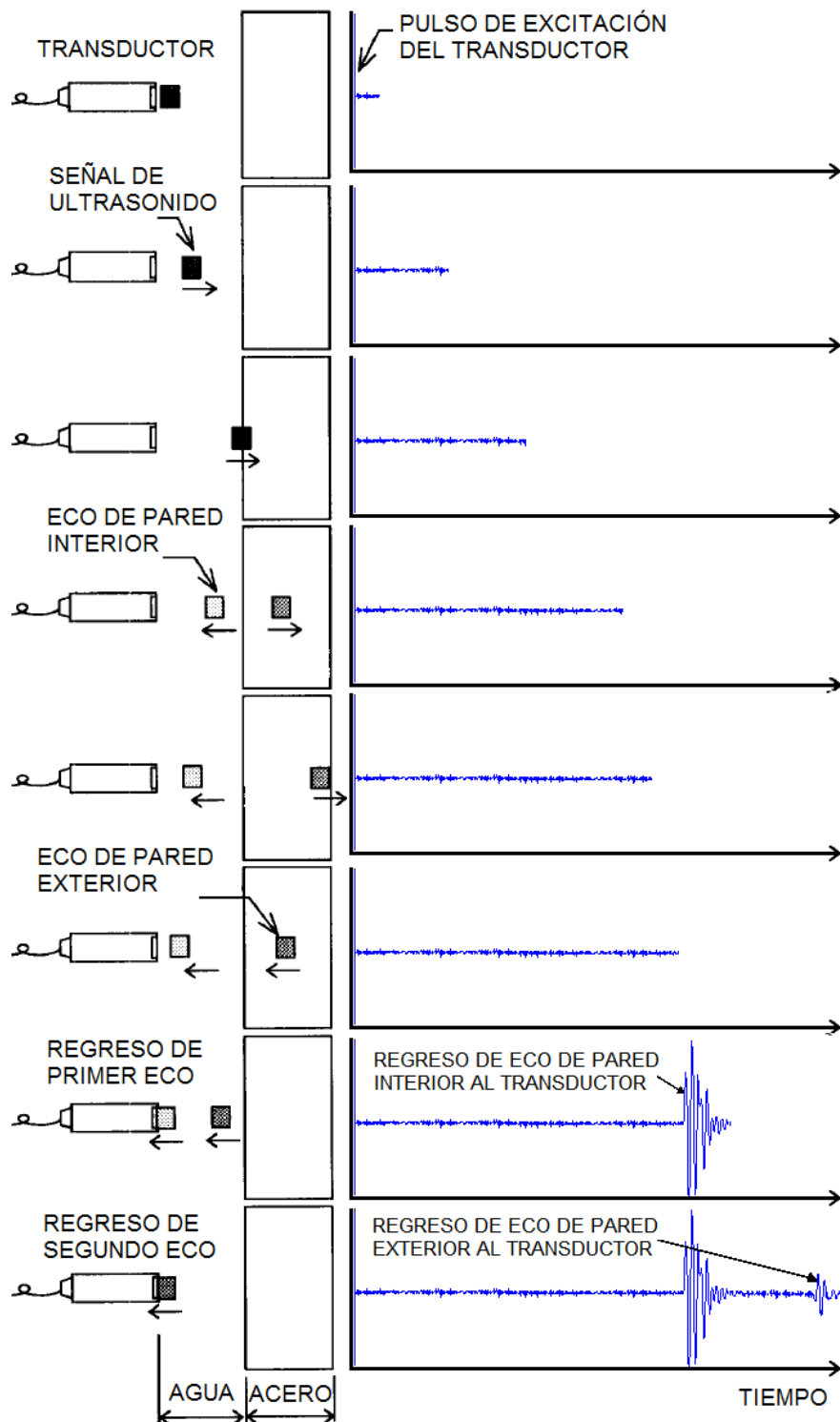


Figura 1.1. Señal de US generada por la técnica de inmersión.

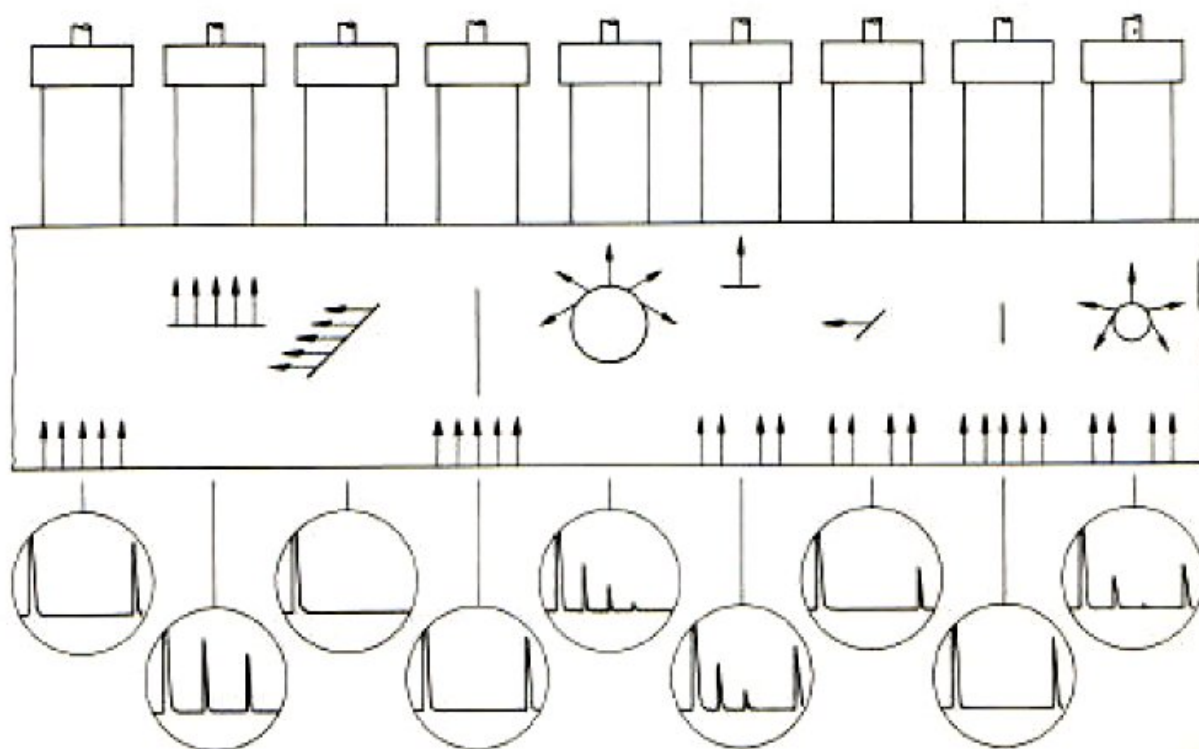


Figura 1.2. Representación de ecos de US para inspección.

En la actualidad los ductos son el medio de transporte de hidrocarburos más eficiente, económico y seguro, por ejemplo, sólo en México existen alrededor de *54,000 Km*. Es indispensable inspeccionar periódicamente la integridad física de los ductos ya que se encuentran sometidos a diferentes condiciones de funcionamiento, ambientales y humanas que pueden provocar fallas. Dado que la mayoría de los ductos están enterrados o en el mar, la forma más práctica de realizar la inspección es introducir en ellos algún dispositivo que realice las mediciones internamente de manera automática, tal es el caso de los equipos instrumentados, los cuales también son conocidos como diablos instrumentados o como dispositivos de inspección de ductos, por sus siglas en Inglés PIGs (Pipeline Inspection Gauges). En la Figura 1.3 se muestra el diseño conceptual del diablo instrumentado de US que se está desarrollando en CIDESI.

El diablo instrumentado se introduce en el ducto a inspeccionar utilizando instalaciones especialmente diseñadas para ello, llamadas trampas, una vez introducido se hace que el flujo del material que se transporta lo arrastre a lo largo del ducto. En su recorrido

debe almacenar, de manera automática, la información adquirida de los múltiples transductores de US. Al final de su recorrido es retirado del ducto para extraer y analizar la información que almacenó y por último generar el reporte de la integridad del ducto inspeccionado. En México la inspección de ductos está regida por la norma de PEMEX: “Inspección de ductos de transporte mediante equipos instrumentados” [1], donde se especifican los estándares que se deben cumplir para la inspección por US.

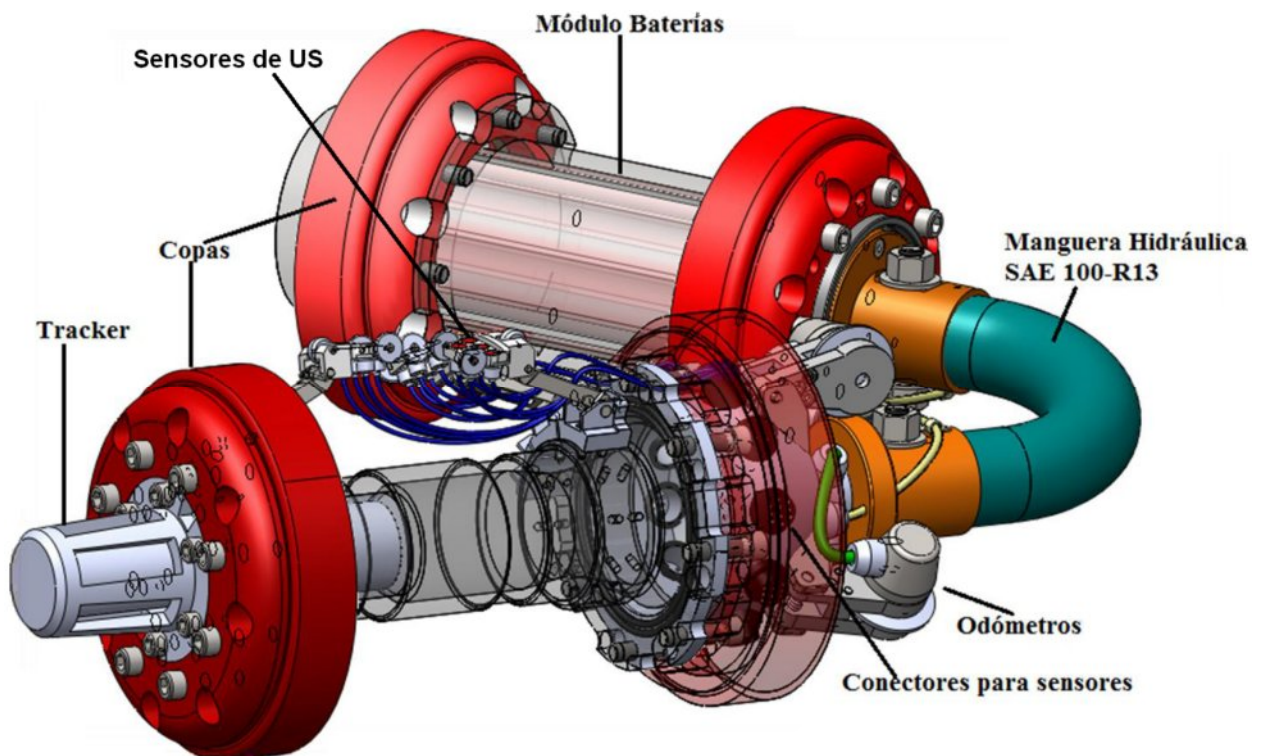


Figura 1.3. Diseño de diablo instrumentado de US bajo desarrollo en CIDESI.

El diablo instrumentado de US que se está desarrollando en CIDESI es el primero de origen Mexicano en su tipo, y a lo largo de su desarrollo se han presentado diferentes retos, dentro los cuales se encuentra el desarrollo y el manejo de la información del sistema de US. Donde se requiere reducir, en tiempo real, las señales de 100 transductores de US utilizados para inspeccionar la circunferencia y longitud completa de un ducto de 254 mm. Aquí es donde se encuentra la principal aportación de esta tesis.

En resumen, en este trabajo se presenta una técnica de reducción en tiempo real de señales RF de US implementada en hardware, ejemplificando su potencial y funcionamiento en la aplicación del diablo instrumentado. A continuación se hace una reseña de las técnicas existentes para reducir señales RF de US en general.

1.1. Antecedentes

Desde los años 80's en donde se introdujeron los primeros diablos instrumentados de US [2], uno de los principales problemas ha sido el manejo de las grandes cantidades de información que se debe adquirir de los múltiples transductores [3-7], siendo un factor determinante el uso de hardware y las técnicas de procesamiento de alta velocidad ejecutadas en línea [3, 8-10].

Gran parte de los esfuerzos se han enfocado en la reducción de la información en línea y se han utilizado diferentes alternativas; desde las técnicas de reducción por codificación [3, 4, 8, 11, 12], reduciendo la información hasta un 70% [9] y las técnicas de reducción por transformación [10, 13-15], reduciendo hasta un 93% [16]. Hasta las técnicas diseñadas especialmente para reducción de señales RF de US [3, 5-7, 17-23], las cuales pueden ser capaces hasta de identificar y dimensionar las fallas en línea y así almacenar solamente la información de interés de la inspección. Sin embargo, siempre son requeridas técnicas de reducción de mayor eficiencia, las cuales pueden ser logradas con ayuda del potencial del hardware de procesamiento actual. Esto hace deseable explorar nuevas alternativas para reducción, principalmente que sean implementadas en línea, que sean competitivas con los niveles de reducción actuales y que cumplan con los requerimientos de tiempo de procesamiento, espacio físico y ahorro de energía. Así la técnica propuesta pretende cumplir con estos requerimientos inclusive, mejorando el nivel de reducción de las técnicas existentes.

Para entender la necesidad de reducir en tiempo real las señales RF de US se explican los requerimientos de inspección del diablo instrumentado que se está desarrollando en CIDESI. El diablo instrumentado debe tener la capacidad de inspeccionar hasta *100 Km*

de ducto, de 254 mm de diámetro interno, utilizando 100 transductores de US, adquiriendo una señal por transductor cada 2.78 mm , como especifica la norma de PEMEX [1]. Si se consideran 1024 Bytes por señal RF de US, que es lo recomendado [6, 10], la memoria requerida para el almacenamiento de toda la información (sin reducción) correspondiente de la inspección de los 100 Km es de 3600 GB . Es deseable reducir esta cantidad de información; por lo complicado que es manejar una unidad de almacenamiento de esta capacidad en el interior de diablo instrumentado, ya que consumiría un espacio físico considerable y niveles altos de energía; y porque es más sencillo el post procesamiento de la información, sí además en la reducción se desechan datos que no aportan información para realizar el análisis de integridad del ducto. Sin embargo, en el caso que se quiera reducir la información en línea se deben considerar los tiempos disponibles para adquirir, procesar y almacenar esta cantidad de información.

Según la norma de PEMEX [1], se necesita una frecuencia de repetición del pulso de la señal RF de US mínima de 600 Hz , teniendo así un tiempo de repetición del pulso (TRP) máximo de $1,667\text{ }\mu\text{s}$. Esto implica que por cada transductor utilizado en cada tiempo de repetición del pulso no sólo se deben adquirir las señales de todos y cada uno los 100 transductores de US, sino que además se debe reducir y almacenar la información reducida. Considerando que el sistema de US desarrollado [24] en CIDESI adquiere 1024 datos por cada señal de US con un convertidor de analógico a digital (ADC) de 8 bits a una frecuencia de muestreo de 50 MHz (10 veces la frecuencia del transductor de US utilizado), se tiene un tiempo de adquisición de la señal (TDA) de $20.48\text{ }\mu\text{s}$ (1024 datos a 50 MHz), por lo que el tiempo para procesamiento y almacenamiento (TPA) es de $1,646.52\text{ }\mu\text{s}$ (TRP – TDA). En la Figura 1.4 se ilustran estos tiempos.



Figura 1.4. Diagrama de tiempos de adquisición y procesamiento de una señal de US.

Como se especificó en ejemplo anterior, solo se dispone de $1,667 \mu s$ para adquirir y reducir la señal de cada transductor (de cada equipo de US), sin embargo, si se pretenden utilizar 100 transductores se requieren 100 equipos de US y al igual que para la unidad memoria de almacenamiento, entre más equipos de US se utilicen, más espacio físico y más energía se requieren. La solución aquí es que cada equipo maneje tantos transductores de US como sea posible, usando una multiplexión de dichos transductores, para lo cual el tiempo de repetición del pulso disponible ($TRP = 1,667 \mu s$) se debe dividir entre el número de transductores que se quieran manejar por cada equipo de US. Por ejemplo, si cada equipo de US controla 8 transductores el tiempo de repetición del pulso se reduce a $208.375 \mu s$ ($1,667 \mu s \div 8$ transductores), es decir, en $208.375 \mu s$ se deben adquirir 8 señales de 1024 bytes, se debe reducir la información y se debe almacenar el resultado. En este punto es donde se hace indispensable el procesamiento en tiempo real, utilizando técnicas de procesamiento en paralelo implementadas en hardware.

1.2. Definición del proyecto

En este trabajo se propone una técnica para reducir, en tiempo real, la información de las señales RF de US, la técnica está basada en un técnica paralela de codificación de señales implementado en hardware, específicamente en un arreglo de compuertas programable en campo (por sus siglas en Inglés FPGA). Además se propone la estructura del sistema de ultrasonido para implementar dicha técnica en un diablo instrumentado.

Una señal RF de US, es la señal tal como se adquiere con un equipo de US simple, en la Figura 1.5 se ilustra una señal completa adquirida por la técnica de inmersión de un bloque calibrado de acero con espesor de 12.7 mm .

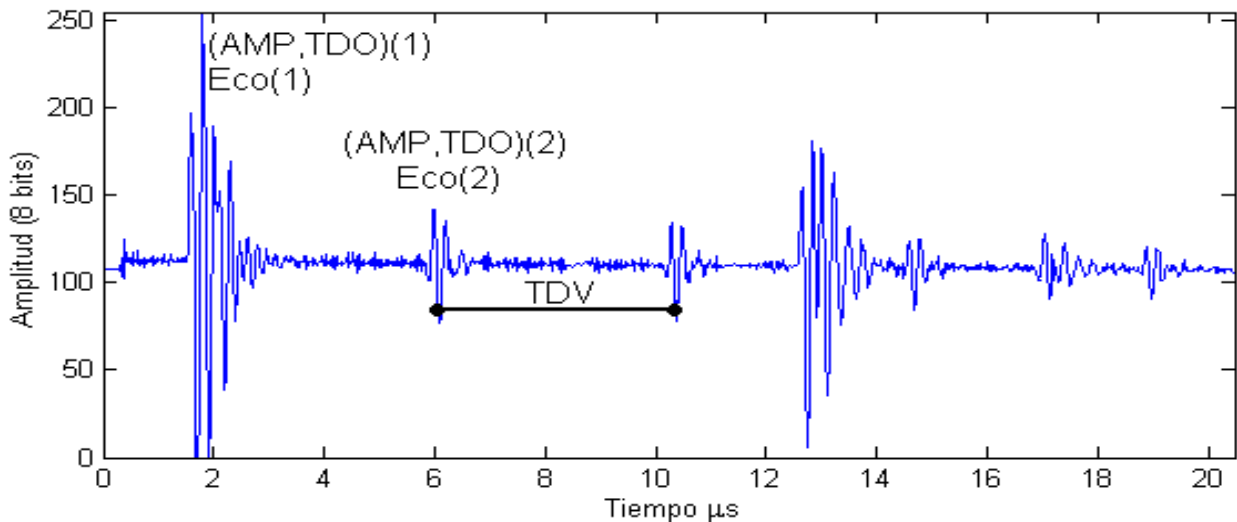


Figura 1.5. Señal RF de US adquirida con un sistema de inmersión de un bloque calibrado de acero de 12.7 mm de espesor.

La técnica de reducción está fundamentada en el hecho de que en la inspección por ensayos de US dos medidas básicas son las de interés, estas son; el tiempo de ocurrencia (TDO) y la amplitud máxima (AMP) correspondientes de cada eco presente en la señal RF de US [25]. Con este par ordenado (TDO, AMP) es posible identificar y dimensionar diferentes características del espécimen bajo inspección, por ejemplo, se puede medir el espesor de pared utilizando el tiempo de vuelo (TDV) que corresponde a la diferencia entre el TDO de dos ecos determinados, ver Figura 1.5.

En la bibliografía existen diferentes técnicas, métodos o algoritmos donde su principal objetivo es identificar y dimensionar los pares ordenados (TDO, AMP) de los ecos, estas técnicas se pueden encontrar implementadas tanto fuera de línea (Post-procesamiento) [7], como en línea [3, 18-20], sin embargo, en este trabajo se presenta una alternativa diferente cuya principal contribución consiste en que se codifica la señal detectando los pares ordenados TDO y AMP, en un FPGA utilizando una arquitectura que explota el paralelismo del arreglo de operadores, permitiendo ejecutar la reducción

en tiempo real, almacenando solamente los pares ordenados (TDO, AMP) correspondientes al máximo de la envolvente de cada eco presente en la señal RF de US. Al almacenar solamente los pares ordenados (TDO, AMP) se logran niveles muy altos de reducción y además se desecha información que no es de interés para el análisis de integridad, simplificando así el post-procesamiento de la información.

La técnica de reducción propuesta en este trabajo, es probada inicialmente con simulaciones, posteriormente se implementa en el FPGA y finalmente se valida realizando la inspección de un bloque escalonado. Utilizando la técnica de reducción y la arquitectura del sistema de US propuestos, se han obtenido resultados de reducción en promedio de 96.5%.

1.3. Justificación

La reducción de señales RF de US es deseable y se justifica cuando: es peligroso o no es posible que una persona pueda realizar la medición; es necesario almacenar una gran cantidad de información; para la inspección se requieren realizar las mediciones a velocidades muy altas; y el espacio físico para el hardware embebido es reducido. Algunos de estos escenarios se presentan en la inspección de plantas nucleares, pero donde se encuentran todos estos escenarios es en la inspección de ductos, donde la reducción de la información es ejecutada en línea utilizando equipos instrumentados.

Con el desarrollo de este trabajo se le da solución al problema del manejo de información para el diablo instrumentado de inspección por US que se está desarrollando en CIDESI. El desarrollo del diablo instrumentado se justifica por dos razones: ayuda en la prevención de posibles accidentes en los ductos; y evita fuga de capital Mexicano, ya que el costo del servicio que paga PEMEX por kilometro de inspección oscila entre \$1,200 - \$3,000 dólares americanos.

Se puede cuestionar por qué no se adquiere esta tecnología, en vez de desarrollarla, y es que esta tecnología no se vende por dos factores principales: porque a las empresas

que desarrollan los diablos instrumentados les reditúa más rentar el servicio; y porque a PEMEX, o a cualquier otra empresa, no le conviene comprar este tipo de tecnología, ya que requiere de personal altamente calificado para su operación, mantenimiento y actualización.

CIDESI pretende ofrecer el servicio o licenciar la tecnología a un menor costo que las tecnologías extranjeras. El costo es considerablemente menor por el simple hecho de que el soporte, mantenimiento, actualizaciones y los nuevos desarrollos de los diablos instrumentados serán hechos en México.

1.4. **Objetivos**

Objetivo general:

Desarrollar e implementar una técnica de reducción de señales RF de US en tiempo real utilizando las propiedades de paralelización del procesamiento digital por hardware.

Objetivos específicos:

- Definir una técnica propia para la reducción de señales RF de US.
- Paralelizar la técnica de reducción utilizando procesamiento digital por hardware.
- Validar la técnica de reducción experimentalmente.
- Proponer la arquitectura de un sistema de US para implementar la técnica de reducción en tiempo real para múltiples transductores.

1.5. Metodología



Figura 1.6. Metodología

1.6. Hipótesis

Utilizando las propiedades de paralelización de procesamiento digital por hardware, es posible desarrollar e implementar un método para reducir en tiempo real la señal RF de US, identificando y almacenando solamente los tiempos de ocurrencia y las amplitudes (**TDO**, **AMP**) correspondientes a cada eco presentes en dicha señal.

Al reducir la señal RF de US en tiempo real es posible que cada equipo de US pueda manejar un número de transductores (**NT**) máximo correspondiente a la división de el tiempo de repetición del pulso entre el tiempo de adquisición ($NT = TRP \div TDA$).

1.7. Alcances y Limitaciones

Alcances:

- El proceso de reducción consiste en sólo almacenar los pares ordenados (TDO, AMP) correspondientes a los ecos identificados en una señal RF de US.
- El desarrollo e implementación de la técnica de reducción se construye para manejar un sólo transductor de US.
- Sólo se propone el diseño conceptual de la arquitectura de un equipo de US para que pueda manejar tantos transductores como sea posible, para su aplicación en un diablo instrumentado.

Limitaciones:

- Actualmente no se cuenta con la parte mecánica del diablo instrumentado, por lo que los resultados presentados en esta tesis corresponden a simulaciones y pruebas de laboratorio con experimentos que emulan en gran medida la inspección utilizando un diablo instrumentado.
- La técnica se prueba con un equipo de US de un solo canal, debido a que también está en desarrollo otro equipo de US que maneje múltiples transductores a alta velocidad.

1.8. Organización de Tesis

La tesis se estructura de la siguiente manera:

- En el capítulo 2 se investigan, se implementan y se analizan diferentes técnicas de reducción de señales de US, inicialmente para generar la idea de la hipótesis de la tesis y finalmente para hacer una comparación con la técnica propuesta. Se hace el estudio del arte y se implementan a nivel simulación computacional las técnicas más relevantes en cada categoría: técnicas de reducción por codificación, por transformación y basadas en el conocimiento.
- En el capítulo 3 se hace un análisis de las opciones de hardware de procesamiento que existen en el mercado para seleccionar la más conveniente para esta aplicación; se explica cómo está diseñado el equipo de ultrasonido que se desarrolló en CIDESI; se desarrolla la técnica de reducción, primero implementada en MATLAB y posteriormente en VHDL; y finalmente se define la arquitectura para su implementación en el FPGA.
- En el capítulo 4: Se realiza una validación con simulaciones, tanto en MATLAB como en VHDL, de la respuesta de la técnica de reducción a señales con ruido inducido, a señales con amplitud saturada y a señales con baja amplitud, que son los escenarios que se pueden presentar en la inspección con el diablo instrumentado; por último se realiza una prueba de inspección de un bloque escalonado utilizando un sistema de inmersión, tratando de emular el comportamiento del diablo instrumentado, de esta prueba se realiza un estadístico con más de 4000 señales adquiridas por la técnica de reducción.
- En el capítulo 5, se presentan las conclusiones y recomendaciones de la técnica de reducción propuesta.

CAPÍTULO 2

ESTADO DEL ARTE EN REDUCCIÓN DE SEÑALES

2. Estado del arte en reducción de señales

En este capítulo se presenta un análisis de diferentes técnicas de reducción de señales RF de US encontradas en la bibliografía. Y al final del capítulo se explica de forma general el funcionamiento de un equipo de US.

Las técnicas de reducción de información se pueden clasificar principalmente en reducción por codificación, reducción por transformación y reducción basada en el conocimiento, las cuales se describen más adelante.

Además se pueden clasificar en reducción con pérdida y reducción sin pérdida. Como sus nombres lo indican, en la reducción con pérdida no es posible reconstruir la información original y para la reducción sin pérdida sí es posible recuperar la información original.

En general para cualquier tipo de reducción se maneja una medida del porcentaje de reducción lograda después de aplicarle alguna técnica, y está definida como:

$$PDR = \left(1 - \frac{N_{red}}{N_{ent}}\right) \times 100 \quad (2.1)$$

donde,

PDR : es el porcentaje de reducción,

N_{ent} : es el número de datos de entrada antes de la reducción y

N_{red} : es el número de datos después de la reducción.

Conforme el valor del porcentaje de reducción sea más cercano al 100% quiere decir que el nivel de reducción es mejor.

Otra medida utilizada en las técnicas de reducción, principalmente cuando la reducción es con pérdida, es la calidad de la reconstrucción, la cual corresponde al porcentaje de diferencia de la raíz media cuadrática entre la señal de entrada (señal a reducir) y la señal de salida (señal reconstruida) y está definida por:

$$PDD = \left(1 - \sqrt{\frac{\sum_{n=0}^N [x_{ent}(n) - x_{sal}(n)]^2}{\sum_{n=0}^N x_{ent}^2(n)}} \right) \times 100 \quad (2.2)$$

donde,

PDD : es el porcentaje de diferencia de la raíz media cuadrática,

n : es el n -ésimo dato,

N : es el número total de datos,

x_{ent} : es la señal de entrada (señal a reducir) y

x_{sal} : es la señal de salida (señal reconstruida).

A medida que el porcentaje de diferencia se acerque al 100% , la calidad de la reconstrucción es mejor, es decir, la señal de salida es más parecida a la señal de entrada.

En general todas las técnicas de reducción encontradas en la bibliografía requieren de un pre-procesamiento de la señal RF de US para obtener mejores niveles de reducción, por lo que para todas las técnicas explicadas a continuación, se filtra las señales RF de US antes de aplicarles dichas técnicas de reducción. El filtro utilizado es un pasa-banda de respuesta al impulso finito, por sus siglas en Ingles FIR (Finite Impulse Response), el cual se estudia a detalle en la sección 3.3.1. En la Figura 2.1b se ilustra el resultado de aplicarle dicho filtro a la señal original de la Figura 2.1a.

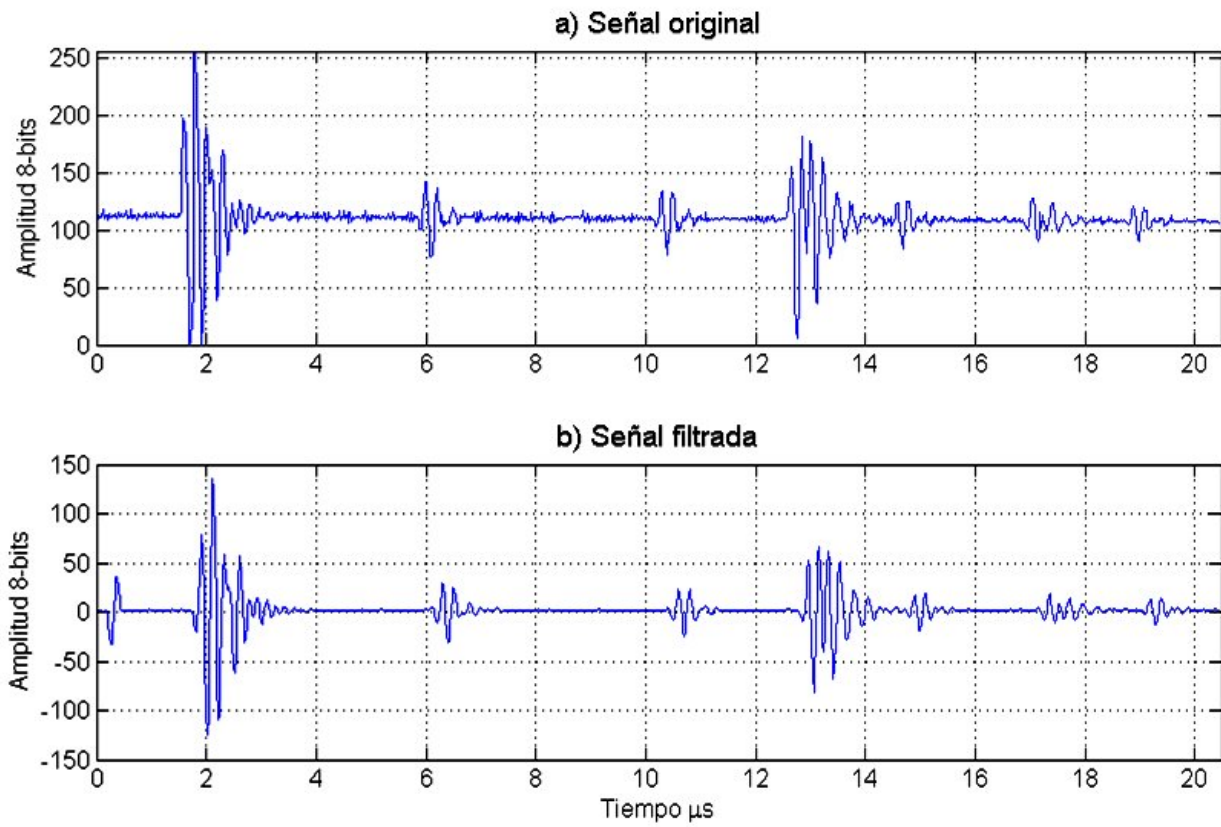


Figura 2.1. a) Señal RF de US original y b) Señal RF de US filtrada.

La señal original, Figura 2.1a, fue adquirida por la técnica de inmersión de un bloque calibrado de 12.7 mm de espesor y es el tipo de señal que se utilizará para realizar un análisis general de las técnicas de reducción más aplicadas a señales RF de US que existen en la bibliografía.

2.1. Reducción por codificación

En la bibliografía se encuentra que para la reducción de señales RF de US, por codificación, se utilizan principalmente dos técnicas: Número de ceros [7] y Huffman [8].

2.1.1. Codificación por número de ceros

La codificación por número de ceros es una técnica de reducción estadística con pérdida, la cual supone que en una trama de datos se van a presentar secuencias de

ceros (o de cualquier número o rango de valores predefinidos como cero), de forma repetida a lo largo de la trama. Así se almacenan de forma normal todos los datos diferentes de cero y las secuencias de ceros se almacenan iniciando con el número cero seguido del número de ellos, ver ejemplo a continuación:

Inicialmente se tiene una trama de 24 datos:

-1	0	0	0	0	0	0	3	5	3	2	1	0	0	0	0	0	0	0	-2	8	0	5
----	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	----	---	---	---

Con codificación por número de ceros se reduce a 15 datos:

-1	0	6	3	5	3	2	1	0	8	-2	8	0	1	5
----	---	---	---	---	---	---	---	---	---	----	---	---	---	---

Aplicando la ecuación 2.1 se tienen un porcentaje de reducción del 37.5%:

Si se consideran como ceros a los números que estén dentro del rango de -2 a +2 la información se reduce a 11 datos:

0	7	3	5	3	0	11	8	0	1	5
---	---	---	---	---	---	----	---	---	---	---

Lo que corresponde a un porcentaje de reducción del 54.2%:

El usuario debe definir el rango de datos considerado como cero. Una forma de definirlo es a partir del histograma de la información a reducir. Por ejemplo, para aplicar esta técnica sobre la señal RF de US filtrada de la Figura 2.1b, primero se debe identificar el rango de datos considerados como cero. Con ayuda del histograma de la señal, Figura 2.2, se considera que el cero se encuentra entre -4 y 4.

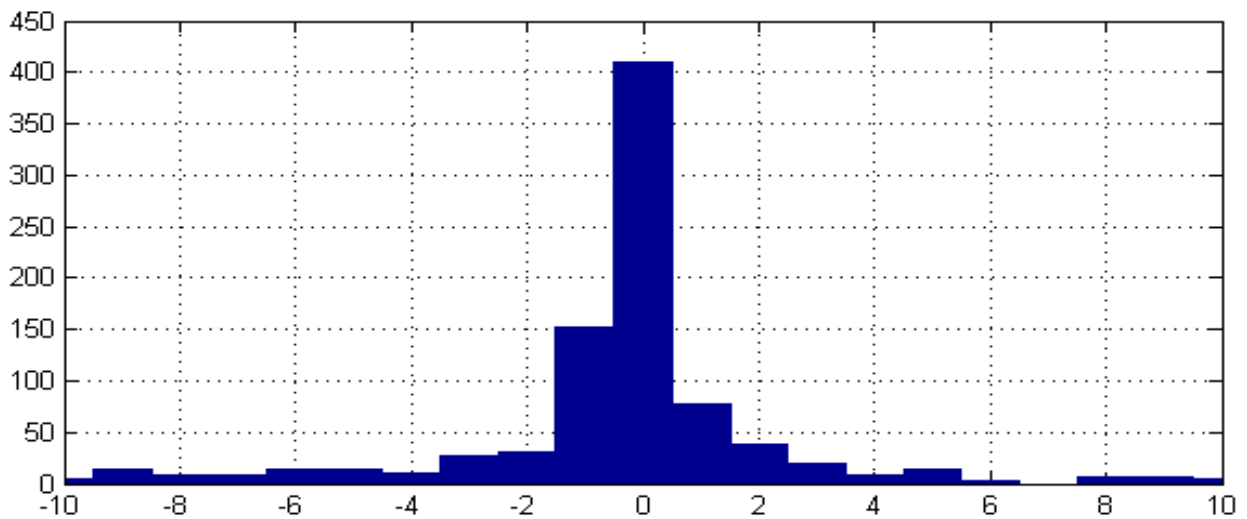


Figura 2.2. Histograma de señal RF de US (Sólo en rango de -10 a 10).

Aplicando la reducción, a dicha señal, se obtiene un porcentaje de reducción del 66.5% (de 1024 a 343 datos) y se puede reconstruir la señal RF de US como se ilustra en la Figura 2.3.

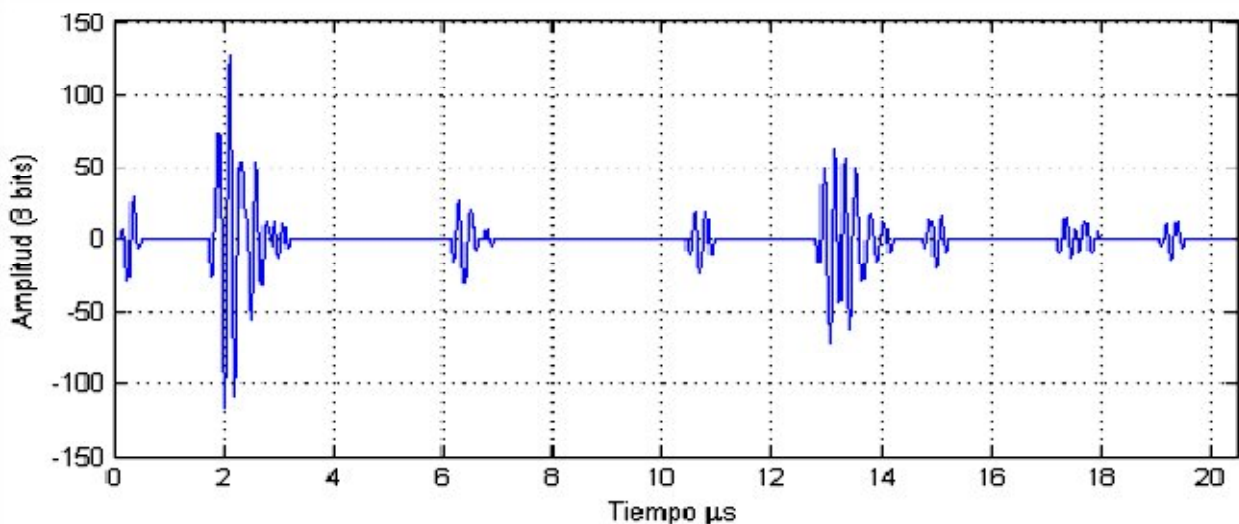


Figura 2.3. Reconstrucción de señal RF de US reducida por codificación de número de ceros.

Este tipo de reducción es con pérdida, sin embargo, es posible aplicar el porcentaje de diferencia, ecuación 2.1, debido a que el número de datos de entrada es igual al

número de datos de la reconstrucción, así se obtiene un porcentaje de diferencia del 92.92%.

Esta técnica es fácil de implementar en tiempo real [7], sin embargo, a pesar de que presenta un buen porcentaje de reducción, éste es bajo comparado con el porcentaje de reducción de otras técnicas.

2.1.2. Codificación por Huffman

La codificación por Huffman, también conocida como construcción de códigos de mínima redundancia, es una técnica de reducción de codificación estadística sin pérdida que depende de la fuente de probabilidad de los datos a reducir [11]. De acuerdo a la bibliografía si se aplica sobre señales RF de US [9] se puede lograr un porcentaje de reducción del 70%.

La técnica consiste en obtener un árbol (o diccionario) que represente todos los datos presentes en cada señal. Para generar este diccionario se utiliza el histograma de la señal.

Lo interesante de la técnica, es cómo la codificación por Huffman genera el árbol, asignando un dato de dimensión diferente para cada dato, dependiendo de la frecuencia de repetición del dato. Ver ejemplo en Tabla 2.1.

Tabla 2.1. Ejemplo de obtención de árbol (codificación) por Huffman.

<i>Dato a codificar</i>	<i>“a”</i>	<i>“b”</i>	<i>“c”</i>	<i>“d”</i>	<i>“e”</i>	<i>“f”</i>
<i>Frecuencia de aparición</i>	45	13	12	16	9	5
<i>Dato codificado, Huffman</i>	0	101	100	111	1101	1100

En la Tabla 2.1 se puede apreciar que el dato “a” es el que más se repite y es codificado con 1 bit, mientras que el dato “f” es el que menos se repite y es codificado con 4 bits. En este ejemplo, inicialmente se requerían 100 Bytes (45 + 13 + 12 +

16 + 9 + 5) para su almacenamiento, utilizando Huffman sólo se requieren 33 Bytes, 6 Bytes para el árbol (correspondiente a los 6 diferentes datos) y 23 bytes de los datos codificados ($[45 \times 1 + 13 \times 3 + 12 \times 3 + 16 \times 3 + 9 \times 4 + 5 \times 4] \div 8$). En este ejemplo el porcentaje de reducción es del 71%.

Para la decodificación se siguen las combinaciones del árbol para asignar el dato correspondiente a cada código almacenado.

Para codificar por Huffman la señal de la Figura 2.1b, primero se obtiene su histograma, Figura 2.4.

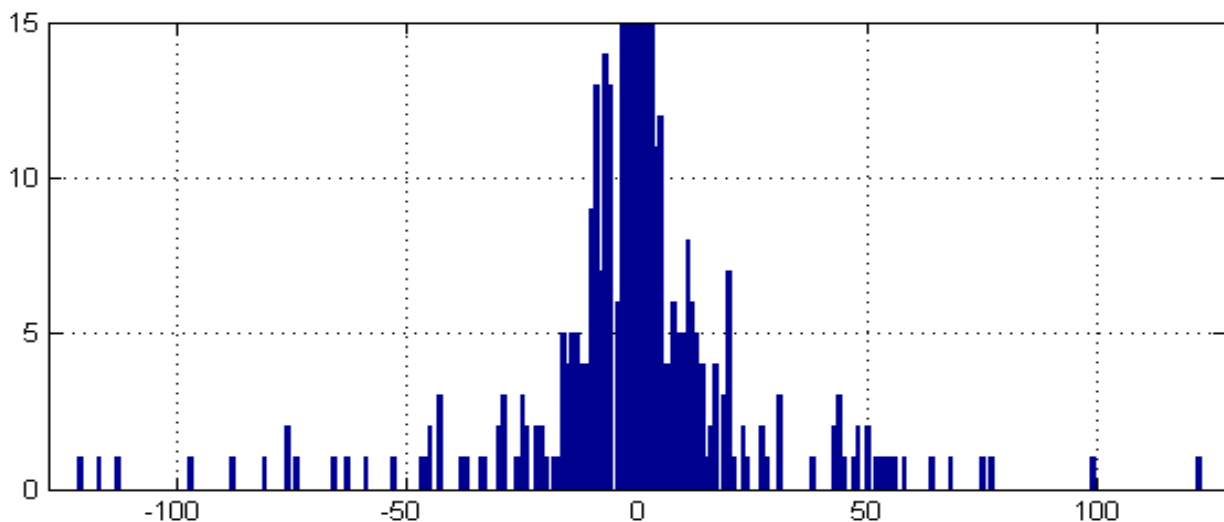


Figura 2.4. Histograma de señal RF de US filtrada.

En el histograma se aprecia que de las 256 combinaciones posibles (-127 a 128) correspondientes a los 8 bits del ADC, sólo se utilizan 95, por lo que el árbol que se tiene que almacenar es de 95 Bytes posteriormente se generan los códigos de Huffman y finalmente se almacena la información codificada. En este ejemplo se requirieron de 497 Bytes para codificar los 1024 Bytes, por lo que en lugar de almacenar 1024 Bytes sólo se tienen que almacenar 592 Bytes (95 + 497) lo que corresponde a un porcentaje de reducción del 42.2%.

Para la misma señal se obtiene un nivel de reducción menor que con la técnica de codificación de número de ceros, sin embargo, con la codificación de Huffman, al decodificar la información se obtiene exactamente la misma señal de la Figura 2.1b, es decir, se tiene un porcentaje de diferencia del *100%*.

Si a la codificación por Huffman se le aplica umbralización al igual que en la técnica de número de ceros, entonces se obtiene un porcentaje de reducción del *61.1%* y el porcentaje de diferencia queda igual que en la codificación por número de ceros, del *92.92%*. Finalmente la señal reconstruida queda igual que la señal de la Figura 2.3.

Es evidente que la técnica de reducción de Huffman es más compleja de implementar en tiempo real, por lo que para este tipo de señales se recomendaría la codificación por número de ceros sobre la codificación por Huffman.

2.2. Reducción por transformaciones

Las técnicas de reducción por transformación más usadas en señales RF de US que se encontraron [14] fueron: la transformada discreta de wavelet; la transformada discreta de coseno; y la transformada de Walsh-Hadamard. Siendo la transformada rápida de wavelet la más eficiente para reducir este tipo de señales en tiempo real y la más fácil de implementar, principalmente la de tipo Haar, por lo que sólo se analiza esta transformada.

2.2.1. Reducción por wavelet Haar

La base o principio del uso de la transformada wavelet (y algunas otras transformadas) en reducción, es aprovechar que los coeficientes en los espacios w_i , son pequeños si la señal analizada se comporta en forma suave, y grandes si la señal varía en forma notoria. Esto sugiere que pueden eliminarse o hacerse cero los coeficientes pequeños y la señal sintetizada o reconstruida no variaría mucho.

Existen tres pasos fundamentales en el proceso de reducción con wavelets:

1. Obtener los coeficientes wavelet (mediante el kernel Haar).
2. Hacer cero los coeficientes menores a un umbral específico.
3. Codificar los coeficientes umbralizados.

A manera de ejemplo, se considera la señal $x_{ent} = [1, 2, 3, 4, 5, 6, 7, 8]$, la cual se quiere reducir utilizando la técnica de transformación wavelet Haar de 3 niveles. Debido a que son 3 niveles, entonces la señal x_{ent} corresponde al detalle del nivel 3, $d_3 = [1, 2, 3, 4, 5, 6, 7, 8]$. Así a d_3 se le aplica la transformada wavelet Haar hasta el nivel 0, que consiste en primero aplicar un promedio (filtro pasa bajas) a d_3 para obtener el detalle del nivel 2, $d_2 = [1.5, 3.5, 5.5, 7.5]$ y posteriormente aplicar un promedio de diferencias (filtro pasa altas) entre d_3 y d_2 ($[1 - 1.5, 3 - 3.5, 5 - 5.5, 7 - 7.5]$) para obtener los coeficientes del nivel 2, $c_2 = [-0.5, -0.5, -0.5, -0.5]$. Repitiendo este proceso, tomando como señal de entrada ahora a $d_2 = [1.5, 3.5, 5.5, 7.5]$, se obtienen $d_1 = [2.5, 6.5]$ y $c_1 = [-1, -1]$ y finalmente tomando como entrada a d_1 se obtienen $d_0 = [4.5]$ y $c_0 = [-2]$.

Así se forma la transformada discreta de wavelet tipo Haar, $H(x_{ent}) = [c_2, c_1, c_0, d_0]$ o $H([1, 2, 3, 4, 5, 6, 7, 8]) = [-0.5, -0.5, -0.5, -0.5, -1, -1, -2, 4.5]$.

Como se puede apreciar la transformada H tiene la misma dimensión que la señal x_{ent} , es decir, aún no hay reducción. Para reducir se aplica una umbralización a H , en este ejemplo, se hacen cero los coeficientes que están entre -1 y 1 , quedando así $H' = [0, 0, 0, 0, -1, -1, -2, 4.5]$, de esta forma se puede aplicar la codificación por número de ceros o por Huffman a H' para reducir su tamaño. En este ejemplo no es significativa la reducción, por ejemplo, para la técnica de número de ceros se obtiene un porcentaje de reducción del 25% al igual que por la técnica de Huffman.

Para la reconstrucción se aplica la transformada inversa de wavelet a H' , donde primero se debe considerar que han cambiado los coeficientes, por lo que se deben de reasignar sus valores, quedando como sigue; $c_2' = [0, 0, 0, 0]$, $c_1' = [-1, -1]$ y $c_0' =$

[−2]. El detalle $d_0 = [4.5]$ debe quedar igual ya que debe estar por encima del valor de umbral. Una vez reasignados los coeficientes se sigue el algoritmo en orden contrario; primero se aplica el inverso del filtro de diferencias entre d_0 y c_0' para obtener $d_1' = [2.5, 6.5]$, posteriormente entre c_1' y d_1' para obtener $d_2' = [1.5, 3.5, 5.5, 7.5]$ y finalmente entre c_2' y d_2' para obtener $d_3' = [1.5, 1.5, 3.5, 3.5, 5.5, 5.5, 7.5, 7.5]$, la cual corresponde a la señal reconstruida x_{sal} que es una aproximación de x_{ent} y tiene un porcentaje de diferencia del 90.1%.

Aplicando la reducción por wavelet discreta de Haar de 4 niveles a la señal RF de US de la Figura 2.1b, se obtiene un porcentaje de reducción del 68.45% y un porcentaje de diferencia del 86.65%, utilizando la codificación por número de ceros sobre los coeficientes umbralizados. Y se obtiene un porcentaje de reducción del 67.57% cuando se aplica Huffman. En la Figura 2.5 se compara la señal original con la señal reconstruida utilizando la reducción por wavelet Haar.

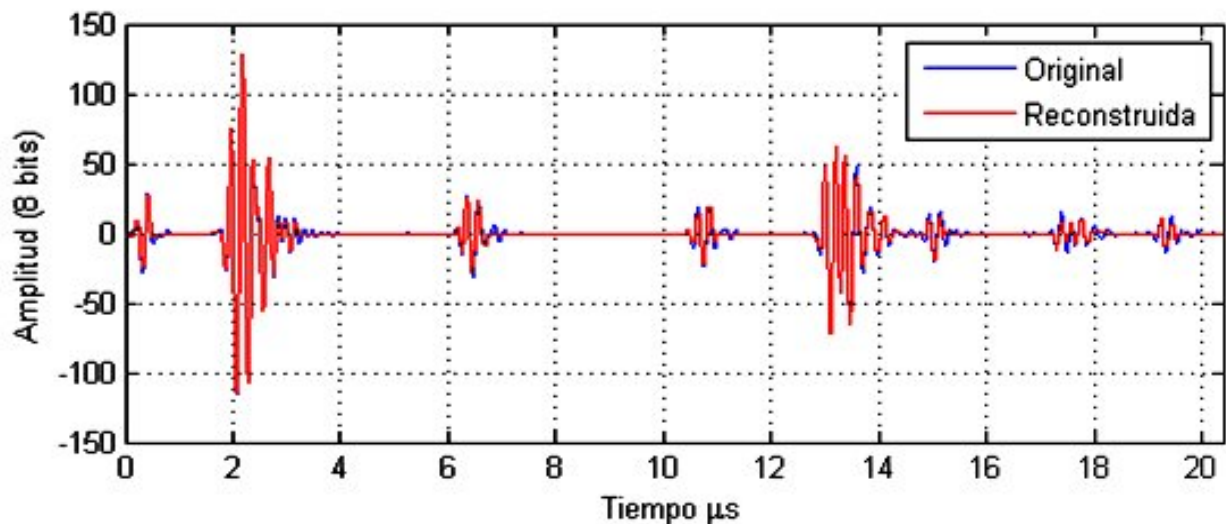


Figura 2.5. Comparación de señal original con señal reconstruida.

2.3. Reducción por conocimiento

En este tipo de reducción se aprovecha el conocimiento del comportamiento físico de las señales RF de US, donde lo más importante son el TDO y la AMP de los ecos

presentes en dichas señales. Basados en esta premisa existen diferentes técnicas de reducción.

En la técnica más básica se utilizan ventanas de umbral, donde se espera encontrar los ecos dentro de estas ventanas, sin embargo, esta técnica es difícil de implementar en línea ya que se requiere de un umbral dinámico autoajustable para la ventana.

Otra técnica es la estimación de parámetros, donde en función a un modelo matemático de la señal RF de US y a la señal adquirida se estiman los parámetros de dicho modelo, así en vez de almacenar la señal RF de US completa sólo se almacenan dichos parámetros. Sin embargo, el comportamiento de la señal RF de US no siempre es bien representada por el modelo, además que obtener los parámetros del modelo en tiempo real es muy complejo. Un ejemplo de un modelo matemático de una señal RF de US [21] se muestra a continuación:

$$f(t) = \beta \cdot e^{-\alpha(t-\tau)^2} \cdot \cos(\omega_c(t - \tau) + \theta) \quad (2.3)$$

donde,

$f(t)$: representa la señal RF de US,

t : el tiempo,

β : la amplitud de los ecos,

α : la caída de amplitud de los ecos,

τ : el periodo de los ecos,

ω_c : la frecuencia de la señal y

θ : la fase de la señal.

La técnica más utilizada para reducción en señales RF de US en línea, es la técnica de ubicación de amplitud y tiempo de máximos locales, por sus siglas en Alemán ALOK [23] (Amplituden Laufzeit OrtsKurven). Esta técnica se explica a continuación y se ejemplifica su funcionamiento sobre la misma señal RF de US de la Figura 2.1b.

2.3.1. *Ubicación de amplitud y tiempo de máximos locales*

Esta técnica fue inventada en los años 80's y surgió de la necesidad de inspeccionar lugares no accesibles de plantas nucleares. Se basa en la determinación de los máximos en una media onda de la señal RF de US. La determinación precisa de los máximos se logra utilizando una frecuencia de muestreo alta, por lo general 50 MHz.

La técnica ALOK reconoce sólo aquellos TDO y AMP (máximos), que caen dentro de una ventana de tiempo, y que son mayores o iguales a los "i" datos predecesores y que son superiores a los "k" datos sucesivos de la media onda positiva (puede ser negativa) de la señal RF de US. La resolución de esta técnica se puede ajustar con los parámetros de reducción "i" y "k".

La Figura 2.6a muestra el resultado de aplicar ALOK cuando se utilizan valores altos de "i" y "k", donde sólo se detecta el primer máximo ($A1, t1$) y los máximos vecinos no pueden ser detectados y la Figura 2.6b muestra cuando se utilizan valores bajos de "i" y "k", donde los máximos vecinos si son detectados.

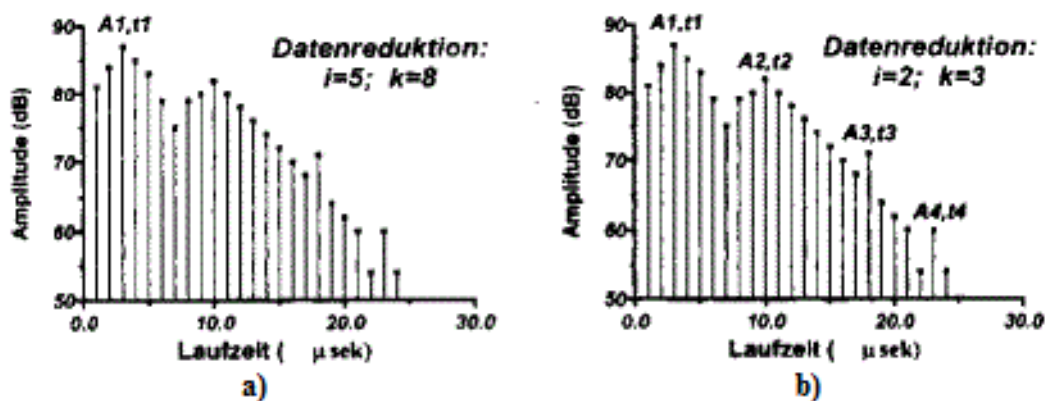


Figura 2.6. Identificación de máximos con la técnica ALOK [23].

Para evaluar una indicación o defecto (por ejemplo, la diferencia entre una indicación grande y muchas pequeñas) por lo general es necesario que la resolución longitudinal y axial del sonido esté dentro del rango de una longitud de onda (λ). En otras palabras,

para un área de sonido de 2λ , al menos un máximo debe ser detectado. Así los parámetros " i " y " k " pueden ser calculados como sigue:

$$\frac{i+k+1}{4\lambda} < 2\lambda \quad (2.4)$$

Reduciendo la ecuación 2.4 se obtiene que:

$$i + k < 7 \quad (2.5)$$

Este valor está confirmado por la mayoría de resultados de la técnica ALOK aplicada en inspección y también corresponde con los resultados publicados por el Instituto Fraunhofer de NDT (IZFP) [23].

Aplicando esta técnica sobre la media onda positiva de la señal RF de US de la Figura 2.1b, se obtiene un porcentaje de reducción máximo del 87.98% correspondiente a los valores $i = 1$ y $k = 5$. La Figura 2.7 muestra la media onda de la parte positiva de la señal RF de US y los máximos detectados sobre esta media onda, utilizando ALOK.

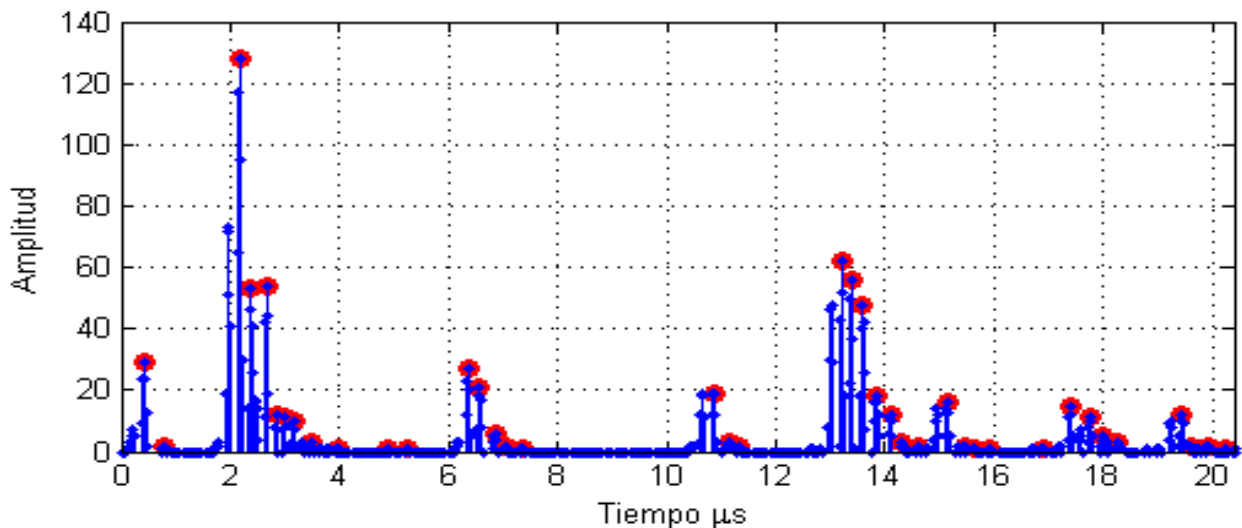


Figura 2.7. En azul la media onda positiva de la señal RF de US y en rojo los máximos detectados con la técnica ALOK.

De las técnicas de reducción estudiadas se concluye, que la de mayor nivel de reducción es la técnica de ALOK, por lo que sigue siendo una técnica muy utilizada, a pesar de que prácticamente pierde por completo la forma de la señal RF de US, que como se menciono anteriormente, en la mayoría de las aplicaciones no importa, ya que con sólo obtener el par ordenado (TDO, AMP) se pueden identificar algunas anomalías en el espécimen bajo inspección.

Experimentando con la técnica ALOK se observó una desventaja, y es que en la identificación de los máximos se detectan varios que no corresponden a un eco en la señal RF de US y/o no se detectan algunos máximos correspondientes a los ecos de interés, ver Figura 2.8, por lo que en el post-procesamiento es complicado identificar exactamente la ubicación de los ecos en función a dichos máximos.

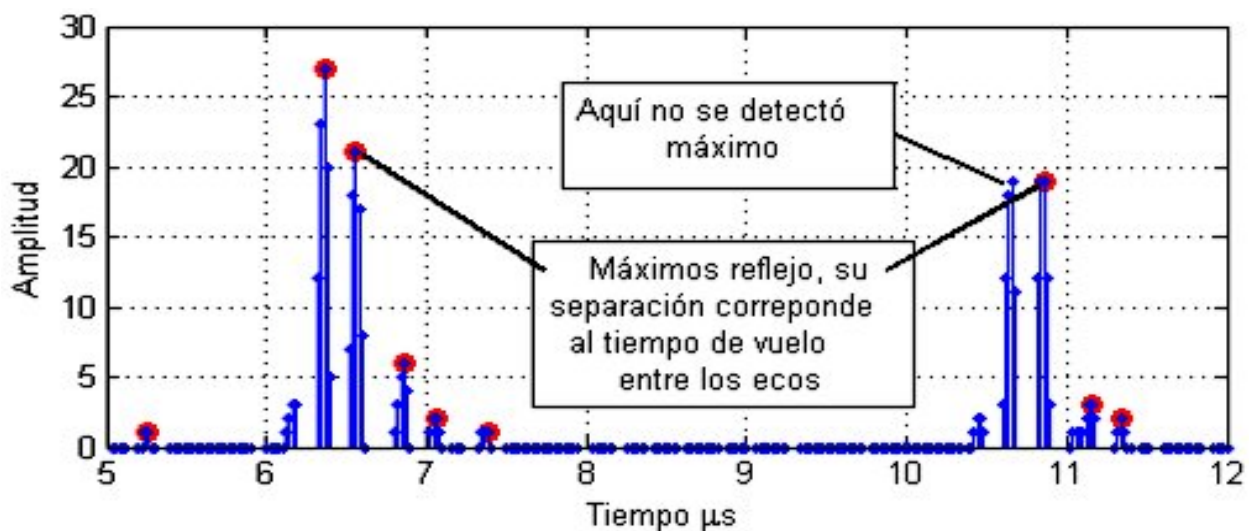


Figura 2.8. Diferencias entre el segundo y tercer ecos presentes en la señal de la Figura 2.7.

A continuación se explica la técnica propuesta en este trabajo para la reducción de la señal RF de US. Dicha técnica identifica de manera diferente y más eficiente los máximos, es mucho más complicada de implementar que la ALOK, pero al ser más eficiente simplifica el post-procesamiento al asegurar que cada par ordenado almacenado corresponde a cada eco presente en la señal RF de US.

CAPÍTULO 3

DESARROLLO

3. Desarrollo

En este capítulo se define la técnica propuesta para la reducción de la señal RF de US en tiempo real. A la par de la definición de la metodología se va ejemplificando su funcionalidad, considerando los requerimientos del diablo instrumentado de US.

3.1. Hardware de procesamiento

Antes de elegir el FPGA como herramienta de hardware para el procesamiento en tiempo real, primero se analizaron otras posibilidades. La primera posibilidad considerada fue utilizar una computadora, sin embargo, los requerimientos de espacio disponible para alojamiento de la electrónica en el diablo instrumentado, además de la inflexibilidad de su arquitectura y el alto consumo de energía desecharon esta posibilidad. Posteriormente se analizó la posibilidad de utilizar algún Microcontrolador o un procesador digital de señales (DSP), sin embargo, la velocidad de procesamiento de los microcontroladores no es suficiente para la aplicación y aunque algunos DSPs pueden llegar a cumplir con la velocidad, al igual que las computadoras, su tamaño, su arquitectura y sus requerimientos mínimos no satisfacen esta aplicación. Así se eligió el FPGA, que gracias a su arquitectura flexible, tiene la capacidad de que en un solo circuito integrado se pueden procesar en paralelo las señales de varios transductores al mismo tiempo a alta velocidad. El FPGA utilizado es un Spartan-6, XC6SLX9 [27], en la Tabla 3.1 se muestran sus principales características.

Tabla 3.1. Características principales del FPGA, Spartan 6 XC6SLX9.

<i>Células lógicas</i>	<i>Slices Totales</i>	<i>Bloques de RAM</i>	<i>Bloques DSP</i>	<i>Manejadores de reloj</i>	<i>Puertos Entrada/salida</i>
9,152	1,430	90Kb	16	2	200

Una vez seleccionado el FPGA, se puede iniciar a definir la técnica de reducción, siempre considerando las capacidades del FPGA seleccionado.

Antes de iniciar con la implementación en el FPGA se explica en qué consiste un equipo de US y se define la técnica de reducción.

3.2. Equipo de US y sistema de adquisición de datos

En general un equipo de US consiste de un circuito Pulsador/Receptor y un circuito de control [24]. En la Figura 3.1 se muestra el diagrama a bloques del equipo de US desarrollado para esta aplicación, basado en un FPGA y un Microcontrolador. El Microcontrolador se encarga de los procesos de baja velocidad, como el control del tiempo de repetición del pulso, de las interfaces de comunicación y de la configuración de funcionamiento del equipo, por otro lado el FPGA se encarga del procesamiento y manejo de las señales de alta velocidad, como la secuencia de excitación del transductor de US a través del circuito Pulsador/Receptor, de la adquisición de la señal, del procesamiento de reducción y del envío de los datos reducidos al sistema de almacenamiento.

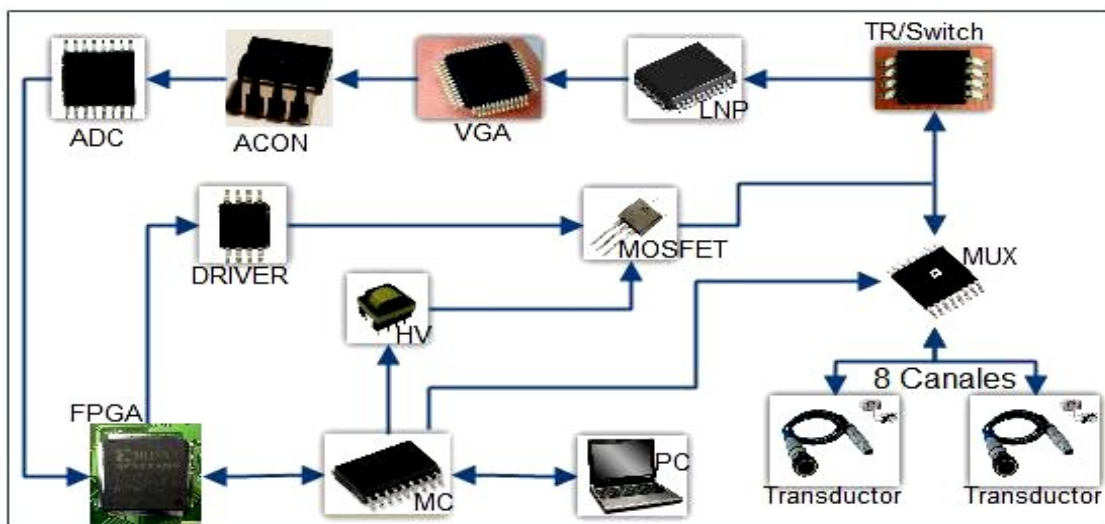


Figura 3.1. Diagrama a bloques de equipo de US propio.

La manera de generar el US es usando el transductor como transmisor, esto se logra excitándolo con un pulso de -100 a -400 VDC con una duración, en tiempo, no mayor a 100 ns, así el material cerámico del transductor entra en resonancia, a la frecuencia

para la que fue diseñado, generando la señal RF de US. Dicha señal inicia su propagación por el medio que se encuentra en contacto con el transductor y en el momento que la señal encuentra un cambio de densidad acústica, por un cambio de medio, parte de la señal se trasmite al siguiente medio y parte se refleja. Finalmente la señal reflejada regresa al transductor, que ahora sirve como receptor, captando la señal con el mismo resonador cerámico y convirtiéndola a una señal eléctrica, la cual debe ser filtrada y amplificada, utilizando el circuito receptor, para posteriormente pasar por un filtro anti-alias y un convertidor analógico a digital para ser digitalizada y por último adquirida por el FPGA.

Dentro de la técnica de reducción, se deben definir las características principales del sistema de US y adquisición de la señal RF de US. Primero se debe seleccionar el transductor a utilizar. El transductor de US utilizado para ejemplificar la técnica de reducción es un H5K de Krautkramer de 5 MHz, recomendado para inspección de acero por la técnica de inmersión [26]. Una vez seleccionado el transductor se define la frecuencia de muestreo de la señal RF de US, la cual se sugiere en este trabajo que debe ser mayor o igual a 10 veces la frecuencia del transductor,

$$FDM \geq 10 \times FDT \quad (3.1)$$

Donde,

FDM: es la frecuencia de muestreo y

FDT: es la frecuencia del transductor.

Para la aplicación del diablo instrumentado se define una frecuencia de muestreo igual a 50 MHz ya que el transductor es de 5 MHz.

Usualmente el rango de espesores de las paredes de ductos está entre 6.35 mm y 19.05 mm, para este rango de espesores es suficientes adquirir 1024 datos [6, 10], lo que corresponde a 20.48 μs de la señal, considerando los 50 MHz.

Además de definir la frecuencia de muestreo y el número de datos de cada señal es necesario definir el número de bits del ADC. Sin embargo, para la mayoría de las detecciones de fallas o mediciones realizadas sobre la señal RF de US no importa la resolución y exactitud en amplitud. La medida en amplitud de mayor interés es el cambio relativo en amplitud entre dos o más ecos de interés presentes en la señal RF de US, este cambio relativo de amplitudes está dado en decibeles, ecuación 3.2. Por ejemplo, en la señal de la Figura 3.2, que fue adquirida por la técnica de contacto, con una resolución de 8 bits, la amplitud máxima del eco 1 ($AMP1$) es de 225 y la del eco 2 ($AMP2$) es de 200, lo cual corresponde a un cambio relativo en amplitud de 1.023 dB .

$$dB = 20 \times \log \left(\frac{AMP1}{AMP2} \right) \quad (3.2)$$

donde,

dB : representa el cambio en decibeles,

$AMP1$: es la amplitud máxima de eco de interés 1, en bits y

$AMP2$: es la amplitud máxima de eco de interés 2, en bits.

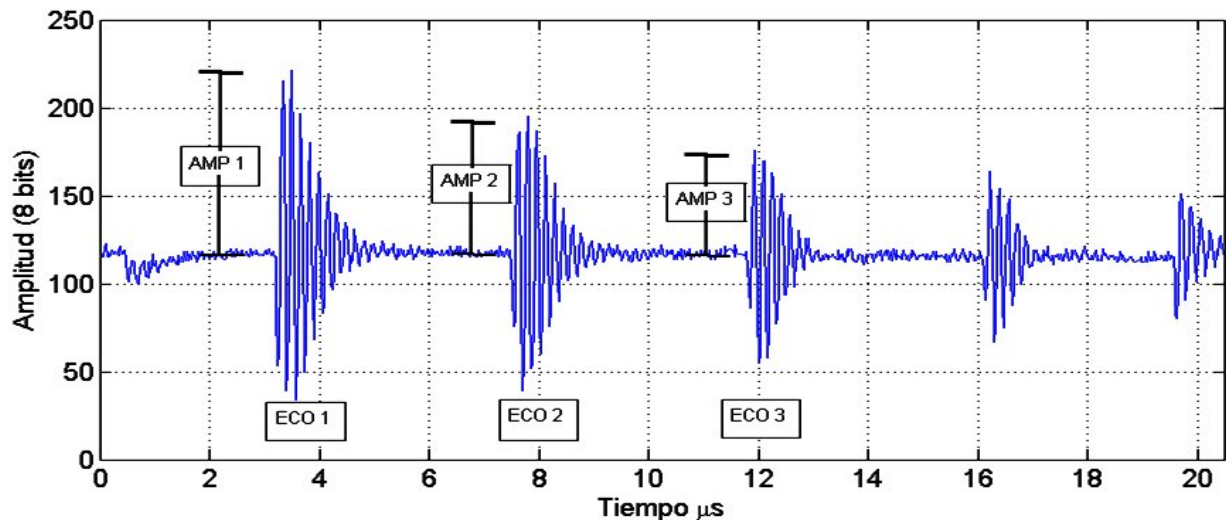


Figura 3.2. Señal RF de US de 8 bits adquirida por la técnica de contacto.

Si la señal hubiera sido adquirida con una resolución de 10 bits, el valor de $AMP1$ sería aproximadamente de 900 y de $AMP2$ de 800 por lo que se tendría un cambio relativo en amplitud aproximado de 1.023 dB , prácticamente el mismo que se obtiene con una

resolución de 8 bits. Posteriormente en la sección 3.3.4 se explica porque se seleccionó una resolución de 8 bits.

La medida de mayor interés en las señales de US está en función al TDO, por lo que es más importante tener una frecuencia de muestreo alta [25]. Por ejemplo, con la frecuencia de muestreo de 50 MHz se tiene una resolución en tiempo de muestreo de 20 ns (el inverso de la frecuencia de muestreo), con este valor de tiempo de muestreo, inspeccionando acero 1020 (material con el que se fabrican los ductos), donde la velocidad del sonido es de $5,890 \text{ m/s}$, se tiene una resolución para medir espesores de 0.0589 mm , dato obtenido con la ecuación 3.3:

$$ESP = \frac{VSM \times TDV}{2} \quad (3.3)$$

donde,

ESP : es el espesor de pared (mm)

VSM : es la velocidad del sonido en el medio (m/s) y

TDV : es el tiempo de vuelo (μs).

Así se puede resumir que el sistema de adquisición de datos, para señales RF de US, para inspección de acero 1020 , utilizando un transductor de 5 MHz , cumple para la aplicación con una frecuencia de muestreo de 50 MHz y una resolución del ADC de 8 bits.

3.3. Reducción

Como se definió en la sección 1.2, esta técnica de reducción está basada en el hecho de que en la inspección por ensayos de US, dos medidas básicas son las de interés, estas son; el TDO y la AMP correspondiente de cada eco presente en la señal RF de US [25]. Con este par ordenado (TDO, AMP) es posible identificar y dimensionar diferentes características del espécimen bajo inspección, por ejemplo, se puede medir

el espesor de pared utilizando el tiempo de vuelo que corresponde a la diferencia entre los TDO de dos ecos de interés.

Con el objetivo de almacenar solamente el TDO y la AMP de cada eco presente en la señal RF de US, se define la técnica de reducción en base al análisis de diferentes señales RF de US, de diferentes técnicas de reducción existentes, a la investigación y análisis de diferentes herramientas algorítmicas y de hardware y realizando una serie de experimentos aplicando dichas herramientas. Así se logró esta propuesta, la cual principalmente consiste en la aplicación de una secuencia de procesos, pensados en todo momento para ser ejecutados en paralelo y en tiempo real.

En resumen la técnica de reducción se basa en la implementación de los procesos necesarios para ejecutar la reducción en tiempo real, dichos procesos son; un filtro pasa-banda para eliminar el ruido de la señal adquirida, un rectificador de señal para tener una mayor densidad de datos en la parte positiva de la señal, un filtro pasa-bajas para obtener una envolvente suave de la señal rectificada y finalmente un identificador de máximos (TDO, AMP). A continuación se definen estos procesos.

3.3.1. Eliminación de ruido

Observando el tipo de señales RF de US adquiridas con un equipo comercial, Figura 3.3, y comparándolas con las adquiridas con el equipo desarrollado [24], Figura 3.4, es evidente que antes de continuar con cualquier procesamiento es necesario filtrar la señal adquirida. Además se sabe que la mayoría de las técnicas de reducción de señales RF de US trabajan sobre señales previamente filtradas.



Figura 3.3. Señal adquirida con equipo comercial USB-UT350.

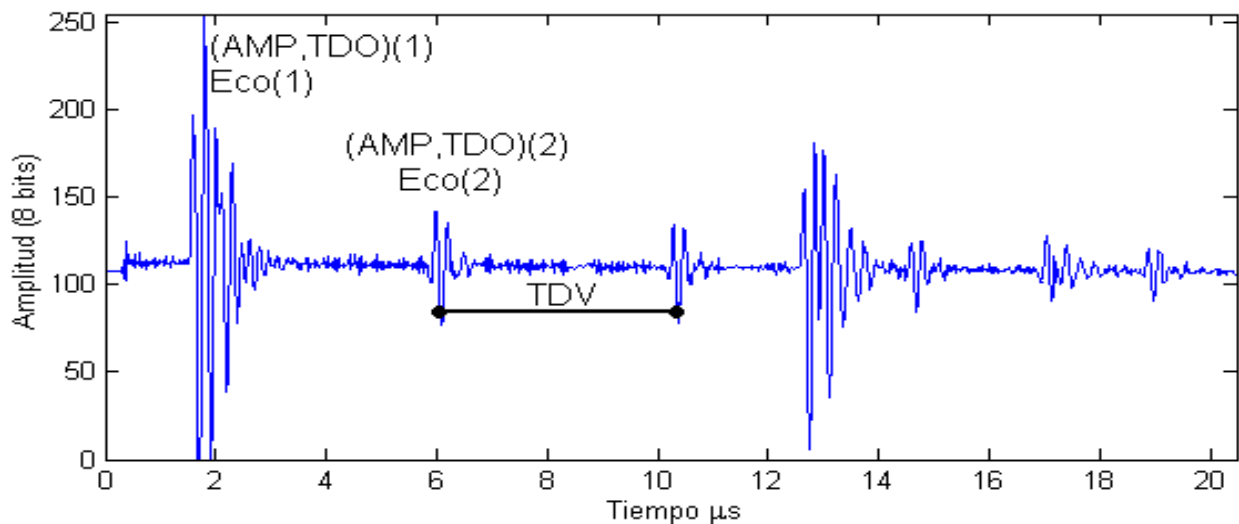


Figura 3.4. Señal adquirida con equipo desarrollado [24] (la misma que la Figura 2.1a).

En la literatura, el filtro más eficiente, para ser implementado en el FPGA es el filtro de respuesta al impulso finito (FIR), por lo que dicho filtro es el utilizado para eliminar el ruido de la señal RF de US. Para diseñar el filtro FIR es necesario definir de qué tipo debe ser (pasa-bajas, pasa-altas, pasa-banda o rechaza-banda), cuál debe ser la frecuencia de corte y cuál debe ser su orden.

Para definir el tipo de filtro y la frecuencia de corte, primero se estudió el espectro de frecuencia de un eco de US. En la literatura se especifica que la información más importante de un eco de US se encuentra arriba de -6 dB el ancho de banda del eco [25]. Para el transductor utilizado [26], se obtiene de la hoja de datos, que el rango de frecuencias que interesan está entre 2.5 MHz y 7.5 MHz , Figura 3.5.

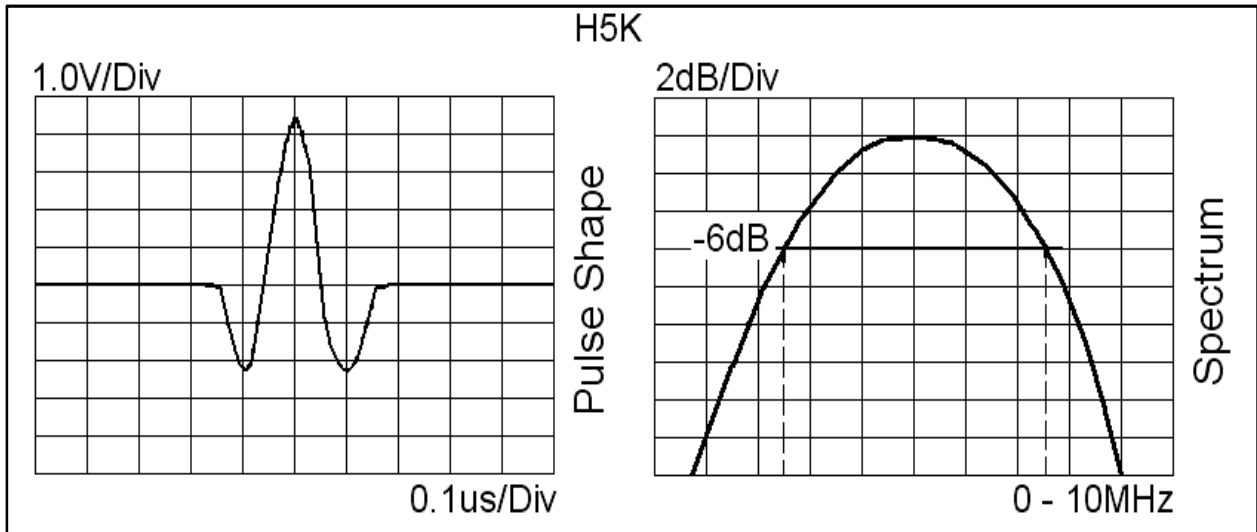


Figura 3.5. Espectro de frecuencia de transductor utilizado H5K de Krautkramer [26].

De esta manera se define que el tipo de filtro FIR a utilizar es un pasa-bandas con frecuencias de corte en 2.5 MHz y 7.5 MHz .

El único dato que falta para poder completar el diseño del filtro FIR es el orden. Se sabe, que entre mayor sea el orden del filtro, se obtiene mejor respuesta [28], sin embargo, usar un orden alto implica más recursos de hardware, además de una latencia, en la señal filtrada, igual al orden del filtro, lo que provoca que se pierdan un número de datos iniciales de la señal RF de US igual al número del orden del filtro. Lo recomendado en este trabajo es utilizar un orden equilibrado de manera que el número de datos que se pierdan por la latencia no incluya información de interés de la señal, que además se tenga una buena relación señal ruido (SNR) [28] y que no represente recursos excesivos para el hardware de procesamiento utilizado.

El orden del filtro se determina en base a un análisis de su respuesta en función al SNR [28]:

$$SNR = \frac{\mu}{\sigma} \quad (3.4)$$

donde,

SNR: representa la relación señal a ruido,

μ : es la media de la señal y

σ : es la desviación estándar.

Como se aprecia en la ecuación 3.4, el SNR es un dato muy sensible a los cambios de la media, como consecuencia, por sí solo no representa mucha información. La forma de realizar el análisis es comparando el SNR de las señales filtradas (utilizando diferentes ordenes) contra el SNR de la señal original. El ruido es proporcional a la desviación estándar por lo que entre menor sea el ruido mayor es el SNR, es decir, la señal filtrada debe tener un mayor SNR que la señal original. En la Tabla 3.2, se ilustra cómo cambia el SNR en función al orden del filtro.

Tabla 3.2. SNR en función al orden del filtro pasa-banda.

Orden	0	8	16	32	64	128
	(Original)					
SNR	7.01	7.11	7.72	7.96	7.50	7.41
Mejora (%)	0.00	1.41	9.19	11.93	6.53	5.40

Los datos mostrados en la Tabla 3.2, son los obtenidos de la señal de la Figura 3.4, sin embargo, se examinaron diferentes señales RF de US, con baja amplitud, con amplitud saturada y con ruido inducido y se llegó a la conclusión de que el orden del filtro debe estar entre 32 y 64. Para este ejemplo se utiliza un orden igual a 32.

Ahora utilizando las frecuencias de corte de 2.5 MHz y 7.5 MHz, el orden del filtro igual a 32 y sabiendo que es un filtro pasa-banda, se obtienen los coeficientes a_m utilizando MATLAB. La ecuación 3.5 representa el filtro FIR sobre la señal RF de US.

$$y(n) = \sum_{m=0}^{M-1} a_m x(n - m) \quad (3.5)$$

donde,

$x(n)$: representa el dato n -ésimo de la señal RF de US,

$y(n)$: representa el n -ésimo dato de salida del filtro,

a_m : el m -ésimo coeficiente y

M : el orden del filtro.

Los coeficientes a_m obtenidos se muestran en la Tabla 3.3.

Tabla 3.3. Coeficientes del filtro FIR pasa-banda de orden 32.

$a_{1..8} = a_{32..25}$	0.0031	0.0038	0.0029	0.0000	-0.0034	-0.0027	0.0039	0.0096
$a_{9..16} = a_{17..24}$	0.0000	-0.0342	-0.0821	-0.1111	-0.0861	0.0000	0.1128	0.1922

La respuesta en frecuencia de este filtro pasa-banda se muestra en la Figura 3.6.

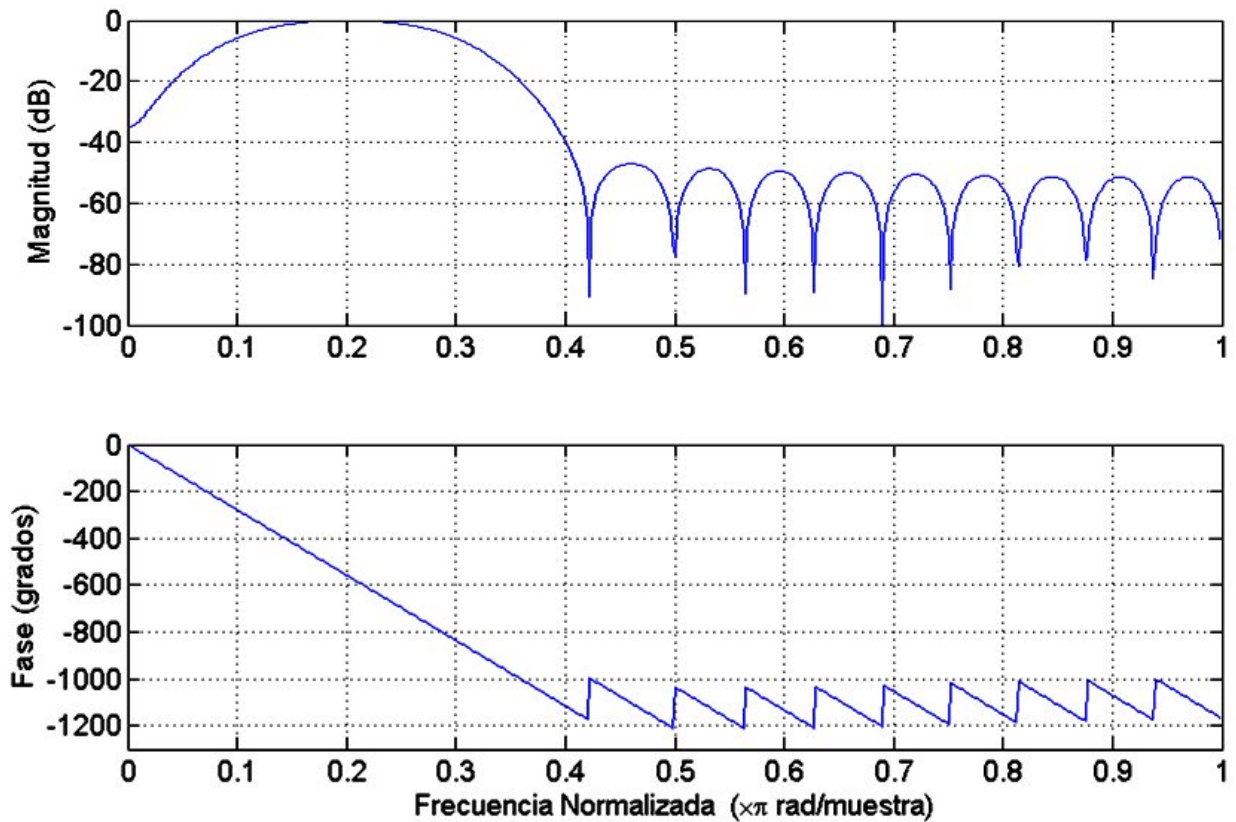


Figura 3.6. Respuesta en frecuencia de filtro FIR pasa-banda

Y en la Figura 3.7 se ilustra la señal RF de US después de aplicarle el filtro pasa-banda a la señal de la Figura 3.4.

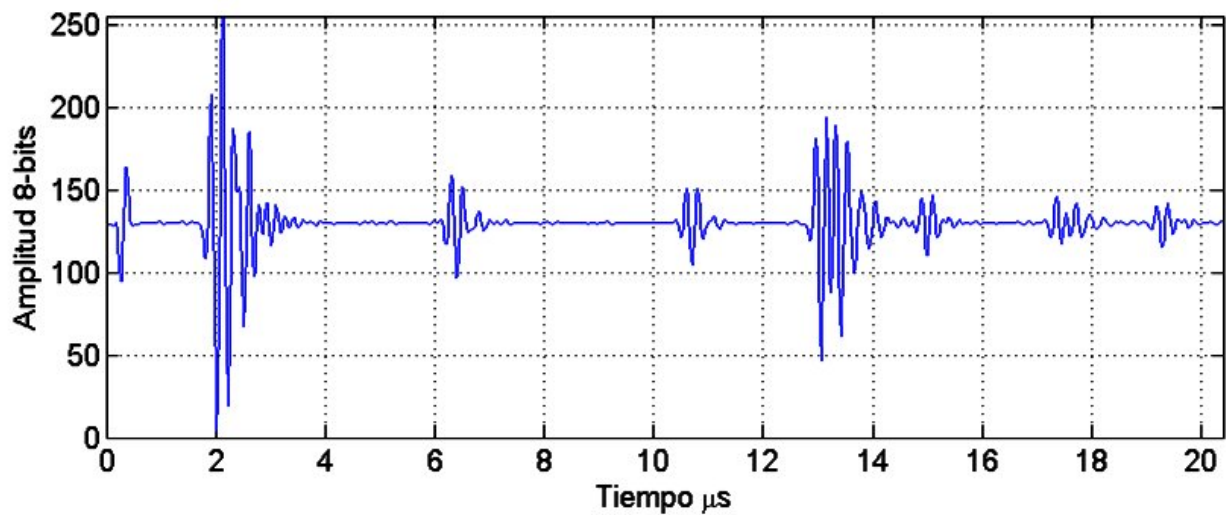


Figura 3.7. Señal filtrada con FIR pasa-banda de orden 32.

Al inicio de la señal filtrada, Figura 3.7, se aprecia un sobre-impulso, que se genera por la respuesta transitoria del filtro (Ya que el cero de la señal es 128), este sobre-impulso a primera instancia podría confundirse con un eco, sin embargo, para ser considerado como un eco, éste debe repetirse varias veces a lo largo de la señal con una amplitud cada vez menor como el resto de los ecos. En conclusión el sobre-impulso inicial se puede eliminar de los resultados finales como se muestra más adelante. Además, por propiedades del filtro FIR, éste se estabiliza después de procesar el mismo número de datos del orden para el que fue diseñado, en este caso se estabiliza después de $0.64 \mu s$ correspondientes a 32 muestras a $50 MHz$, es decir, los primeros 32 datos o $0.64 \mu s$ de información, no deben ser considerados como información y dado que el sobre-impulso cae dentro de este rango, éste no se considera como información relevante. Esta pérdida de información de la señal no influye sobre la señal RF de US ya que la mayoría de los ecos se aparecen después de transcurrido $1 \mu s$ en la señal RF de US.

3.3.2. Rectificación

Una vez filtrada la señal RF de US, el siguiente paso en la técnica de reducción es rectificar dicha señal, con el objetivo de aumentar la densidad de datos en la parte positiva de la señal y así poder obtener una envolvente de la señal rectificada más suave. La ecuación 3.6 representa la rectificación de la señal filtrada.

$$y'(n) = \left| \sum_{m=0}^{M-1} a_m x(n-m) \right| \quad (3.6)$$

donde,

$y'(n)$: representa el n -ésimo dato de salida del rectificador.

En la Figura 3.8 se muestra la señal rectificada.

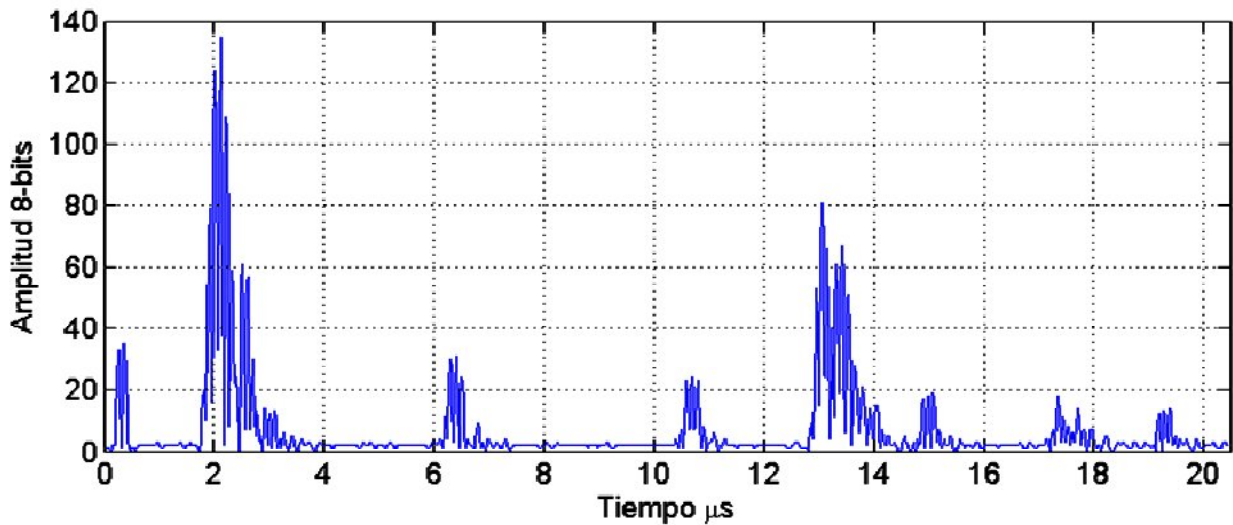


Figura 3.8. Señal rectificada de la señal filtrada, Figura 3.7.

3.3.3. Detección de envolvente

Para obtener la envolvente se aplica otro filtro FIR, esta vez uno pasa-bajas. Por conveniencia para su posterior implementación en el FPGA el filtro propuesto es del mismo orden que el pasa-banda, de esta manera se pueden ejecutar ambos filtros en paralelo en el FPGA y se hace menos complicada la sincronía de los mismos.

La frecuencia de corte del filtro pasa-bajas debe ser tan baja como sea posible para obtener la envolvente lo más suave posible. Para determinar la frecuencia de corte se considera el tiempo de duración de los ecos, en este caso, para el transductor utilizado, todos los ecos tienen una duración un poco menor a $1 \mu\text{s}$ por lo que se utiliza una frecuencia de corte de 1 MHz ($1/1 \mu\text{s}$).

Para demostrar que el orden del filtro pasa-bajas puede ser igual que el orden del filtro pasa-banda, se realizó también el análisis del SNR, ver Tabla 3.4.

Tabla 3.4. SNR en función al orden del filtro pasa-bajas.

Orden M	0	8	16	32	64	128
	(Rectificada)					
SNR	8.93	9.20	10.23	11.11	11.16	10.46
Mejora (%)	0.00	2.93	12.71	19.62	19.98	14.63

Los datos mostrados en la Tabla 3.4, fueron obtenidos aplicándole el filtro pasa-bajas a la señal rectificadora de la Figura 3.8. Y al igual que para el filtro pasa-banda, se validó el orden del filtro, con señales de baja amplitud, de amplitud saturada y con otros niveles de ruido y se llegó a la conclusión de que el orden óptimo también está entre 32 y 64.

Ahora utilizando la frecuencia de corte de 1 MHz, el orden del filtro igual a 32 y sabiendo que es un filtro pasa-bajas, se obtienen los coeficientes b_m utilizando MATLAB. La ecuación 3.7 representa la señal envolvente (suave) de la señal RF de US.

$$z(n) = \sum_{m=0}^{M-1} b_m \left| \sum_{m=0}^{M-1} a_m x(n-m) \right| \quad (3.7)$$

donde,

$z(n)$: representa el n -ésimo dato de la señal envolvente,

b_m : el m -ésimo coeficiente del filtro pasa-bajas y

M : el orden del filtro pasa-bajas.

Los coeficientes b_m obtenidos se muestran en la Tabla 3.5.

Tabla 3.5. Coeficientes del filtro FIR pasa-bajas de orden 32.

$b_{1..8} = b_{32..25}$	0.0025	0.0031	0.0045	0.0068	0.0101	0.0143	0.0195	0.0254
$b_{9..16} = b_{17..24}$	0.0318	0.0385	0.0451	0.0512	0.0566	0.0610	0.0640	0.0656

La respuesta en frecuencia de este filtro pasa-bajas se muestra en la Figura 3.9.

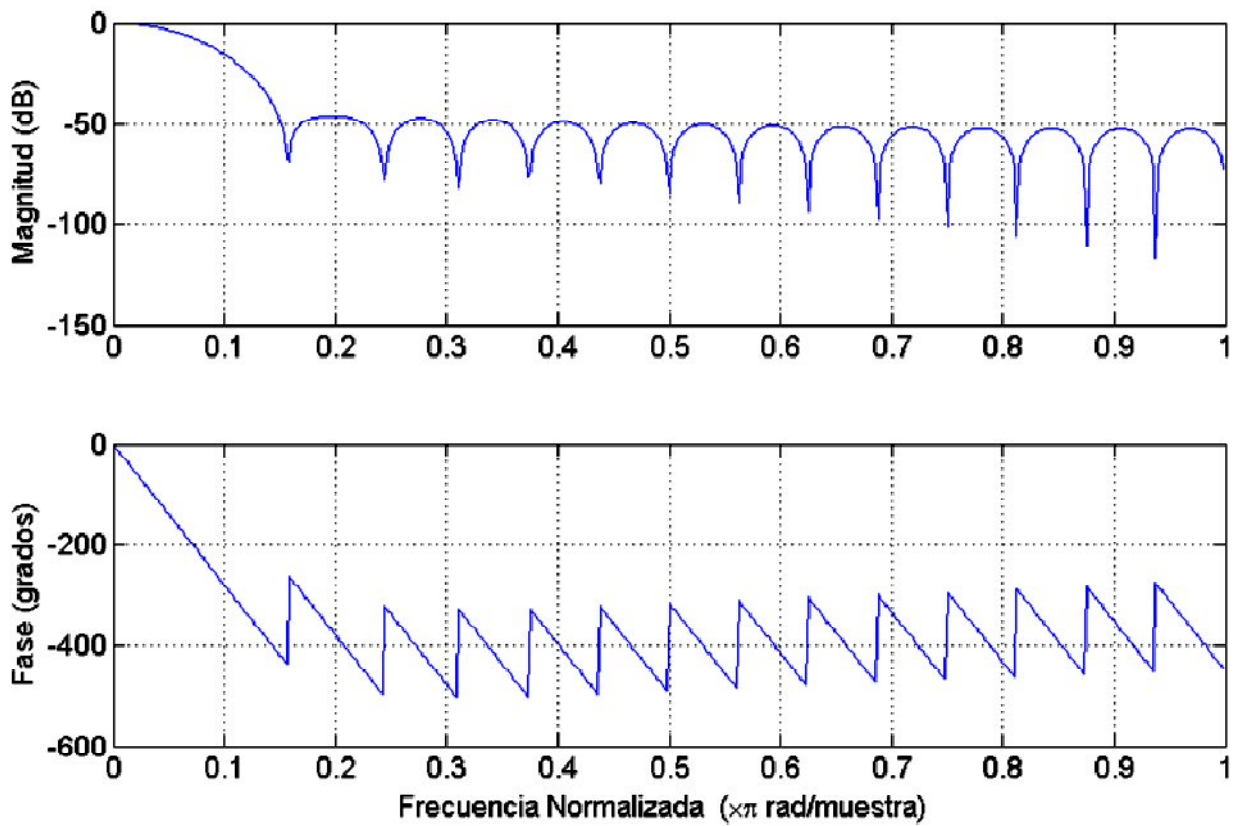


Figura 3.9. Respuesta en frecuencia de filtro FIR pasa-bajas.

Y en la Figura 3.10 se ilustra la señal envolvente.

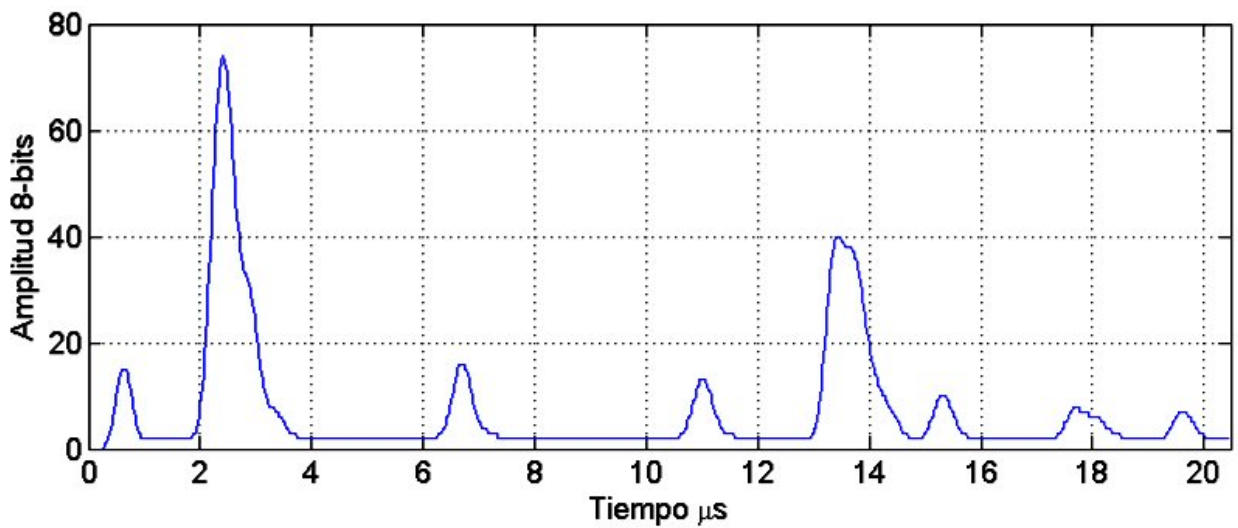


Figura 3.10. Señal envolvente de señal rectificada de la Figura 3.8.

En la Figura 3.10, se aprecia cómo después del procesamiento de la señal, cada eco es representado por una envolvente suave, conservando; la proporcionalidad en amplitud, el tiempo de duración de los ecos y lo más importante, el TDO. Se considera suave porque en cada eco se tiene uno y solo un máximo, el cual es representado por el par ordenado (TDO, AMP).

Por efectos del filtro FIR se pierde amplitud con respecto a la señal rectificada, sin embargo, esta pérdida de amplitud puede ser fácilmente compensada, aprovechando la propiedad de linealidad de los filtros FIR [27], multiplicando todos los coeficientes b_m por el factor de corrección deseado, siempre y cuando no se sature la señal envolvente.

Un factor importante para obtener la envolvente suave, además del orden del filtro, es la rectificación de la señal, ya que si sólo se considera la media onda positiva (o negativa) de la señal RF de US se tiene que utilizar un filtro pasa-bajas de mayor orden para lograr la misma suavidad que con la señal rectificada. En la Figura 3.11 se ilustra este efecto, donde se utilizó un filtro de orden 16.

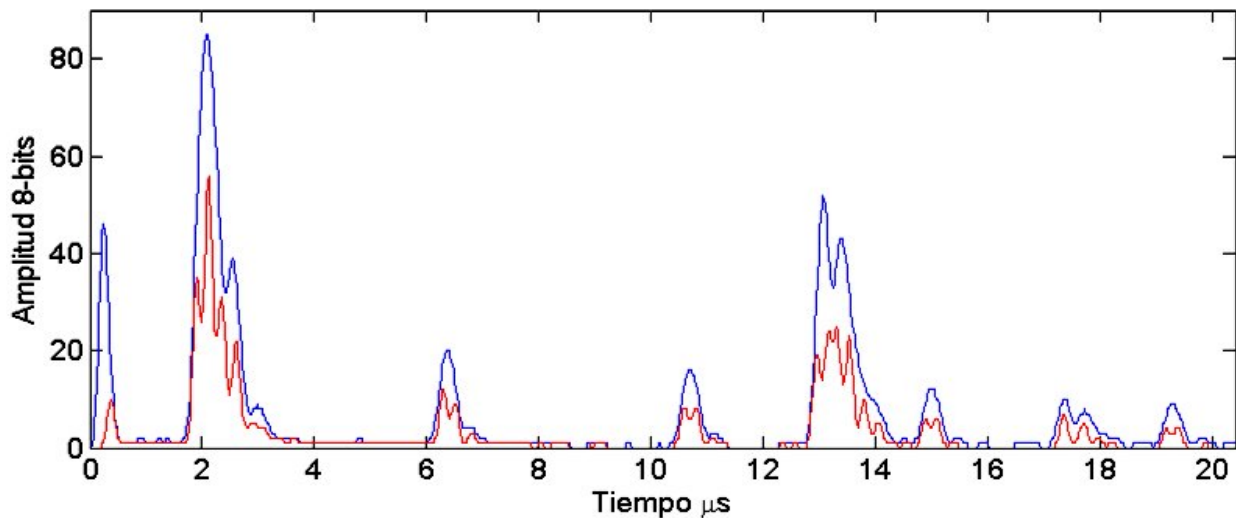


Figura 3.11. Comparación de envolventes de señal rectificada (azul) y media onda positiva (roja).

3.3.4. Identificación de máximos

Para identificar los máximos en la señal envolvente se utiliza el criterio de la primera derivada, el cual busca un cambio de signo de la señal derivada. La ecuación 3.8 representa la detección de los máximos.

$$(TDO, AMP)(i) = Max(z(n)) \quad (3.8)$$

donde,

TDO: representa el tiempo en que ocurre un máximo,

AMP: es la amplitud del máximo e

i: es el *i*-ésimo máximo detectado.

En las pruebas se descubrió que el nivel de ruido y los niveles de amplitud de la señal RF de US influyen en la resolución de la señal envolvente y por consiguiente en el número de máximos detectables, por lo que se propone hacer la consideración de que, para que un máximo sea almacenado su amplitud debe ser mayor al 10% del valor supremo (el máximo de los máximos), de esta manera se eliminan variaciones inherentes a pequeños cambios relativos de la señal RF de US cerca de su cero (128 en este caso) y se aumenta aún más el nivel de reducción.

En la Figura 3.12 se ilustran los máximos detectados de la señal envolvente de la Figura 3.10, donde sólo fueron detectados 8 máximos, los que corresponden a un porcentaje de reducción del 97.65%, es decir, en lugar de almacenar 1024 Bytes, sólo se almacenan 24 Bytes (8 máximos x 3 Bytes) que corresponden a 8 Bytes de las AMPs y 16 Bytes de los TDOs. Son 16 Bytes de TDO ya que por cada TDO se requieren 2 Bytes, debido a que la longitud del eje de las abscisas es de 1024 (10 bits). Aquí la importancia de sólo usar 8 bits de resolución en amplitud, ya que sólo se requiere de 1 Byte para representar este dato. Si la AMP fuera de más de 8 bits cada par ordenado tendría que almacenarse en 4 Bytes, en lugar de 3 Bytes, esto incrementaría aproximadamente un 25% la cantidad de memoria requerida y por consiguiente bajaría el nivel de reducción. Esto complementa lo comentado en la

sección 3.2, donde se explicó por qué la resolución en amplitud no es un parámetro tan importante para la inspección por US.

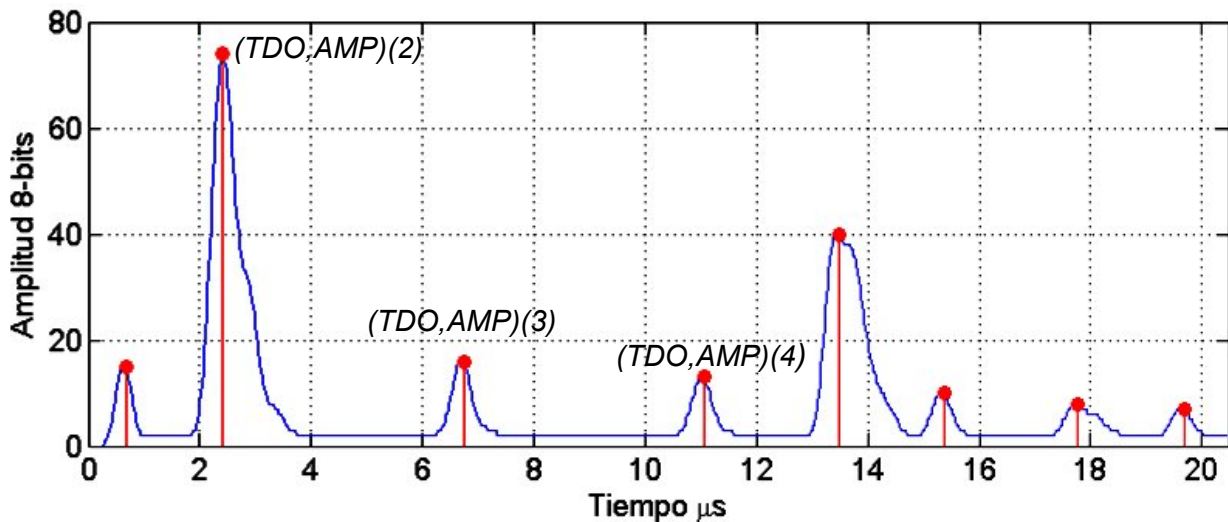


Figura 3.12. Máximos detectados de la señal envolvente.

3.4. Sistema de US para reducción en tiempo real

Una vez definida la técnica de reducción, conociendo el funcionamiento del equipo de US, se define el diagrama a bloques del sistema de US propuesto para la reducción de señales RF de US en tiempo real, considerado para ser implementado en un FPGA, Figura 3.13. Dicho diagrama incluye la paralelización de algunos módulos para lograr el procesamiento en tiempo real. El diagrama se definió en función a la experiencia y al conocimiento de las áreas de US y procesamiento digital de señales en FPGAs.

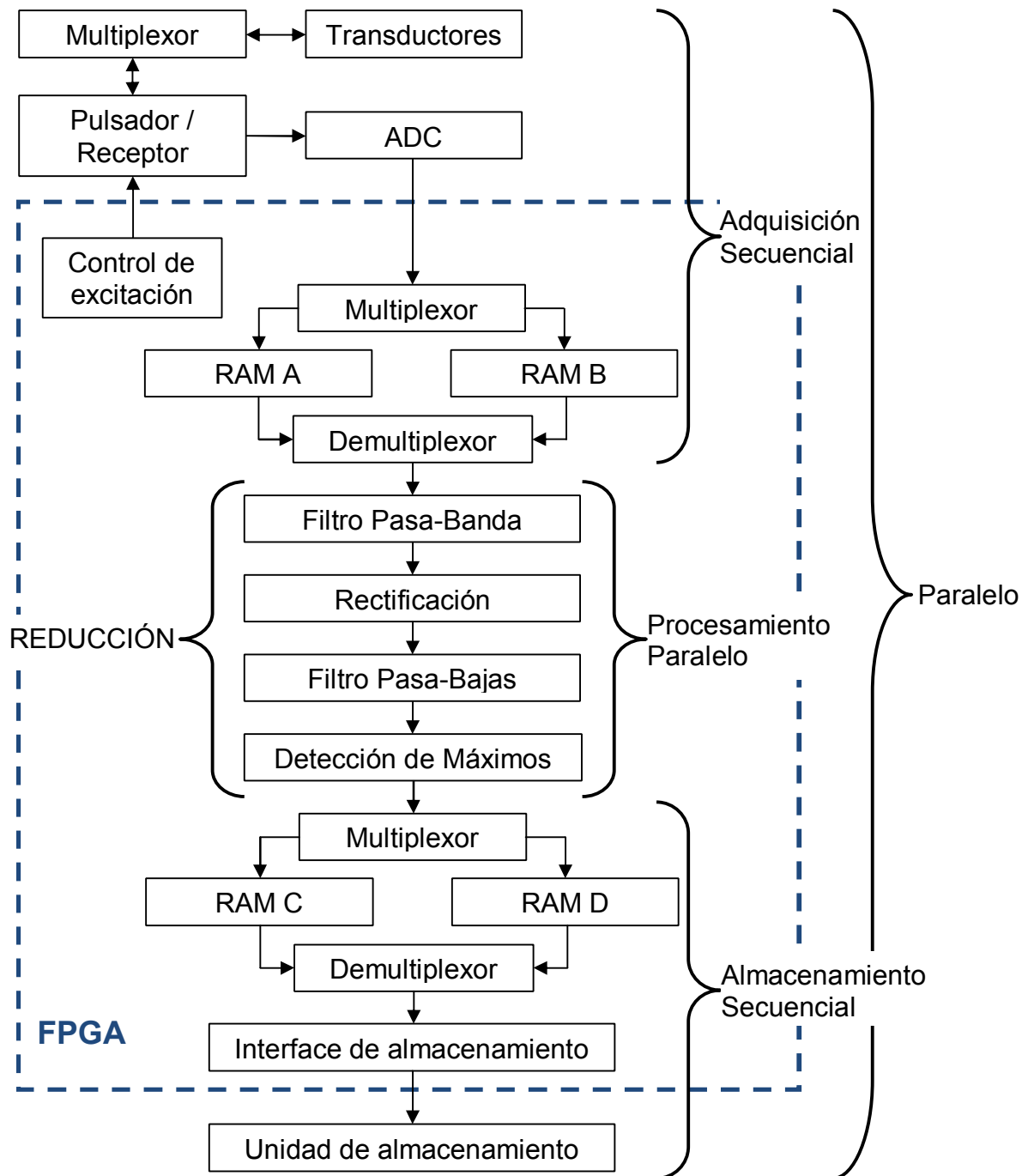


Figura 3.13. Diagrama a bloques del sistema de US para reducción de señales RF de US en tiempo real basado en un FPGA.

En la Figura 3.13, todo lo que está dentro de la línea segmentada está implementado en el FPGA. El sistema está dividido en tres etapas principales; a) una etapa de adquisición, b) una etapa de procesamiento y c) una etapa de almacenamiento. Estas

etapas a su vez son ejecutadas de forma paralela. A continuación se describen dichas etapas.

a) Etapa de adquisición de señales

La primera etapa es de adquisición y se ejecuta de forma secuencial. En ésta el FPGA excita uno de los transductores de US a través del Multiplexor y del circuito Pulsador/Receptor para generar la señal RF de US. Por el mismo Multiplexor y el circuito Pulsador/Receptor se recibe y amplifica dicha señal, para finalmente ser digitalizada con el convertidor analógico a digital (ADC). Durante el tiempo de adquisición actual (TDA1) cada dato se va digitalizando y almacenando en una memoria RAM-A, mientras que en el mismo TDA1 el FPGA va pasando a la segunda etapa de reducción, dato por dato, la señal RF de US que se digitalizó y almacenó en otra memoria RAM-B en el tiempo de adquisición anterior (TDA0). Una vez que concluye el TDA1, en un siguiente tiempo de adquisición (TDA2, que ahora es el actual) el FPGA va almacenando dato por dato, una nueva señal RF de US, pero ahora en la memoria RAM-B, mientras que va pasando a la etapa de reducción, dato por dato, la señal RF de US que se digitalizó y almacenó en el TDA1 (que ahora es el anterior) en la memoria RAM-A.

El FPGA controla el intercambio (mapeo) de las memorias RAM-A y RAM-B utilizando un Multiplexor y un Demultiplexor donde; el Multiplexor controla el direccionamiento de los datos, provenientes del ADC, hacia alguna de las memorias RAM-A ó RAM-B, intercambiando dichas memorias cada tiempo de adquisición (TDAn); y el Demultiplexor controla el direccionamiento de los datos, provenientes de alguna de las memorias RAM-A ó RAM-B hacia la segunda etapa, de la misma forma, intercambiando dichas memorias cada TDAn.

Para la implementación del diablo instrumentado, se definió adquirir *1024* datos, de *8* bits cada uno (*1* Byte por dato), a una frecuencia de muestreo de *50 MHz*, por lo que cada TDA es de *20.4 μs* y las memorias RAM-A y RAM-B son de *1 KB*.

b) Etapa de procesamiento de reducción

La segunda etapa, de reducción, consta de cuatro procesos principales ejecutados en paralelo; eliminación de ruido, rectificación, detección de envolvente y obtención de máximos. Si fuera necesario, estos procesos se podrían ejecutar a una frecuencia mayor a la frecuencia de muestreo. Los procesos fueron explicados de forma general en la sección 3.3, siempre fueron pensados para ser implementados de forma paralela en el FPGA y se encargan de identificar, dimensionar y contar cada par ordenado (TDO, AMP) a partir de cada dato que se recibe de la señal RF de US proveniente de la etapa de adquisición. En la sección 3.5 se describe con más detalle la implementación en el FPGA de la etapa de reducción.

c) Etapa de almacenamiento

La tercera etapa es de almacenamiento y se ejecuta de forma secuencial. En ésta el FPGA va almacenando, en otra memoria RAM-C, la información que se va obteniendo de la etapa de reducción durante el TDA1 (actual). La información se va almacenando a partir de la segunda localidad de memoria y se van contando los máximos detectados, para que al final del TDA1 se almacene, en la primera localidad, el número de máximos detectados a lo largo de la señal envolvente, así se sabe cuántos máximos corresponden a cada señal. En el mismo TDA1 (actual) el FPGA, a través de una interface, va pasando a una unidad de almacenamiento masivo no volátil, dato por dato, el número de máximos detectados, seguido de todos los pares ordenados (TDO, AMP) que se obtuvieron y fueron almacenados en otra memoria RAM-D en el TDA0 (anterior).

Una vez que concluye el TDA1 (actual) en un siguiente TDA2 (que ahora es el actual) el FPGA va almacenando ahora en la memoria RAM-D la información proveniente de la etapa de reducción y al mismo tiempo va pasando a la unidad de almacenamiento masivo la información que se almacenó en la memoria RAM-C en el TDA1 (que ahora es el anterior).

Al igual que en la etapa de adquisición, el FPGA controla el intercambio (mapeo) de las memorias RAM-C y RAM-D utilizando un Multiplexor y un Demultiplexor.

La dimensión necesaria de las memorias RAM-C y RAM-D se deja igual a la dimensión de las memorias RAM-A y RAM-B, considerando que se pueda encontrar un caso extremo de máximos. Sin embargo, en la práctica nunca se han detectado más de 20 máximos, por lo que difícilmente se ocuparan más de 60 Bytes de las memorias RAM-C y RAM-D.

Una vez que se concluye con la inspección, los datos son descargados de la unidad de almacenamiento hacia una computadora para ser post-procesados y analizados para finalmente generar el reporte de integridad del espécimen inspeccionado.

3.5. Implementación de reducción en el FPGA

En el sistema de US, las etapas de adquisición y almacenamiento relativamente no tienen mayor problema para su implementación en el FPGA, la única complicación es controlar el mapeo de memorias y sincronizar la adquisición y el almacenamiento. No es así para la etapa de reducción, donde se requieren implementar 4 procesos en paralelo. Dentro de estos procesos, la implementación de la rectificación y la detección de máximos no son tareas tan complicadas de implementar. Para la rectificación, se aplica el complemento a 2, que es una operación combinacional. Y para la detección de máximos, se utilizan un par de comparaciones (if-else) y un registro de corrimiento, por lo que sus requerimientos de hardware son mínimos y como consecuencia la detección de máximos se ejecuta más rápido que los procesos de filtrado.

La clave en la implementación en el FPGA para lograr el procesamiento en tiempo real está en los procesos de filtrado, donde se realizó una investigación más a fondo de los tipos de estructuras existentes para los filtros FIR, para así determinar la estructura más conveniente para la reducción. Existen tres estructuras principales de los filtros FIR optimizadas para su implementación en el FPGA; Secuencial, Paralela y Semi-Paralela [29]. En la Figura 3.14 se ilustra la relación que existe entre la velocidad del filtro (frecuencia de muestreo) y el orden del filtro (número de coeficientes), donde se puede apreciar que una estructura Secuencial de orden 32 difícilmente puede llegar a los 50

MHz requeridos, mientras que las estructuras Semi-Paralela y Paralela pueden cumplir con el requerimiento sin ningún problema, de esta manera se deduce que para el proceso de filtrado de la técnica de reducción sólo se puede utilizar la estructura Semi-Paralela o Paralela.

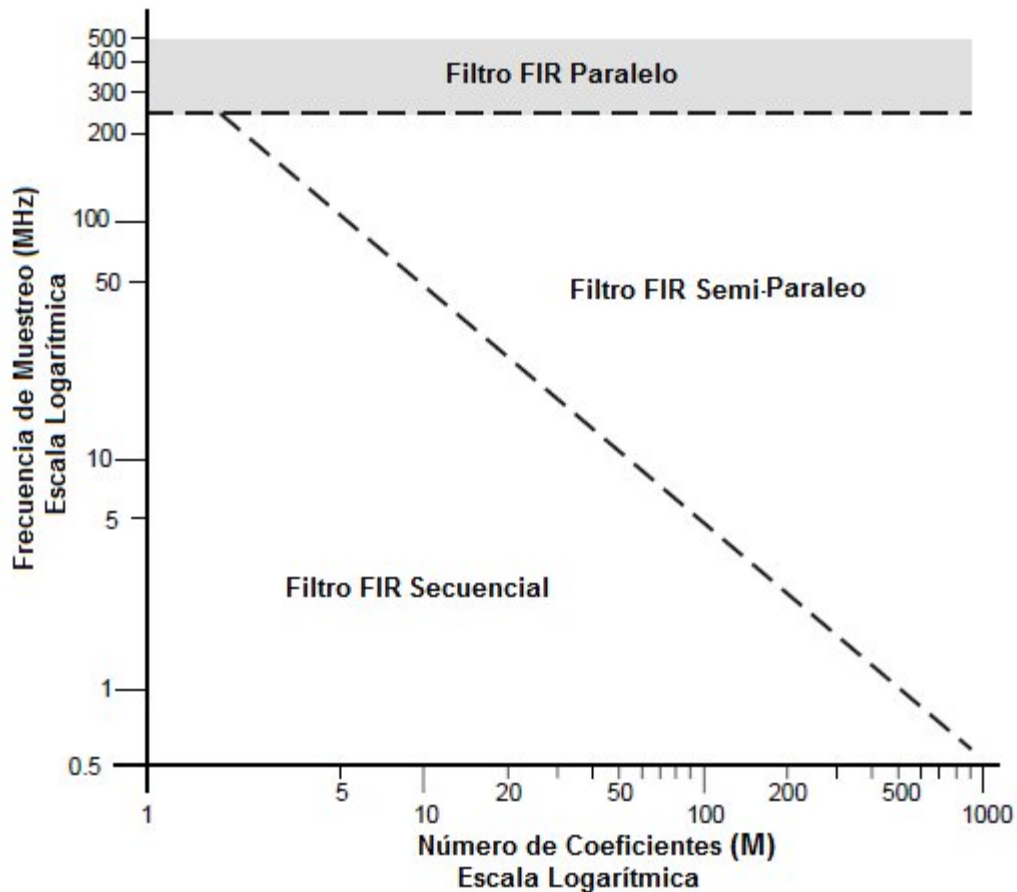


Figura 3.14. Relación frecuencia contra orden de las estructuras de filtros FIR [29].

El criterio para seleccionar una estructura Semi-Paralela o Paralela depende de los requerimientos del sistema de US y las características del FPGA seleccionado, donde se debe buscar siempre un nivel de eficiencia entre la velocidad de procesamiento y los recursos de hardware requeridos. En otras palabras, es posible implementar un filtro FIR totalmente en paralelo, sin embargo, los recursos de hardware requeridos para ello pueden ser excesivos, de ser el caso, harían necesario el uso de un FPGA de mayor

capacidad, y por consiguiente mayor costo y consumo de energía. Por lo que es ideal diseñar la arquitectura completa en el FPGA de la lo mejor manera posible.

Para entender mejor las estructuras de los filtros FIR se hace una reseña de sus principales características:

3.5.1. Estructura FIR Secuencial

Para un filtro FIR de orden M , cada dato de entrada va a través de un registro de desplazamiento, M ciclos de reloj antes de obtener la salida. En otras palabras, el procesamiento es ejecutado en M ciclos de reloj, multiplicando secuencialmente el dato de entrada por cada coeficiente, el resultado del multiplicador es sumado en un acumulador y después de M ciclos de reloj se obtiene el valor de salida del filtro controlado por un registro de salida. Este procesamiento es realizado por una arquitectura conocida como multiplicador acumulador (MAC), Figura 3.15.

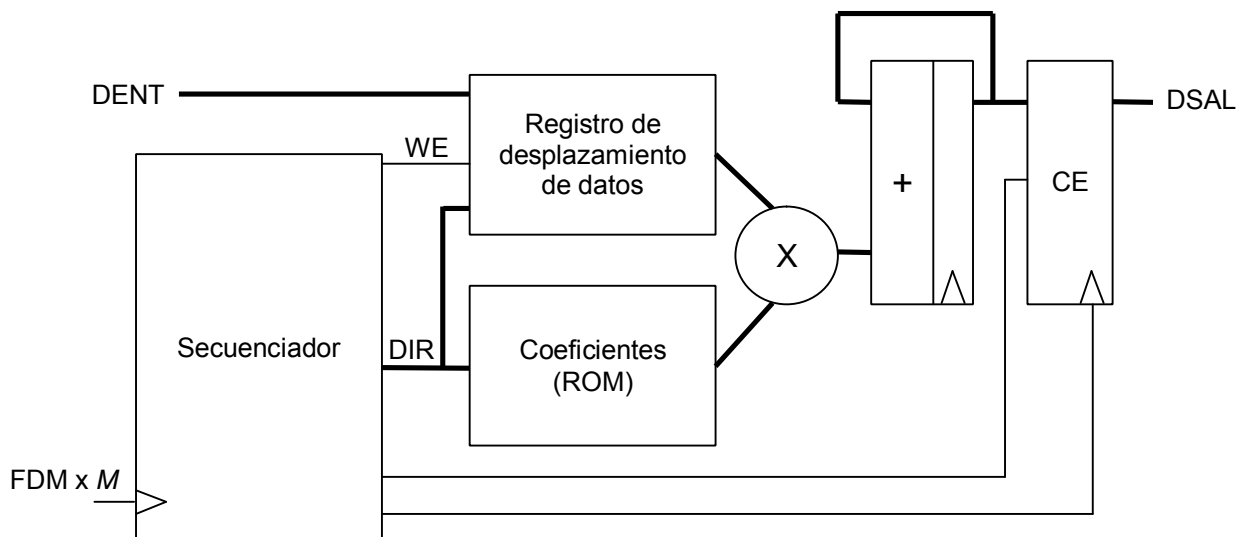


Figura 3.15. Estructura del filtro FIR Secuencial.

La estructura del filtro secuencial es una excelente opción cuando los datos son muestreados a una frecuencia relativamente baja. Sin embargo, para la técnica de reducción se necesitan un par de filtros FIR de orden 32 con datos muestreados a 50

MHz, por lo que utilizando la estructura secuencial del filtro FIR, se requeriría de una frecuencia de procesamiento de 1600 MHz ($32 \times 50\text{ MHz}$), lo cual es imposible de lograr en un FPGA de bajo costo. De esta manera se define que para la técnica de reducción se debe utilizar la estructura Semi-Paralelo o Paralelo.

3.5.2. Estructura FIR Paralela

Para un filtro FIR de orden M , los datos de entrada se recorren M veces a lo largo de un registro de desplazamiento, Figura 3.16, donde por cada dato que entra, un dato de salida es calculado, para cada ciclo de reloj.

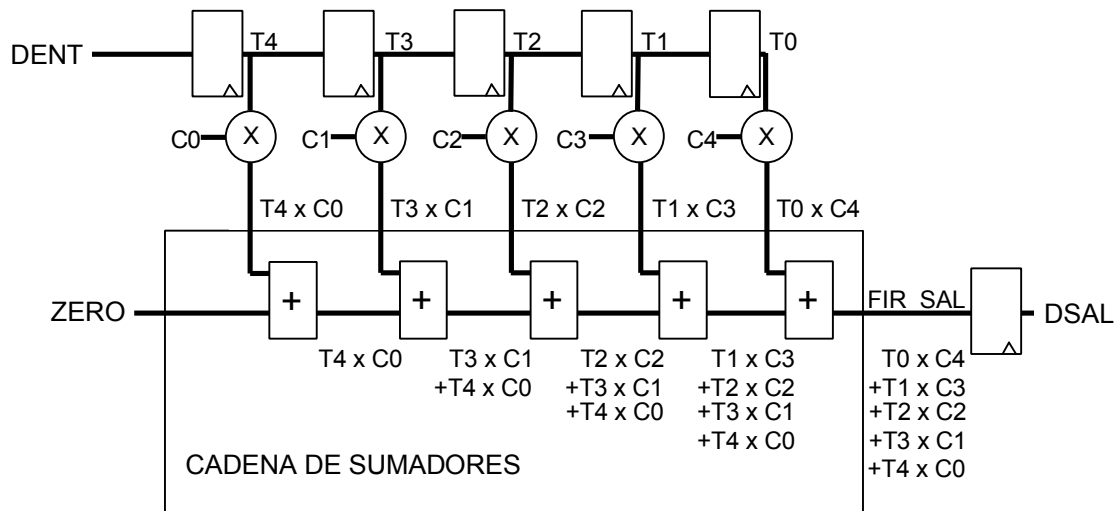


Figura 3.16. Estructura general de los filtros FIR paralelo (SLICE PIPE).

Un filtro de orden M requiere M registros de desplazamiento, M multiplicadores y un sumador de M datos. Para optimizar esta estructura se utiliza una cadena de sumadores (en lugar de un solo sumador), logrando reducir el excesivo número de operaciones combinatorias (tiempo de propagación) a cambio usar M sumadores como se muestra en la Figura 3.16.

Además de la estructura SLICE-PIPE, se encuentran otras estructuras muy eficientes; la **TRANSDPOSE** y la **SYSTOLIC** [29].

La estructura del filtro FIR TRANSPOSE se ilustra en la Figura 3.17, donde el dato de entrada va a todos los multiplicadores simultáneamente, y los coeficientes son ordenados de derecha (C_0) a izquierda (C_4). Estos resultados son alimentados a una cadena de sumadores que actúa como un buffer de datos para almacenar los productos de entrada previamente calculados en la cadena de sumadores. Con esta estructura se obtienen resultados idénticos que con la estructura SLICE-PIPE, pero se gana en velocidad gracias al registro incluido en la cadena de los sumadores. Esta estructura es eficiente y fácil de implementar en el FPGA Spartan-6.

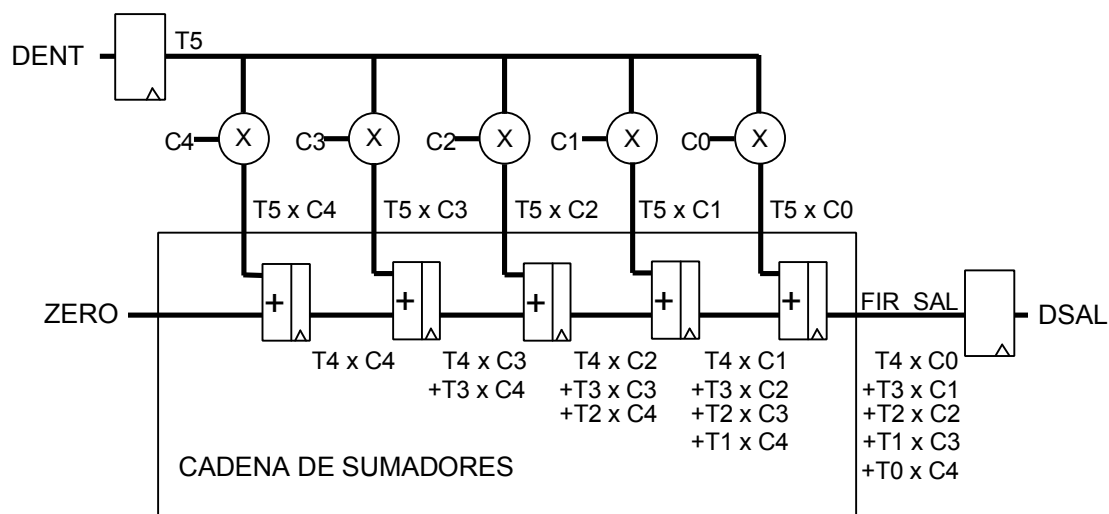


Figura 3.17. Estructura de filtro FIR TRANSPOSE.

Ventajas y desventajas del filtro FIR TRANSPOSE.

- Latencia muy baja: Típicamente 3 ciclos de reloj entre el dato de entrada y el resultado de salida.
- Mapeo eficiente: El mapeo se basa en la cadena de sumadores.
- No requiere lógica externa: No requiere periféricos extras para ser implementado, permite alcanzar los niveles de optimización en hardware más altos del FPGA.
- Desempeño limitado: El desempeño puede ser limitado debido a la carga que puede tener la señal de entrada cuando el orden del filtro es muy grande.
- Un filtro de orden M requiere M multiplicadores.

La estructura del filtro FIR SYTOLIC se ilustra en la Figura 3.18, donde el dato de entrada es alimentado en una cascada de registros, que actúan como un buffer de datos. Cada registro entrega una muestra a un multiplicador la cual es multiplicada por el respectivo coeficiente. En contraste con el TRANSPOSE los coeficientes son alineados de izquierda (C_0) a derecha (C_4). La cadena de sumadores almacena gradualmente la combinación de productos para formar el resultado final. Al igual que el filtro TRANSPOSE, éste no requiere lógica externa para ser implementado y la arquitectura se puede extender para soportar cualquier número de coeficientes.

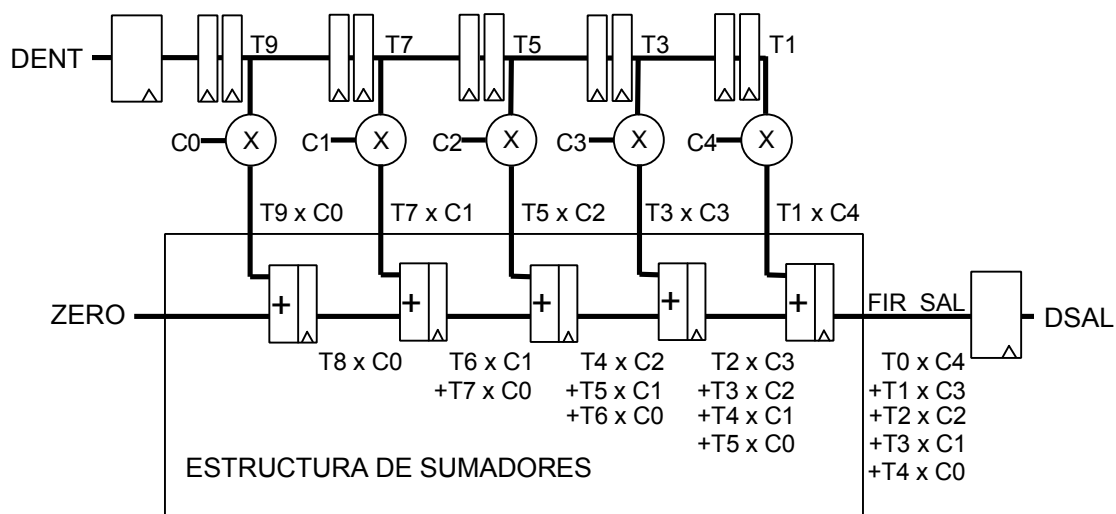


Figura 3.18. Estructura del filtro FIR SYSTOLIC.

Ventajas y desventajas del filtro FIR SYSTOLIC

- Desempeño alto: El desempeño es alto, porque la señal de entrada no tiene una carga elevada, independientemente del orden del filtro.
- Mapeo eficiente: El mapeo se basa en la estructura de sumadores.
- No requiere lógica externa: No requiere periféricos extras para ser implementado, permite alcanzar los niveles de optimización en arquitectura más altos del FPGA.
- Latencia alta: la latencia del filtro está en función a su orden, entre mayor sea el orden del filtro mayor es la latencia.

Las estructuras TRANSPOSE y SYSTOLIC pueden ser ligeramente modificadas para aprovechar la propiedad de simetría de los filtros FIR y así optimizar recursos.

En la Tabla 3.6 se muestra una comparación del rendimiento de las diferentes estructuras de los filtros FIR paralelos, utilizando un orden de 14 para todos los casos y comparando 2 FPGAs de bajo costo, el Spartan-3E (XC3S500E) y el Spartan-6 (XC6SLX9).

Tabla 3.6. Comparación de rendimiento de filtros FIR paralelos.

FPGA	Spartan-3E		Spartan-6	
	Numero de Slices	Frecuencia MHz	Numero de Slices	Frecuencia MHz
SLICE-PIPE	229	175.44	6	205.25
SYSTOLIC	392	158.50	38	449.03
TRANSPOSE	441	158.50	25	426.62
SYSTOLIC Simétrico	332	158.50	21	449.03
TRANSPOSE Simétrico	277	136.24	20	449.03

En todas las estructuras de prueba de la Tabla 3.6 se utilizaron filtros de orden 14, de esta manera sólo se utilizan los recursos dedicados de los FPGAs y se tiene una comparación más equivalente. En otras palabras, el Spartan-3E evaluado sólo tiene 20 multiplicadores y el Spartan-6 sólo tiene 16 bloques DSP y si el orden del filtro sobrepasa el número de multiplicadores o bloques DSP, los FPGAs tendrían que utilizar Slices para crear los multiplicadores o bloques DSP extras, haciendo que la eficiencia de hardware se reduzca considerablemente.

De la Tabla 3.6, se puede concluir que para el Spartan-3E la estructura SLICE-PIPE es la más eficiente, en base a la relación frecuencia de procesamiento contra el número de Slices utilizadas. Mientras que para el Spartan-6 esta relación está más equilibrada, con la única ventaja de que se pueden lograr frecuencias de procesamiento considerablemente más altas para las estructuras SYSTOLIC y TRANSPOSE.

3.5.3. Estructura FIR Semi-Paralela

La estructura FIR Semi-Paralela es una combinación de las estructuras Secuencial y Paralela, es decir, utilizan más de un multiplicador y un sumador (o bloques DSP) a diferencia de la estructura MAC, pero menos que el orden del filtro como las estructuras SLICE-PIPE, TRANSPOSE y SYSTOLIC. Se sugiere que el número de multiplicadores (o bloques DSP) utilizados sea un múltiplo del orden del filtro requerido. Esta estructura es ampliamente recomendable ya que es muy flexible y puede obtener mejores niveles de optimización de recursos en el FPGA ya que se puede equilibrar más fácil la relación frecuencia de procesamiento contra número de Slices. La desventaja de la Estructura Semi-Paralela es la complejidad de entendimiento de su funcionamiento, lo que dificulta el diseño así como las modificaciones requeridas.

El diseñador debe decidir la estructura más conveniente para su aplicación. En este trabajo se decidió utilizar la estructura Paralela SLICE-PIPE implementada en un el Spartan-6 XC6SLX9, aún cuando se utilizan Slices para emular la mayoría de los bloques DSP, ya que entre los dos filtros se requieren 64 bloques DSP y este FPGA sólo dispone de 16. Cabe mencionar que la arquitectura de los Spartan-6 está pensada para soportar implementación de bloques DSP en Slices con niveles de eficiencia muy buenos.

La manera de escoger la estructura SLICE-PIPE fue considerando que la frecuencia de muestreo requerida es de sólo 50 MHz, por lo que al implementar los bloques DSP extras en los Slices se logra fácilmente esta frecuencia. Una vez definida la estructura del filtro FIR a utilizar, se puede definir la arquitectura para detección de envolvente en el FPGA.

3.5.4. Arquitectura para detección de envolvente

En la Figura 3.19 se ilustra la arquitectura final de la etapa de eliminación de ruido (FIR pasa-banda), rectificación (complemento a 2) y detección de envolvente (FIR pasa-bajas).

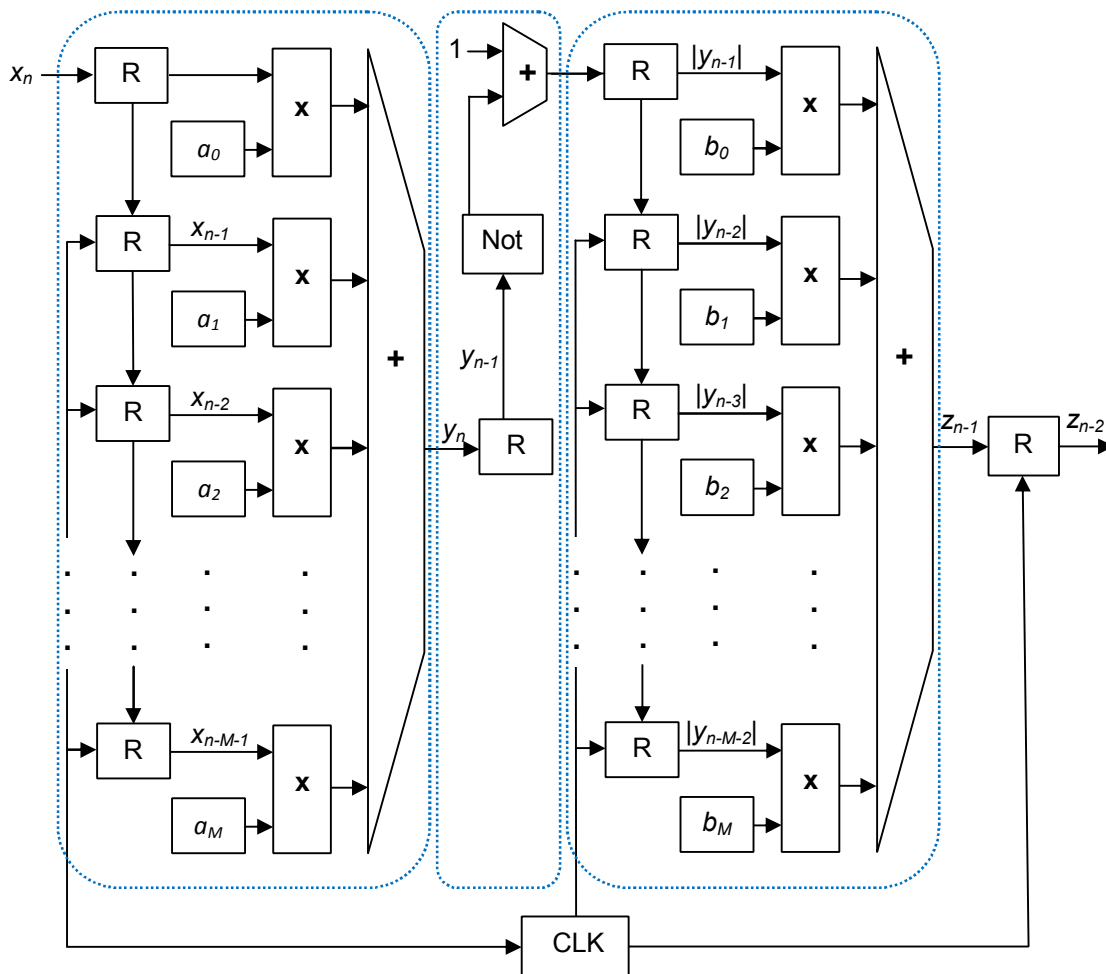


Figura 3.19. Arquitectura para detección de envolvente.

Utilizando la arquitectura de la Figura 3.19 se logra una frecuencia de procesamiento máxima de *204.58 MHz*, Figura 3.20 y sólo se utilizan *421 Slices* lo que corresponde al *30%* de los recursos totales del Spartan-6 XC6SLX9.

```

Timing summary:
-----
Design statistics:
  Minimum period: 4.888ns{1} (Maximum frequency: 204.583MHz)
    
```

Figura 3.20. Tiempo de ejecución de la arquitectura de la Figura 3.19.

Debido a la confidencialidad del proyecto [30] no se presenta la descripción en VHDL.

CAPÍTULO 4

EXPERIMENTACIÓN Y RESULTADOS

4. Experimentación y Resultados

En este capítulo se muestra la validación de la técnica de reducción primero implementada en MATLAB, posteriormente en VHDL y finalmente se muestran los resultados de la inspección de un bloque escalonado, donde se utilizó la técnica de reducción implementada en el FPGA controlando un solo canal del equipo de US desarrollado.

4.1. Validación de la técnica de reducción

Para validar la técnica de reducción se realizaron pruebas a diferentes señales RF de US, con diferentes niveles de amplitud y ruido. Se utilizó MATLAB para agregar ruido a las señales RF de US adquiridas.

4.1.1. Respuesta a señales ideales

En la Figura 4.1 se ilustra la respuesta del proceso de reducción sobre una señal RF de US ideal. Se le llama señal ideal a aquella señal que muestra un nivel de amplitud medio y un nivel de ruido mínimo. Para dicha señal se obtuvo un porcentaje de reducción del 98.53% correspondiente a los 5 máximos detectados.

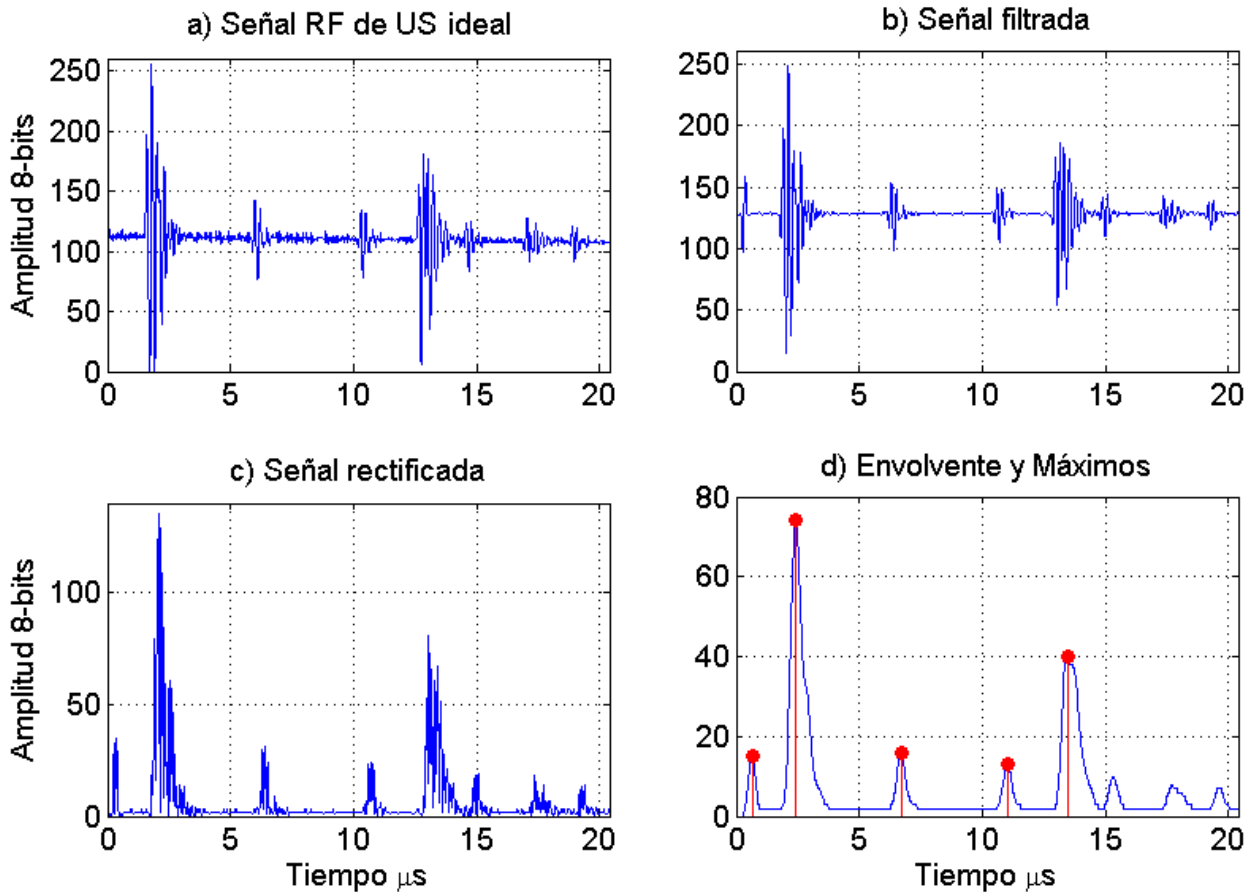


Figura 4.1. Detección de máximos de señal ideal.

Utilizando los TDO de los máximos 2, 3 y 4, ilustrados en la Figura 4.1d, se puede obtener el espesor de pared, utilizando la ecuación 3.3. En la Tabla 4.1 se ilustran los resultados obtenidos de estas mediciones.

Tabla 4.1. Medición de espesores de señal ideal.

No. MAX	2	3	4
TDO (μs)	2.420	6.740	11.060
TDV (μs)	4.320	4.320	
Espesor (mm)	12.700	12.700	
Error absoluto (mm)	0.000	0.000	

Como se especificó en la sección 1.2, la señal RF de US, Figura 4.1a, fue adquirida por la técnica de inmersión de un bloque calibrado de 12.7 mm utilizando el equipo de US desarrollado. De dicha señal fueron obtenidos los máximos representados en la Figura 4.1d y el TDV de estos máximos fue utilizado para calibrar el equipo de US, es por esto que el error absoluto mostrado en la Tabla 4.1 es cero. En otras palabras los máximos de la Figura 4.1d van a ser la referencia de calibración para comparar las mediciones de otras señales consideradas para la validación.

La técnica para calibrar el equipo de US consiste en obtener la velocidad de sonido del medio a inspeccionar. Normalmente dicha velocidad se obtiene utilizando el tiempo de vuelo de una señal adquirida de un bloque calibrado, el cual debe ser del mismo material al que se va a inspeccionar.

De la ecuación 3.3 se despeja la velocidad del sonido en el medio y se obtiene la ecuación 4.1,

$$VSM = \frac{2 \times ESP}{TDV} \quad (4.1)$$

Para obtener la velocidad del sonido en el medio sólo hay que sustituir el espesor del bloque calibrado (12.7 mm) y el tiempo de vuelo ($4.32\text{ }\mu\text{s}$) obtenido entre los máximos 2 y 3 ($TDV = TDO(3) - TDO(2)$), así se obtiene una velocidad de sonido del medio de 5.8796 m/s la cual es utilizada para obtener todas las mediciones de las siguientes pruebas de validación.

4.1.2. Respuesta a señales con ruido normal

En la Figura 4.2 se ilustran la respuesta del proceso de reducción sobre una señal RF de US contaminada con ruido normal de amplitud máxima del 20% el valor máximo de la señal RF de US sin ruido. Se ejemplifica con el 20% ya que en las simulaciones fue el nivel de ruido máximo en el que la técnica aún es estable, es decir, después de este nivel la técnica puede llegar a detectar máximos que no correspondan a ecos sino a ruido.

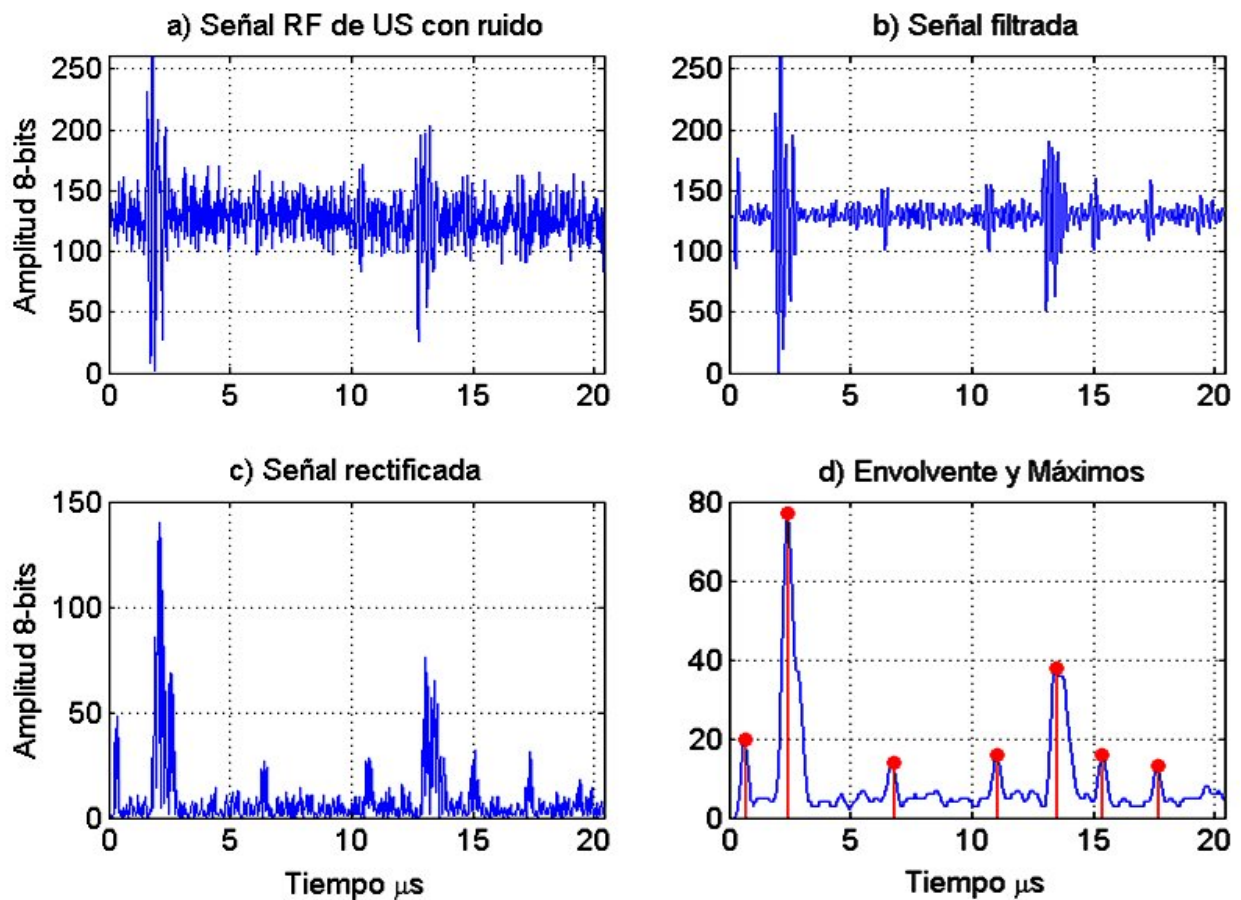


Figura 4.2. Detección de máximos de señal con ruido.

En la Figura 4.2a se aprecia que aún cuando el ruido es casi del mismo nivel que el de los ecos 2 y 3 (prácticamente los absorbe), se pueden detectar las envolventes de todos los ecos presentes, donde sólo se detectaron 2 máximos más que para la señal ideal, lo que corresponde a un porcentaje de reducción del 97.94%. En la Tabla 4.2 se muestran las mediciones de espesor obtenidas de los máximos de la Figura 4.2d.

Tabla 4.2. Medición de espesor de señal contaminada con ruido.

No. MAX	2	3	4
TDO (μs)	2.420	6.760	11.040
TDV (μs)	4.340	4.280	
Espesor (mm)	12.758	12.582	
Error absoluto (mm)	0.058	0.117	

De todas las señales RF de US adquiridas, utilizando el equipo de US desarrollado, ninguna mostró un nivel de ruido tan alto como el que se considera en esta simulación y considerando que de 30 corridas de la simulación, el error absoluto de la medición de espesor siempre se mantuvo por debajo de 0.3 mm , el cual está dentro del 1 mm que permite la norma de PEMEX [1]. Se concluye que la técnica de reducción soporta niveles de ruido normal con amplitud máxima del 20%.

4.1.3. Respuesta a señales de amplitud saturada

En la Figura 4.3 se ilustra la respuesta del proceso de reducción sobre una señal saturada en amplitud y con un ruido normal del 10% la amplitud máxima. En esta señal los valores mayores a 255 (escala de 8 bits) se igualan a 255 y valores menores que 0 se igualan a 0.

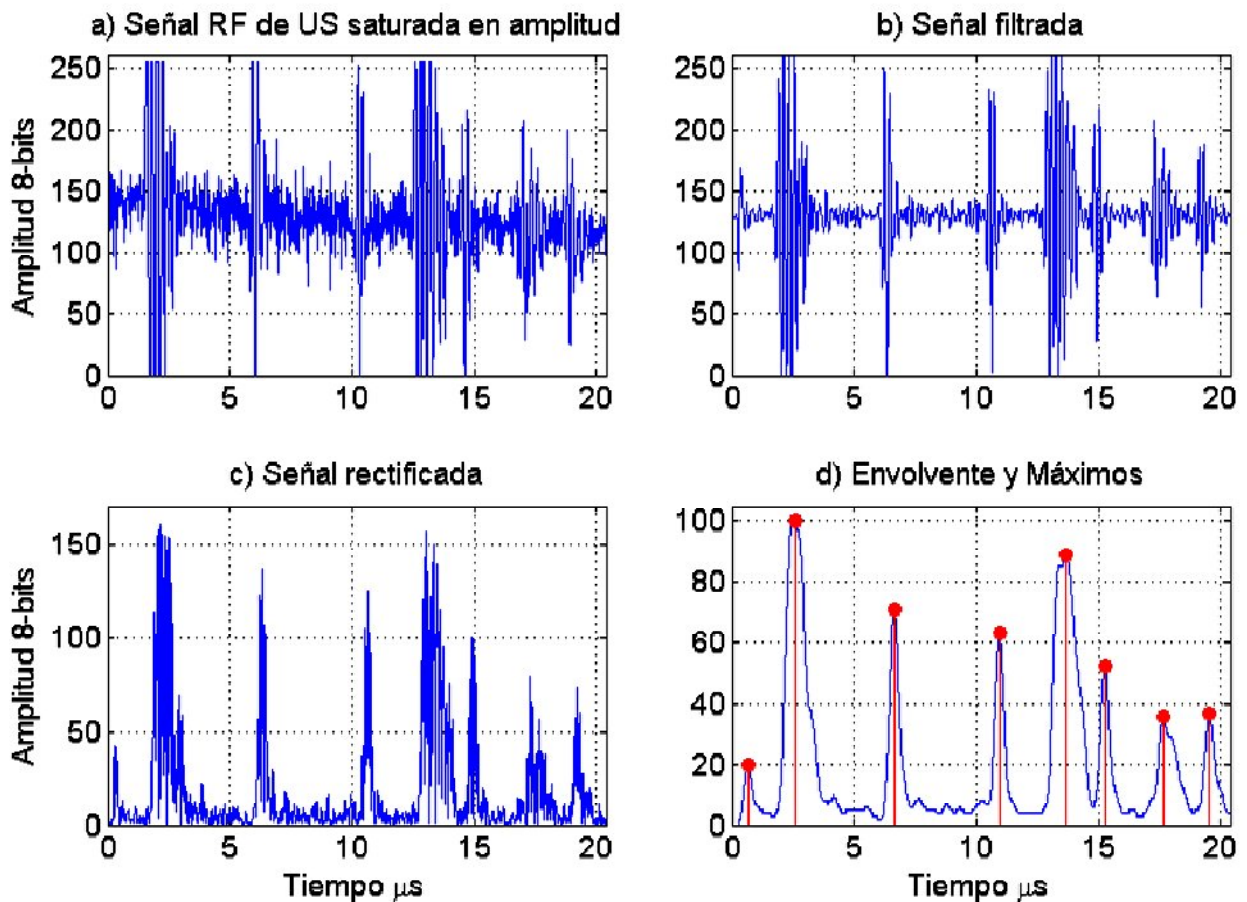


Figura 4.3. Detección de máximos de señal saturada en amplitud.

En la Figura 4.3a se aprecia que aún cuando la amplitud de los ecos está saturada y contaminada con ruido, se detectaron sólo 8 máximos, lo que corresponde a un porcentaje de reducción del 97.65%. En la Tabla 4.3 se muestran las mediciones de espesor obtenidas de los máximos de la Figura 4.3d.

Tabla 4.3. Medición de espesor de señal saturada en amplitud.

No. MAX	2	3	4
TDO (μs)	2.580	6.660	10.960
TDV (μs)	4.080	4.300	
Espesor (mm)	11.994	12.641	
Error absoluto (mm)	0.705	0.058	

En la práctica es fácil encontrar este tipo de señales, saturadas en amplitud, por lo que esta prueba es de gran importancia para la técnica de reducción. Después de realizar 30 corridas de simulación, de señales con amplitud saturada, el error absoluto siempre se mantuvo por debajo de 0.8 mm , el cual está dentro del 1 mm que permite la norma de PEMEX [1], por lo que se puede concluir que la técnica de reducción es confiable aún para señales saturadas en amplitud y contaminadas con ruido.

4.1.4. Respuesta a señales con baja amplitud

En la Figura 4.4 se ilustra la respuesta del proceso de reducción sobre una señal con baja amplitud y con un ruido normal del 10% de la amplitud máxima.

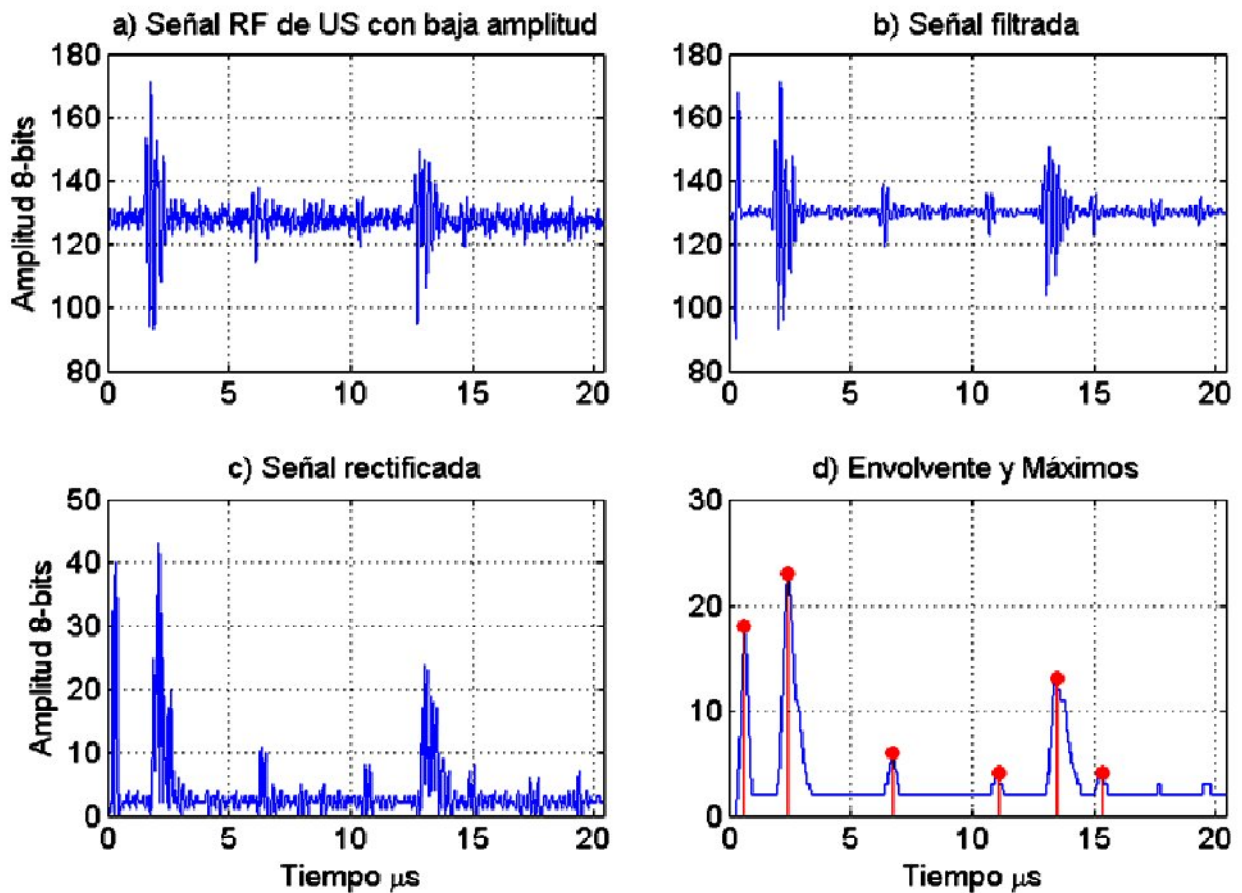


Figura 4.4. Detección de máximos de señal con baja amplitud.

Se aprecia en la Figura 4.4a que aún cuando la amplitud de los ecos es muy baja y está contaminada con ruido, la técnica es muy eficiente. Sólo se detectaron 6 máximos, lo que corresponde a un porcentaje de reducción del 98.24%. En la Tabla 4.4 se muestran las mediciones de espesor obtenidas de los máximos de la Figura 4.4d.

Tabla 4.4. Medición de espesor de señal con baja amplitud.

No. MAX	2	3	4
TDO (μs)	2.440	6.740	11.100
TDV (μs)	4.300	4.360	
Espesor (mm)	12.641	12.817	
Error absoluto (mm)	0.058	0.117	

Al igual que para las señales saturadas en amplitud, es muy común encontrar señales de baja amplitud en la práctica, por lo que está prueba también es muy importante para la técnica de reducción. Después de realizar 30 corridas de simulación, con señales de baja amplitud, el error absoluto siempre se mantuvo por debajo de los 0.2 mm , el cual está dentro del 1 mm que permite la norma de PEMEX [1], por lo que se concluye que la técnica de reducción también es confiable para señales de baja amplitud y contaminadas con ruido.

4.2. Validación de la técnica de reducción en VHDL

Después de realizar simulaciones en MATLAB y de implementar la arquitectura, se realizaron simulaciones en VHDL, donde prácticamente se obtuvieron los mismos resultados que con MATLAB. En la Figura 4.5 se muestra la comparación de las señales envolventes obtenidas de las simulaciones con VHDL y MATLAB.

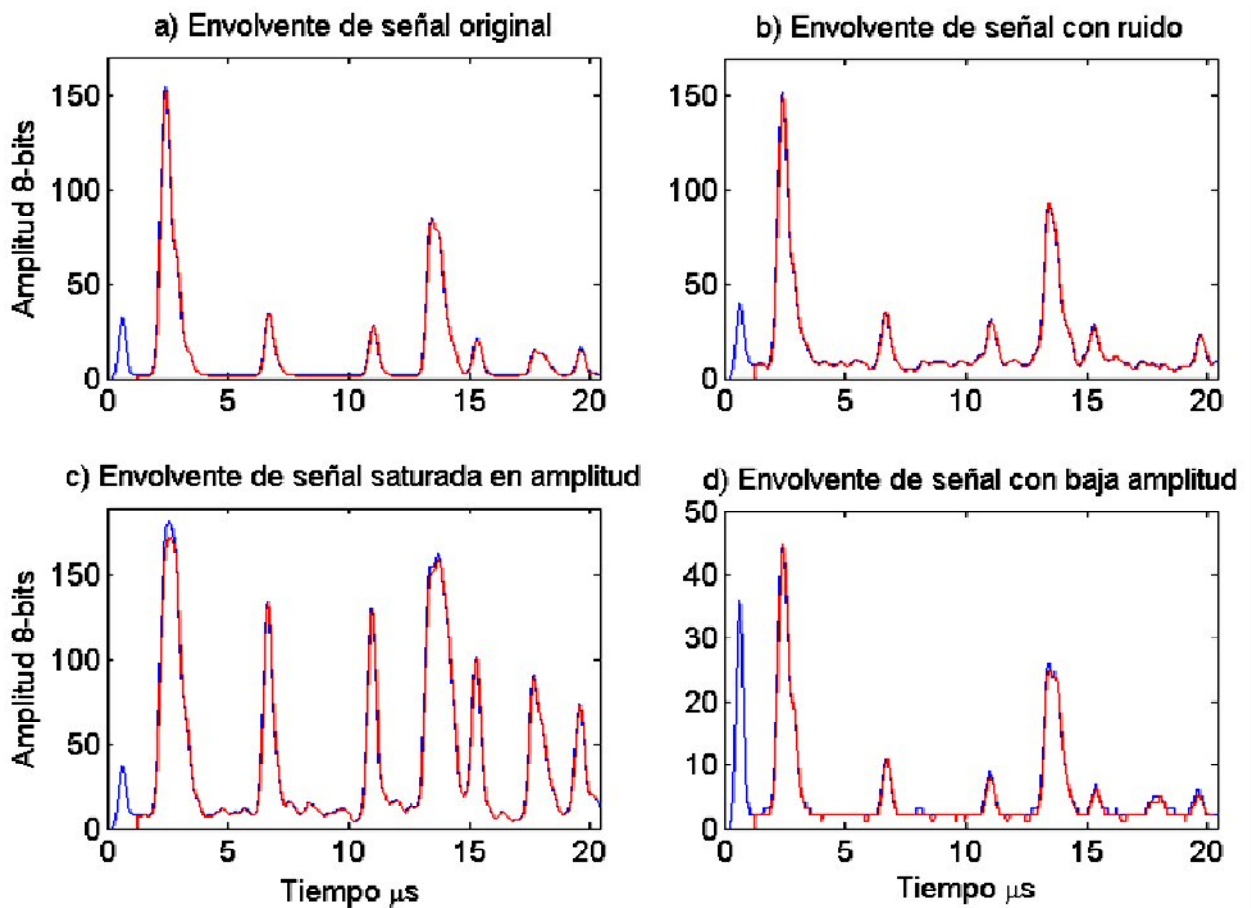


Figura 4.5. Comparación de simulaciones entre MATLAB (Azul) y VHDL (Rojo).

De la Figura 4.5 se observa que son mínimas las diferencias entre las envolventes obtenidas con MATLAB y con VHDL. Además que en las simulaciones con VHDL se elimina el primer impulso, ya que como se comentó en la sección 3.3.1, no es información de interés para la inspección, esto ahorra 3 Bytes de información por cada señal adquirida, lo que representa *10 GB* para los *100 Km* de inspección considerando *100* transductores.

En la Figura 4.6, Figura 4.7 y Figura 4.8, se muestra la simulación en VHDL del proceso de reducción de una señal RF de US, donde se presentan las señales principales involucradas en el proceso.

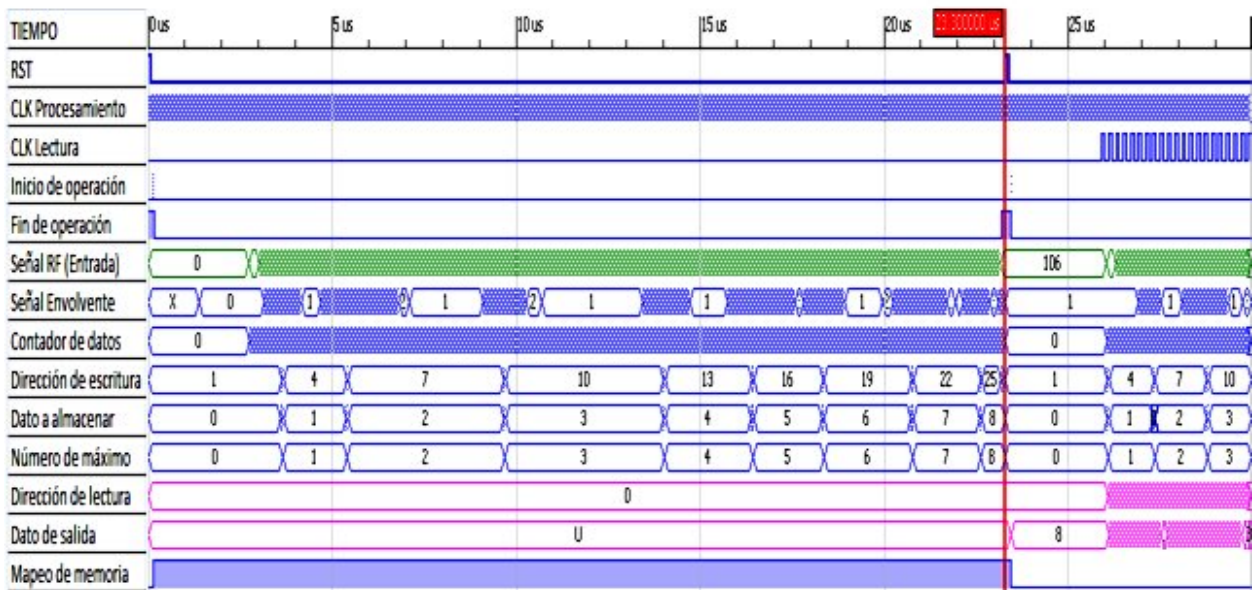


Figura 4.6. Simulación de proceso de reducción, primera señal RF de US completa e inicio de siguiente.

De la Figura 4.6 principalmente se puede apreciar:

- Que el tiempo de procesamiento de cada señal RF de US es de $23.3 \mu s$ (42.9 KHz), que incluyen $2.82 \mu s$ de tiempo de excitación del transductor y $20.48 \mu s$ de tiempo de adquisición, procesamiento y almacenamiento (en paralelo). Si la frecuencia de repetición del pulso requerida por la norma de PEMEX es de 600 Hz entonces cada arquitectura de reducción podría manejar hasta 71 transductores de US sin problema.
- Que el dato de salida es indefinido durante todo el tiempo de procesamiento de la primera señal RF de US, ya que no existe una señal anterior y por consiguiente no hay datos en memoria.
- Que el número de máximos detectados es 8, lo que corresponde a 24 Bytes, sin embargo, se almacenan 25 Bytes (ver señal de dirección de escritura), debido a que en la primera localidad de memoria se agrega el número de máximos detectados.
- Que el control de mapeo de memorias es intercalado cada tiempo de procesamiento de cada señal RF de US.

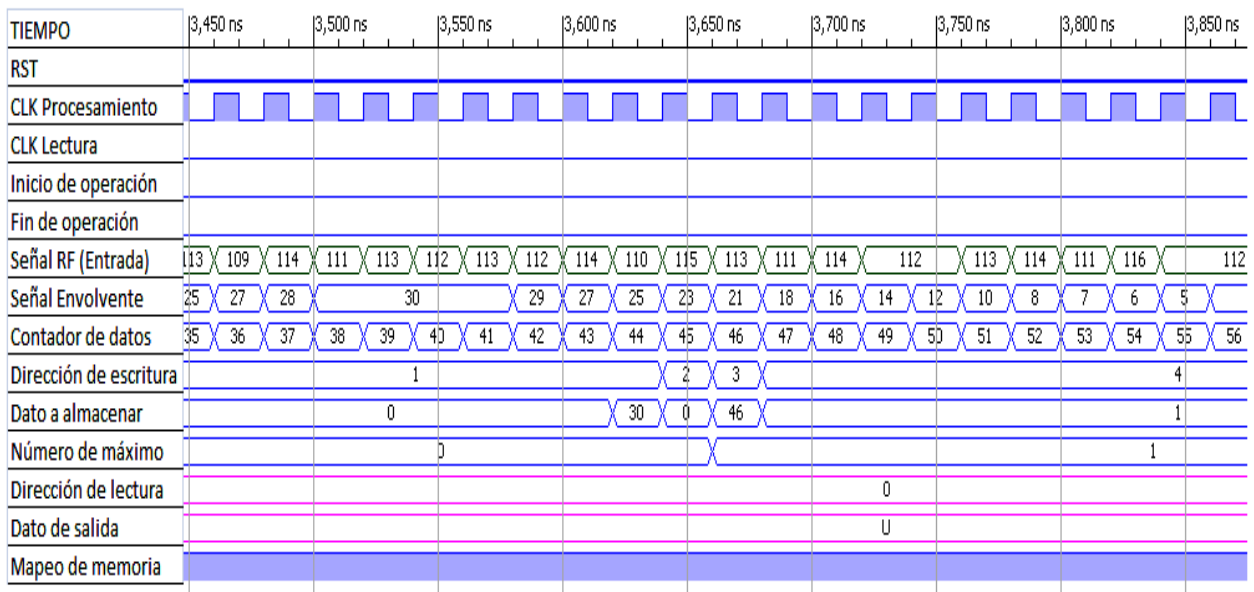


Figura 4.7. Ampliación de señales de proceso de reducción (detección del primer máximo).

De la Figura 4.7 principalmente se puede apreciar:

- El momento en el que se detecta el primer máximo de la señal envolvente y que se almacenan 3 Bytes por cada máximo detectado, en este caso (30,0,46) que corresponden a la AMP(1) igual a 36 y al TDO(1) igual a 46 ($0 \times 256 + 46$).
- Que el dato a almacenar por default tiene el valor del contador de máximos, de esta manera al final de la operación basta con un ciclo de reloj más para almacenar el número de máximos totales.

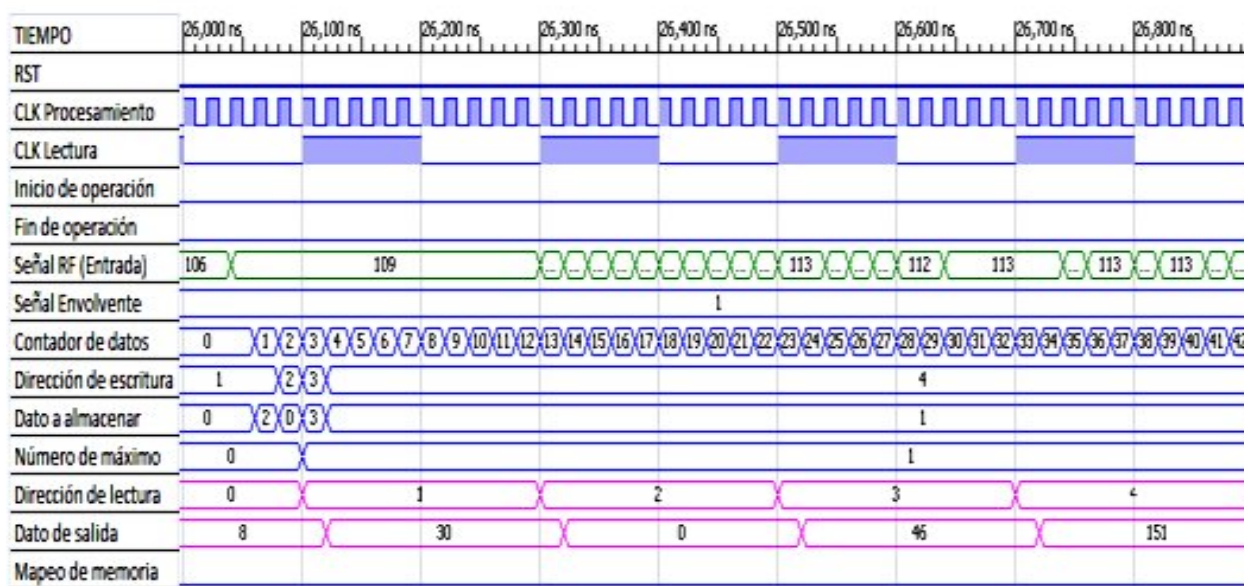


Figura 4.8. Ampliación de señales de proceso de reducción (lectura de datos).

Finalmente de la Figura 4.8 se puede apreciar principalmente:

- Que al inicio de procesamiento de la segunda señal RF de US inicia a trabajar el reloj de lectura de datos, provocando que por cada ciclo se envíe un dato de salida, correspondiente a los máximos detectados y almacenados en el tiempo de procesamiento anterior (primera señal RF de US). La cadena de salida presenta, primero, el número de máximos detectados seguido de todos los pares ordenados $(AMP(i), TDO(i))$. En este caso $(8, 30, 0, 46, 151, 0, 134, 33, 1, 92, \dots)$.

Como se menciona en la sección 3.2 el FPGA es conectado a un Microcontrolador el cual se encarga de controlar las señales de: Reset, Inicio de operación, Mapeo de memoria, Lectura de datos y Reloj de lectura de datos. En el Microcontrolador se aprovechan las propiedades de conectividad y manejo de protocolos para manejar la unidad de almacenamiento masivo y comunicar el sistema de US a una computadora para su configuración.

4.3. Inspección de bloque escalonado con técnica de reducción

Dentro de las limitaciones de este trabajo, está que aún no se tiene el diablo instrumentado construido, por lo que se montó un experimento que emula en cierta medida la inspección con el diablo instrumentado. Otra limitante es que el equipo de US de 8 canales desarrollado tiene una frecuencia de repetición del pulso menor a la requerida, por lo que tampoco se puede validar la técnica reducción a la máxima velocidad de procesamiento alcanzada por el FPGA en las simulaciones. Actualmente se está desarrollando otro equipo de ultrasonido que soporte la frecuencia de repetición del pulso deseada.

Considerando las limitantes mencionada se planeó un experimento de validación, el cual consiste en utilizar un sistema de inmersión, Figura 4.9, para inspeccionar un bloque de acero calibrado con 4 escalones de dimensiones de 6.35 mm , 12.70 mm , 19.05 mm y 25.40 mm de espesor, cada escalón con una superficie de $60\text{ mm} \times 60\text{ mm}$, Figura 4.10.

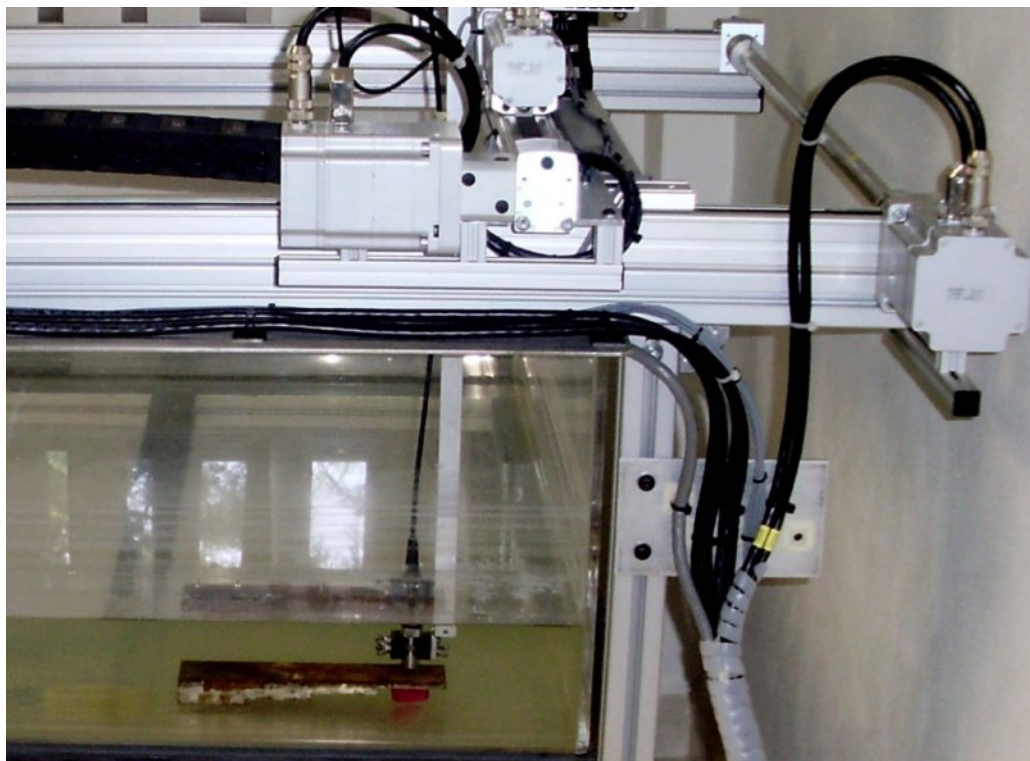


Figura 4.9. Sistema de inmersión por US.

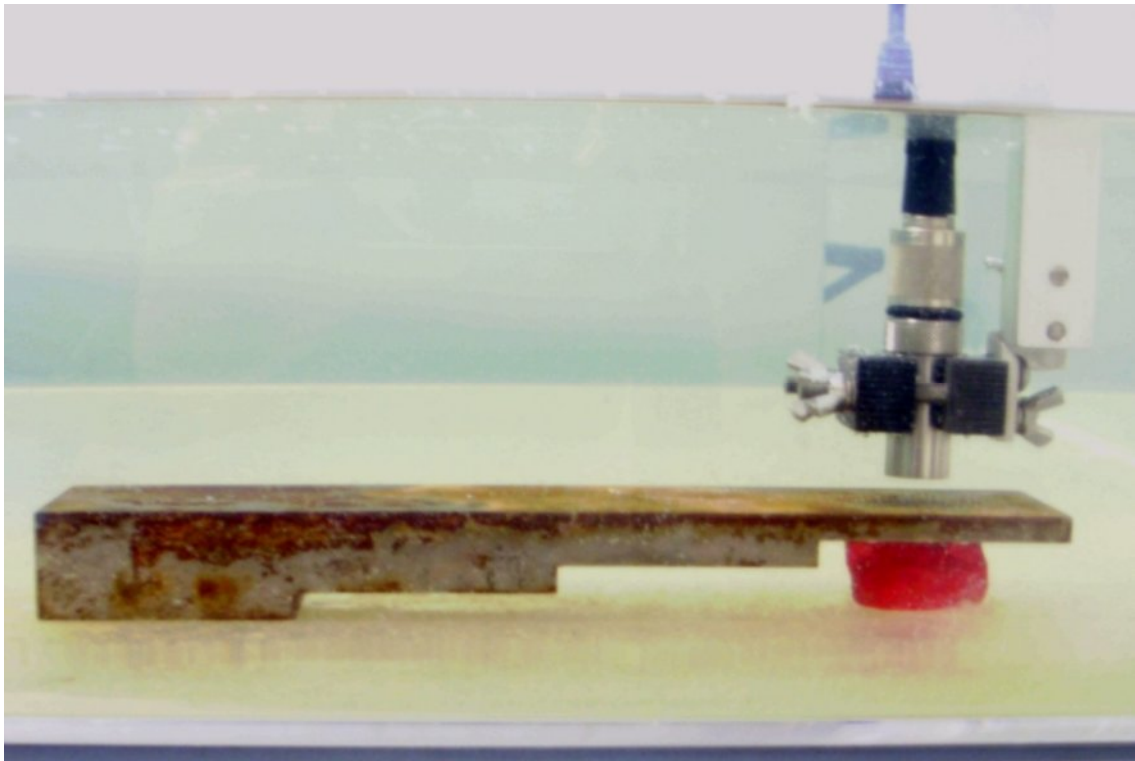


Figura 4.10. Bloque escalonado y transductor de US.

El sistema de inmersión está basado en un robot tipo cartesiano de tres grados de libertad, capaz de alcanzar velocidades de hasta 1 m/s , al cual se le adecuó un encoder para sincronizar sus movimientos con la adquisición de la señal del equipo de US desarrollado. El transductor utilizado fue el *L5K* de Krautkramer [26].

La forma de realizar la inspección se conoce como C-Scan y consiste en realizar un barrido en forma de malla a lo largo y ancho del espécimen bajo inspección. En este caso se realizó el barrido adquiriendo una señal cada 2.85 mm .

Después de realizar la inspección, los máximos (TDO, AMP), que fueron almacenados en la memoria flash, se descargaron a una computadora, donde se obtuvieron las medidas de espesor de cada señal a partir sus máximos asociados. De esta manera se generaron los resultados que validan la funcionalidad de la técnica de reducción.

En la Figura 4.11 se muestra un perfil de espesores del bloque escalonado, obtenido a partir de los máximos de un solo barrido a lo largo del bloque.

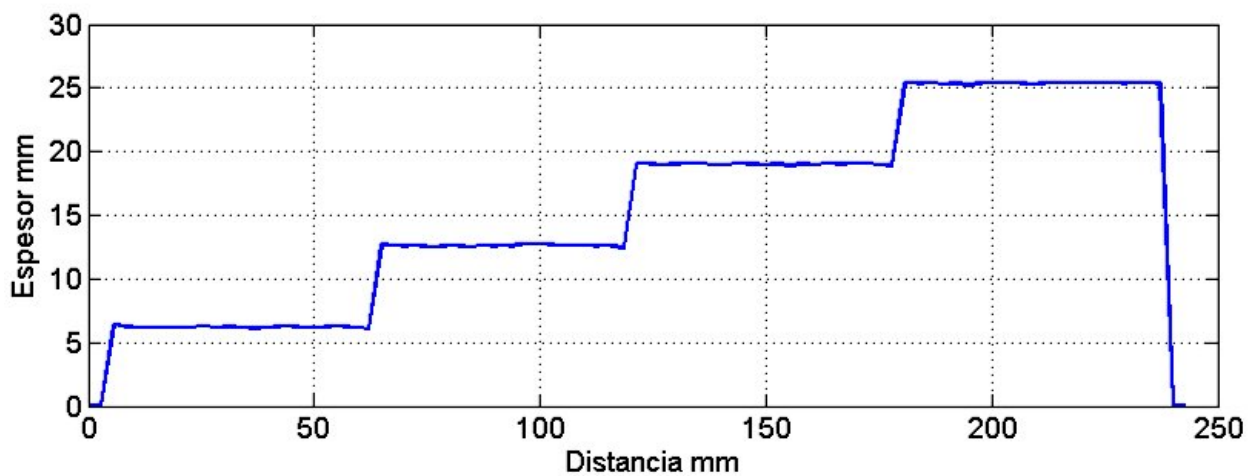


Figura 4.11. Perfil de espesores del bloque escalonado obtenido con la técnica de reducción.

En la Figura 4.12 se muestra la reconstrucción tridimensional del bloque escalonado completo, obtenida a partir de los máximos del C-Sacn.

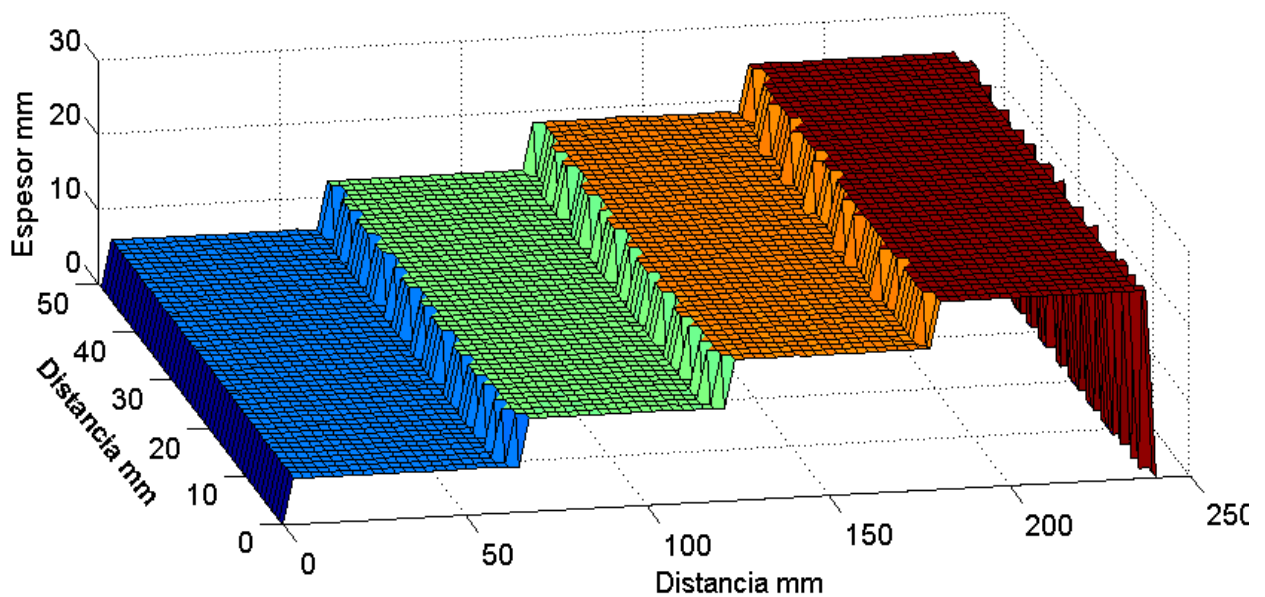


Figura 4.12. Reconstrucción tridimensional del bloque escalonado obtenido con la técnica de reducción.

Para la inspección completa del bloque escalonado se adquirieron 4160 señales de 1024 bytes cada una, las cuales ocuparían un espacio en memoria de 4.16 MB, sin embargo, gracias a la técnica de reducción sólo se almacenaron 148 KB en la memoria flash por lo que se obtuvo un porcentaje de reducción del 96.43%.

En la Figura 4.13 se muestra el histograma de las mediciones de los 4 espesores obtenidas a partir de los máximos de las 4160 señales adquiridas en el C-Scan.

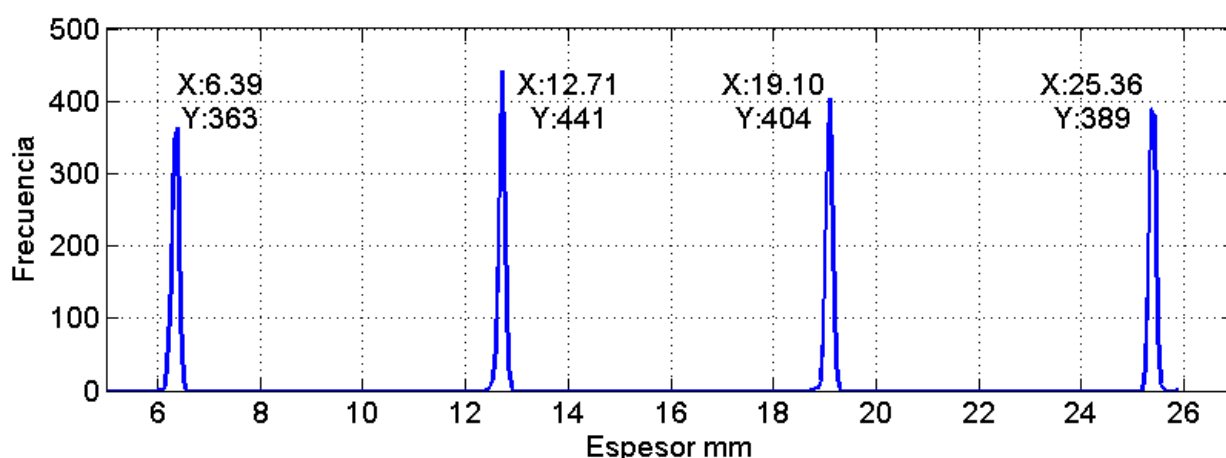


Figura 4.13. Histograma de espesores de la inspección del bloque escalonado.

Finalmente la Tabla 4.5 se muestran los estadísticos de las mediciones de espesores del C-Scan.

Tabla 4.5. Estadísticos del C-Scan del bloque escalonado.

Espeor Nominal (mm)	6.35	12.70	19.05	25.40
<i>Numero de muestras por escalón</i>	1062	1005	1028	1065
<i>Moda de Espeor (mm)</i>	6.3911	12.7150	19.0963	25.3627
<i>Media de Espeor (mm)</i>	6.3486	12.7082	19.0845	25.3815
<i>Desviación Estándar de Espeor (mm)</i>	0.0661	0.0633	0.0638	0.0574
<i>Máximo Error Absoluto (mm)</i>	0.3038	0.2725	0.2986	0.2097

La principal conclusión de la Tabla 4.5, es que de las 4160 señales procesadas, utilizando la técnica propuesta, el mayor de los máximos errores absolutos sólo fue de

0.3038 mm, lo cual cumple con la norma de PEMEX [1] para la inspección del diablo instrumentado sin ningún problema. Estos resultados fueron publicados en *Ultrasonics de Elsevier* [31].

CAPÍTULO 5

CONCLUSIONES Y

RECOMENDACIONES

5. Conclusiones y recomendaciones

Se demostró que la técnica de reducción propuesta es más eficiente que las técnicas encontradas en la bibliografía, ver Tabla 5.1.

Los resultados mostrados en la Tabla 5.1, se obtuvieron implementando estas técnicas en MATLAB utilizando las mismas señales RF de US (capítulo 2), con la finalidad de tener las mismas condiciones en todas las técnicas y que la comparación sea válida.

Tabla 5.1. Comparación de técnicas de reducción.

<i>Tipo de técnica de reducción</i>	<i>PDR</i>	<i>PDD</i>
<i>Codificación por número de ceros</i>	66.50%	92.92%
<i>Codificación por Huffman</i>	61.10%	92.92%
<i>Compresión por Wavelet (Haar-Zeros)</i>	68.45%	86.65%
<i>Compresión por Wavelet (Haar-Huffman)</i>	67.57%	86.65%
<i>Conocimiento ALOK</i>	87.98%	-
<i>Conocimiento PROPIA</i>	97.65%	-

La técnica de reducción propuesta supera casi por 10% a la técnica ALOK, lo que representa un ahorro aproximado de 360 GB en la inspección de 100 Km utilizando 100 transductores.

La técnica de reducción propia es mejor en cuanto a porcentaje de reducción (PDR), sin embargo, es una técnica de reducción no reversible, es decir, no se puede recuperar la señal original, es por ello que no se puede obtener el porcentaje de diferencia (PDD) contra la señal original. El hecho de que la técnica no sea reversible no afecta en la inspección de espesores, como se demostró en los resultados, donde se obtuvo un error máximo de 0.304 mm, de 4160 señales adquiridas, lo cual está dentro de la norma de PEMEX [1] de inspección con diablos instrumentados. Esto demuestra que efectivamente es suficiente con almacenar el TDO y la AMP de cada máximo detectado.

Además de ser muy eficiente la técnica de reducción en la práctica con condiciones controladas, se espera que en la aplicación real del diablo instrumentado demuestre un comportamiento similar al que se obtuvo de la simulaciones con señales con altos niveles de ruido, señales saturadas en amplitud y señales de baja amplitud.

Para que se considere procesamiento en tiempo real, se deben ejecutar tres procesos en paralelo; la adquisición de la señal, el proceso de reducción y el almacenamiento de los máximos. Para lograr la paralelización se realizó la implementación en el FPGA, donde se demostró que se puede alcanzar una frecuencia de procesamiento por arriba de los *200 MHz* la cual sobrepasa los *50 MHz* requeridos. En conclusión el proceso de reducción permite que el FPGA maneje las señales RF de US en tiempo real, es decir, inmediatamente que se termina de procesar una señal, se inicia con el procesamiento de la siguiente y el procesamiento de cada señal lo realiza en el mismo tiempo que tarda la adquisición de la señal.

De esta manera se comprueba la primera hipótesis, concluyendo que utilizando procesamiento digital por hardware, es posible reducir en tiempo real la señal RF de US, identificando y almacenando solamente los tiempos de ocurrencia y las amplitudes (TDO, AMP) correspondientes a cada eco presentes en dicha señal.

Por otro lado, la norma específica que la frecuencia de repetición del pulso de cada transductor debe ser de *600 Hz*, lo que significa que cada transductor debe adquirir una señal cada *1.667 ms*. Considerando que la técnica de reducción procesa cada señal de *1024* datos en *23.3 μs* a una frecuencia de muestreo de *50 MHz*, entonces un solo FPGA puede reducir las señales de hasta *71* ($1.667 \text{ ms} \div 23.3 \mu\text{s}$) transductores en los *1.667 ms*. De esta manera se comprueba la segunda hipótesis de que al reducir la señal RF de US en tiempo real es posible que cada FPGA pueda manejar un número de transductores (NT) máximo correspondiente a la división de el tiempo de repetición del pulso entre el tiempo de adquisición (**NT = TRP ÷ TDA**).

La técnica de reducción prácticamente no tiene desventajas cuando se requiere inspeccionar desgaste por corrosión (medición de espesores), sin embargo, si se requiere hacer un análisis de atenuación de amplitudes de los ecos, se debe tener cuidado con las señales saturadas en amplitud, ya que estas señales no representan correctamente la relación de amplitudes de la señal real. Esta problemática no sólo afecta la técnica propuesta sino que en general es un problema para la inspección por US automatizada y por consiguiente para cualquier otra técnica. Se sugiere como trabajo futuro implementar un proceso en el FPGA que detecte cuando el ADC esté saturado y así controle de forma automática la amplificación de la señal utilizando el amplificador de ganancia controlada del circuito receptor del equipo de US.

Otra recomendación es construir un sistema de ultrasonido modular para el diablo instrumentado, es decir que aunque un solo FPGA pueda manejar 71 transductores, se sugiere que sólo maneje 32 o menos, además utilizar un circuito pulsador por cada 8, de esta manera se simplifica la arquitectura del sistema de adquisición y almacenamiento, y por si alguna razón dejara de funcionar algún FPGA no se perdería tanta información de la inspección.

Por otro lado es necesario modificar el hardware del circuito pulsador del equipo de US, ya que como se diseñó no es capaz de soportar la frecuencia de repetición del pulso requerida para los 8 transductores. Actualmente sólo soporta hasta 1 KHz y se requieren 4.8 KHz.

Finalmente se sugiere rediseñar el sistema de almacenamiento de información, para que también sea modular, ya que si el FPGA almacena la información de los 32 transductores manejados en una sola memoria se genera un cuello de botella, lo que puede ocasionar que se pierda información, en el caso de que el porcentaje de reducción de todos los transductores sea muy bajo. Además se sugiere utilizar memorias de almacenamiento de forma redundante para asegurar aún más la información de la inspección.

CAPÍTULO 6

BIBLIOGRAFÍA

6. Bibliografía

- [1] Inspección de ductos de transporte mediante equipos instrumentados, PEMEX NRF-060, 2006.
- [2] G. Dobmann, O. Barbian, H. Willems, “State of the art of in-line nondestructive weld inspection of pipelines by ultrasonics”, *Russian Journal of Nondestructive Testing*, vol. 43, no.11, pp. 755–761, 2007.
- [3] M. Balzer, H. Stripf, “Online data reduction with a DSP-FPGA multiprocessor system”, *Digital Signal Processing*, vol. 2, pp. 819–822, 2001.
- [4] M. Kondo, M. Kobayashi, M. Kurashima, “Ultrasonic corrosion inspection of crude oil pipeline”, *Corrosion NACE*, San Antonio, TX, April 25 - 30, 1999, Paper 525.
- [5] K. Reber, M. Beller, H. Willems, O. Barbian, “A new generation of ultrasonic in-line inspection tool for detecting, sizing and locating metal loss and cracks in transmission pipelines”, *IEEE Ultrasonic Symposium*, 2002, pp. 665–671.
- [6] B. Dai, S. Sheng, X. Tian, Z. Yang, Z. Xie, “Research on multiprobe ultrasonic automated in-line inspection system of pipeline corrosion”, *IEEE International Conference on Mechatronics and Automation*, 2007, pp. 3105–3110.
- [7] H. Lei, Z. Huang, W. Liang, Y. Mao, “Ultrasonic pig for submarine oil pipeline corrosion inspection”, *Russian Journal of Nondestructive Testing*, vol. 45, no. 4, pp. 285–291, 2009.
- [8] M. Akil, L. Perroton, T. Grandpierre, “FPGA-based architecture for hardware compression/decompression of wide format images”, *Journal of Real-Time Image Processing*, vol. 1, no 2, pp. 163–170, 2006.
- [9] Z. Wang, Q. Cao, N. Luan, L. Zhang, “Development of new pipeline maintenance system for repairing early-built offshore oil pipelines”, *IEEE International Conference on Industrial Technology*, 2008, pp. 1–6.
- [10] E. Oruklu, G. Cardoso, Jafar Saniie, “ReconFigurable architecture for ultrasonic signal compression and target detection”, *IEEE International Conference on Acoustic, Speech and Signal Processing*, vol 5, 2005, pp. 129–132.
- [11] D. Huffman, “A method for the construction of minimum-redundancy codes”, *Institute of Radio Engineers*, vol. 40, no. 9, pp. 1098–1102, 1952.

- [12] H. Stripf, T. Kugner, “Method of measuring the delay of ultrasound in the pulse reflection method”, United States Patent 5497,661, March 12, 1996.
- [13] S. Sharov, Y. Orlov, I. Persiantsev, “The high-speed compression of large data streams in ultrasonic diagnostics”, *Pattern Recognition and Image Analysis*, vol. 16, no 1, pp. 68–70, 2006.
- [14] G. Cardoso, J. Saniie, “Performance evaluation of DWT, DCT, and WHT for compression of ultrasonic signals”, *IEEE International Ultrasonics, Ferroelectrics, and Frequency Control Joint 50th Anniversary Conference*, 2004, pp. 2314–2317.
- [15] G. Cardoso, J. Saniie, “Compression of ultrasonic data using transform thresholding and parameter estimation techniques”, *IEEE Ultrasonics Symposium*, 2002, pp. 837–840.
- [16] Z. Qi, C. Tianlu, Q. Peiwen, X. Yasheng, “Compression of ultrasonic signals with the lifting scheme wavelet transform”, *Russian Journal of Nondestructive Testing*, vol. 44, no. 7, 490–495, 2008.
- [17] M. Freitas, M. Jimenez, H. Benincaza, J. Weid, “A new lossy compression algorithm for ultrasound signals”, *IEEE Ultrasonic Symposium*, 2008, pp. 1885–1888.
- [18] R. Neumann, O. Barbian, W. Biehl, W. Schuhmacher, M. Tammer, “Hardware equipment for real-time determination of data gained from A-Scans by automatic ultrasonic inspection for flaw-reconstruction by ALOK”, *IEEE Ultrasonic Symposium*, 1981, 985–988.
- [19] H. Stripf, M. Balzer, “Method for Reducing Digital Data in an EMAT PIG”, *International Patent WO2006/081946*, August 10, 2006.
- [20] A. Pesavento, V. Burow, H. Ermert, “Compression of ultrasonic RF data”, *IEEE Ultrasonics Symposium*, vol. 2, 1997, pp. 1471–1474.
- [21] G. Cardoso, J. Saniie, “Ultrasonic data compression via parameter estimation”, *Transactions on Ultrasonics, Ferroelectrics and Frequency Control*, vol. 52, no. 2, pp. 313–325, 2005.
- [22] R. Vieira, E. Wakamoto, N. Maruyama, C. Massatoshi, “Digital ultrasonic system for internal corrosion assessment on oil pipelines”, *ABCM Symposium Series in Mechatronics*, vol. 3, 2008, pp. 543–551.

- [23] O.A. Barbian, B. Grohs, R. Licht, “Signalanhebung durch Entstoerungvon Laufzeit-Messwerten aus Ultraschallpruefungen von ferritischen und austenitischen Werkstoffen – ALOK”, Materialprufung, vol. 23, no. 11, pp. 379–383, 1981.
- [24] N.B. Luciano, S.C.J. Alberto, P.O.J. Carlos, R.A.J. Manuel, “Development of an ultrasonic thickness measurement equipment prototype”, 20th International Conference on Electronics, Communications and Computers CONIELECOMP, 2010, pp. 124–129.
- [25] “Ultrasonics Transducers”, Olympus NDT, 2008.
- [26] “The total probe range for you ultrasonic equipment”, GE Inspection Technologies, GEIT-20101GB(02/05), 2005.
- [27] Steven W. Smith, The Scientist and Engineer’s Guide to Digital Signal Processing, California Technical Publishing, Second Edition, 1999.
- [28] “Spartan-3E FPGA Family”, Xilinx Inc., DS312, May 29, 2007.
- [29] “DSP: Designing for Optimal Results, High-Performance DSP Using Virtex-4 FPGAs”, Xilinx Inc., DSP Solutions – Advanced Design Guide, Edition 1.0, Xcell Publications, April, 2005.
- [30] Jorge Alberto Soto Cajjiga, Carlos Rubio González, Luciano Nava Balanzar, Jesús Carlos Pedraza Ortega, “Método para reducción de información de señales RF de US en tiempo real”, Aplicación Patente México MX/A/2010/014275, 13 Diciembre, 2010.
- [31] J.A. Soto-Cajjiga, J.C. Pedraza-Ortega, C. Rubio-Gonzalez, M. Bandala-Sanchez, R. de J. Romero-Troncoso, “FPGA-based architecture for real-time data reduction of ultrasound signals”, Elsevier, Ultrasonics, vol. 52, pp. 230-237, 2012.

CAPÍTULO 7

ANEXOS

7. Anexos

7.1. Productos generados

- [1] Jorge Alberto Soto Cajjiga, Carlos Rubio González, Luciano Nava Balanzar, Jesús Carlos Pedraza Ortega, “Método para reducción de información de señales RF de US en tiempo real”, Aplicación Patente México MX/A/2010/014275, 13 Diciembre, 2010.
- [2] J.A. Soto-Cajjiga, J.C. Pedraza-Ortega, C. Rubio-Gonzalez, M. Bandala-Sanchez, R. de J. Romero-Troncoso, “FPGA-based architecture for real-time data reduction of ultrasound signals”, Elsevier, Ultrasonics, vol. 52, pp. 230-237, 2012.
- [3] N.B. Luciano, S.C.J. Alberto, P.O.J. Carlos, R.A.J. Manuel, “Development of an ultrasonic thickness measurement equipment prototype”, 20th International Conference on Electronics, Communications and Computers CONIELECOMP, 2010, pp. 124–129.



<input checked="" type="checkbox"/> Solicitud de Patente <input type="checkbox"/> Solicitud de Registro de Modelo de Utilidad <input type="checkbox"/> Solicitud de Registro de Diseño Industrial , especifique cuál: <input type="checkbox"/> Modelo Industrial <input type="checkbox"/> Dibujo Industrial	Uso exclusivo Delegaciones y Subdelegaciones de la Secretaría de Economía y Oficinas Regionales del IMPI.	Uso exclusivo del IMPI No. de expediente No. de folio de entrada Fecha y hora de presentación
Antes de llenar la forma lea las consideraciones generales al reverso		
I DATOS DEL (DE LOS) SOLICITANTE(S)		
El solicitante es el inventor <input type="checkbox"/> El solicitante es el causahabiente <input checked="" type="checkbox"/>		
1) Nombre (s): CENTRO DE INGENIERIA Y DESARROLLO INDUSTRIAL		
2) Nacionalidad (es): MEXICANA		
3) Domicilio; calle, número, colonia y código postal: PLAYA PIE DE LA CUESTA NO.702, DESARROLLO HABITACIONAL SAN PABLO, C.P.76130 Población, Estado y País: QUERÉTARO, QUERÉTARO, MÉXICO		
4) Teléfono (clave): (442) 211 98 00 ext. 1321 5) Fax (clave): (442) 211 98 39		
II DATOS DEL (DE LOS) INVENTOR(ES)		
6) Nombre (s): (1) JORGE ALBERTO SOTO CAJIGA , (2) CARLOS RUBIO GONZALEZ , (3) LUCIANO NAVA BALANZAR , (4) JESÚS CARLOS PEDRAZA ORTEGA .		
7) Nacionalidad (es): (1) MEXICANA , (2) MEXICANA , (3) MEXICANA , (4) MEXICANA .		
8) Domicilio; calle, número, colonia y código postal: (1) FELIPE RIVERA No.13 COL. REFORMA AGRARIA, C.P. 76080 , (2) SENDERO DEL TRIUNFO No.30 COL. MILENIO III, C.P. 76080 (3) CLARISAS No.56 COL.MISIÓN SAN CARLOS, C.P. 76190 , (4) SANTUARIOS DE LA CUEVA SANTA No. 34 COL.SANTUARIOS RESIDENCIAL, C.P.76800 . Población, Estado y País: (1) QUERÉTARO, QRO, MÉXICO , (2) QUERÉTARO, QRO, MÉXICO , (3) CORREQUIDORA, QUERÉTARO, MÉXICO , (4) CORREQUIDORA, QUERÉTARO, MÉXICO .		
9) Teléfono (clave): (1) 442 211 9800 (2) 442 211 8600 (3) 442 211 9800 (4) 442 446 9118 10) Fax (clave): S/N		
III DATOS DEL (DE LOS) APODERADO(S)		
11) Nombre (s): CIRILO NOGUERA SILVA 12) R.G.P.:		
13) Domicilio; calle, número, colonia y código postal: PLAYA PIE DE LA CUESTA No.702, DESARROLLO HABITACIONAL SAN PABLO, C.P.76130 Población, Estado y País: QUERÉTARO, QUERÉTARO, MÉXICO 14) Teléfono (clave): (442) 211 98 19 15) Fax (clave): 2118804		
16) Personas Autorizadas para oír y recibir notificaciones: M.C. CIRILO NOGUERA / M.C. AIME SANTOS		
17) Denominación o Título de la invención: MÉTODO PARA LA REDUCCIÓN DE INFORMACIÓN DE SEÑALES RF DE ULTRASONIDO EN TIEMPO REAL		
18) Fecha de divulgación previa Día Mes Año		
19) Clasificación Internacional		uso exclusivo del IMPI
20) Divisional de la solicitud		21) Fecha de presentación Día Mes Año
22) Prioridad Reclamada: País Figura jurídica Fecha de presentación No. de serie Día Mes Año		
Lista de verificación (uso interno)		
No. Hojas <input type="checkbox"/> Comprobante de pago de la tarifa <input type="checkbox"/> Descripción y reivindicación (es) de la invención <input type="checkbox"/> Dibujo (s) en su caso <input type="checkbox"/> Resumen de la descripción de la invención <input type="checkbox"/> Documento que acredite la personalidad del apoderado	No. Hojas <input type="checkbox"/> Documento de cesión de derechos <input type="checkbox"/> Constancia de depósito de material biológico <input type="checkbox"/> Documento (s) comprobatorio(s) de divulgación previa <input type="checkbox"/> Documento (s) de prioridad <input type="checkbox"/> Traducción TOTAL DE HOJAS	
Observaciones:		
Eslo protesto de decir verdad, manifiesto que los datos presentados en esta solicitud son ciertos.		
CIRILO NOGUERA SILVA Nombre y firma del solicitante o su apoderado		QUERÉTARO, QUERÉTARO 08 DE DICIEMBRE DE 2010 Lugar y fecha



Certificado de acuse de recibo registro(s): MX/2010/080926

DIRECCION DIVISIONAL DE PATENTES
SUBDIRECCION DIVISIONAL DE PROCESAMIENTO ADMINISTRATIVO DE PATENTES
COORDINACION DEPARTAMENTAL DE EXAMEN DE FORMA
Expediente de Patente de Invención Normal MX/a/2010/014275

Asunto: Resultado del Examen de Forma.

México, D.F., a 24 de enero de 2011

CIRILO NOGUERA SILVA
Apoderado de
CENTRO DE INGENIERIA Y DESARROLLO INDUSTRIAL
Playa Pie de la Cuesta #702
Desarrollo Habitacional San Pablo
76130, Queretaro, Queretaro

No. de Folio: 5610

RECIBI ORIGINAL

Nombre:

Fecha:

Firma:

REF: Se da acuse de recibo a su Solicitud presentada el 13/12/2010.

Se tiene por satisfecho el examen de forma señalado por la Ley de la Propiedad Industrial y su Reglamento.

El suscrito firma el presente oficio con fundamento en los artículos 6º fracciones III y XI y 7º bis 2 de la Ley de la Propiedad Industrial (Diario Oficial de la Federación (D.O.F.) 27/06/1991, reformada el 02/08/1994, 26/12/1997, 17/05/1999, 26/01/2004, 16/06/2005 y 25/01/2006); artículos 1º, 3º fracción V inciso a) sub inciso i), 4º y 12º fracciones I, II, III, IV y VI del Reglamento del Instituto Mexicano de la Propiedad Industrial (D.O.F. 14/12/1999, reformado el 01/07/2002, 15/07/2004, 28/07/2004 y 7/09/2007); artículos 1º, 3º, 5º fracción V inciso a) sub inciso i), 16 fracciones I, II, III, IV y VI y 30 del Estatuto Orgánico del Instituto Mexicano de la Propiedad Industrial (D.O.F. 27/12/1999, reformado el 10/10/2002, 29/07/2004, 04/08/2004 y 13/09/2007); 1º, 3º y 5º inciso e) e i) y penúltimo párrafo del Acuerdo que delega facultades en los Directores Generales Adjuntos, Coordinador, Directores Divisionales, Titulares de las Oficinas Regionales, Subdirectores Divisionales, Coordinadores Departamentales y otros subalternos del Instituto Mexicano de la Propiedad Industrial. (D.O.F. 15/12/1999, reformado el 04/02/2000, 29/07/2004, 04/08/2004 y 13/09/2007).

ATENTAMENTE
LA COORDINADORA DEPARTAMENTAL

[Handwritten signature]

LIC. CYNTHIA MADRIGAL DOMINGUEZ

CMD/IBL/2011

[Handwritten signature]



MX/2011/5610 CCP DEW
AME
CAY/2011/170



FPGA-based architecture for real-time data reduction of ultrasound signals

J.A. Soto-Cajiga^{a,*}, J.C. Pedraza-Ortega^b, C. Rubio-Gonzalez^a, M. Bandala-Sanchez^a,
R. de J. Romero-Troncoso^c

^a *Investigacion Aplicada, Centro de Ingenieria y Desarrollo Industrial, Av. Playa Pie de la Cuesta 702, Desarrollo San Pablo, 76130 Queretaro, Qro., Mexico*

^b *CIDIT-Facultad de Informatica, Universidad Autonoma de Queretaro, Av. De las Ciencias S/N, Juriquilla, 76230 Queretaro, Qro., Mexico*

^c *HSPdigital-CA Telematica, DICIS, Universidad de Guanajuato, Carr. Salamanca-Valle km 3.5+1.8, Palo Blanco, 36885 Salamanca, Gto., Mexico*

ARTICLE INFO

Article history:

Received 12 April 2011

Received in revised form 1 August 2011

Accepted 13 August 2011

Available online 22 August 2011

Keywords:

Ultrasound data reduction

Maxima detection

Real-time data reduction

Hardware-based reduction

FPGA processing

ABSTRACT

This paper describes a novel method for on-line real-time data reduction of radiofrequency (RF) ultrasound signals. The approach is based on a field programmable gate array (FPGA) system intended mainly for steel thickness measurements. Ultrasound data reduction is desirable when: (1) direct measurements performed by an operator are not accessible; (2) it is required to store a considerable amount of data; (3) the application requires measuring at very high speeds; and (4) the physical space for the embedded hardware is limited. All the aforementioned scenarios can be present in applications such as pipeline inspection where data reduction is traditionally performed on-line using pipeline inspection gauges (PIG). The method proposed in this work consists of identifying and storing in real-time only the time of occurrence (TOO) and the maximum amplitude of each echo present in a given RF ultrasound signal. The method is tested with a dedicated immersion system where a significant data reduction with an average of 96.5% is achieved.

© 2011 Elsevier B.V. All rights reserved.

1. Introduction

PIGs that employ straight-beam ultrasound techniques are commonly used not only to measure the thickness of pipes, but also to detect and to measure other defects. The pressure of the fluid in the pipeline is used to push the PIG along down the pipe while the PIG's internal acquisition system stores a significant amount of data. The amount of data is reduced during a pre-processing stage, therefore significantly reducing the need for cumbersome, expensive and hence, more power-consuming storage units. Once the inspection is completed, and the PIG removed, the stored data are downloaded and post-processed, and a report of the integrity of the pipeline is issued. Data reduction is usually performed with known compression techniques. These techniques can be deployed in order to store the most significant information of the integrity of the pipeline.

The first PIGs with ultrasound technology appeared in the early 1980s [1]. Since then, data storage has been of concern due to the significant amount of information acquired by multiple transducer systems [2–6]. Here, fast hardware and appropriate on-line reduction techniques are deployed [2,7–9]. There are many techniques available that focus on on-line data reduction using different methods such as: (1) entropy coding [2,3,7,10,11], where data compression percentage is around 30% without distortion [8]; (2)

transformation techniques [9,12–14], here the compression ratio of a particular RF signal could be 15.65 with a correlation of 0.9838 with the RF ultrasound signal [15]; and (3) reduction techniques based on knowledge of the behavior of the ultrasound signal [2,4–6,16–22]; older methods of the latter type were capable of identifying and even measuring failures along the pipeline as well as storing only the data of interest. However, it is still desirable to take into account other reduction alternatives that can be used for any ultrasound inspection applications that require high compression ratios, high-speed data processing and even real-time data processing.

For in-line inspection of pipelines, appropriate standards [23–25] specify that on the straight-beam ultrasound technique, the maximum ultrasound pulse repetition frequency (PRF) must be at least 600 Hz, and that the system must sample the readings of all transducers at least every 2.78 mm. A previous design of the ultrasound equipment for in-line pipeline inspection [5,9] suggests to acquire data sets of 1024 elements using an 8-bit analog to digital converter (ADC) with a sampling rate of 50 MHz (20 ns). These specifications and those given by the standards lead to additional considerations. For instance, to inspect 100 km of a pipeline section using 100 ultrasound transducers, each transducer should acquire a data set of 1024 bytes every 2.78 mm. In this case all the data to be stored could occupy 3600 GB in a nonvolatile storage unit. Now considering a maximum PRF of 600 Hz, the total reduction from all the 100 transducer signals must be performed every pulse repetition time (PRT) equal to 1667 μ s (1/600 Hz). Therefore,

* Corresponding author. Tel.: +52 442 2119800; fax: +52 442 2119839.

E-mail address: jsoto@cidesi.mx (J.A. Soto-Cajiga).

Development of an Ultrasonic Thickness Measurement Equipment Prototype

Nava-Balanzar Luciano

Centro de Ingeniería y Desarrollo Industrial (CIDESI)

lnava@cidesi.mx

Soto-Cajiga Jorge Alberto

Centro de Ingeniería y Desarrollo Industrial (CIDESI)

jsoto@cidesi.mx

Pedraza-Ortega Jesús Carlos, Ramos-Arreguin Juan Manuel

CIDIT-Facultad de Informática, Universidad Autónoma de Querétaro (UAQ)

caryoko@yahoo.com, jramos@mecamex.net

Abstract

The present work shows the development of both a pulse-receiver circuit and acquisition circuit prototypes of ultrasonic signals for the measurement of thickness in oil pipelines using a Pipeline Inspection Gauge (PIG). The development parameters count with restrictions of space, sampling velocity and storage capacity, and besides they have to satisfy the norms applied in oil pipeline inspection by the PIG. The prototypes consist of several functional blocks; a pulsed circuit that excites the transducer generating a high voltage pulse of about -200V, a receiver circuit for the reception of the transducer signal, a filter and amplifying block, and finally acquisition and processing step for signals composed by one ADC, a FPGA and a microcontroller.

1. Introduction

A PIG for pipeline inspection that use a beam ultrasound, requires of an ultrasonic equipment specially designed for this application, due to the fact that it has to be adapted to the physical space and more important, we must know its whole architecture to electronically manipulate the signals according with the necessities of the inspection.

Commercially, there are different commercial devices for the thickness measurement by means of ultrasonic technique, however, they are commercial equipments, whose size is predetermined, and their architecture is completely closed and protected. By other hand, it does not exist some references about how they are

electronically composed. Therefore, in this work and after of doing exhaustive bibliography investigation -considering several electronic components with different makers-, we propose a prototype of an ultrasound equipment, explains all the functional blocks of this equipment including their interaction.

The first step for the development of the prototype is to know the ultrasonic fundamentals [1]. As previous work, an integrated circuit where the digital transmission and reception in the wave of ultrasound is processed in the circuit [2], also, exist some works that use similar principles but none explaining its real architecture. In basic principles of ultrasound known that for the excitation of a transducer is necessary generate a negative voltage pulse [3], and with that obtain all information that has been inspected, to excite a transducer we use a power amplifier [4], all this can be found in bibliography, however, it does not specify how protect the receive circuit pulse of high voltage when we use a transducer with just one crystal.

The PIG that is developing initially counts with 100 straight beam transducers, the intention is detect the lost of material originated by corrosion, this paragraph explain how works a PIG and course how perform an inspection in oil pipeline [4]. In this way we can propose a methodology for the thickness measurement using ultrasound signals and with this justified the development of an own equipment.

Finally it is necessary to mention that the equipment developed is compact, versatile and the electronic circuits that are being used are newer in market.