



**POSGRADO INTERINSTITUCIONAL EN CIENCIA Y TECNOLOGÍA**

---

---

**CENTRO DE INGENIERÍA Y DESARROLLO INDUSTRIAL**

**DESARROLLO DE UN SISTEMA ELECTRÓNICO  
PARA ULTRASONIDO CON UNA INTERFAZ DE  
SEÑALES DIFERENCIALES DE BAJO VOLTAJE  
BASADA EN FPGA**

**TESIS**

**QUE PARA OBTENER EL GRADO ACADÉMICO DE**

**MAESTRO EN CIENCIA Y TECNOLOGÍA EN  
MECATRÓNICA**

**PRESENTA:**

**Ing. Cristian Micheel Medina Rodríguez**

**DIRECTOR DE TESIS**

**Dr. Jorge Alberto Soto Cajiga**



SANTIAGO DE QUERÉTARO, QUERÉTARO, ENERO 2019

## RESUMEN

Este trabajo describe el diseño y desarrollo de un sistema electrónico para la generación y adquisición de señales de ultrasonido usando una interfaz LVDS con recepción basada en FPGA, con la capacidad de controlar hasta 8 canales de manera simultánea, pudiéndose conectar diferentes arreglos de transductores de ultrasonido aplicándolo en un PIG instrumentado, tomando como antecedente el prototipo electrónico para la medición de espesores por ultrasonido existente en CIDESI y basándose en la norma NRF-06-PEMEX-2012 de Petróleos Mexicanos.

Inicialmente se describe el dispositivo AFE5803 que fue usado como circuito de acondicionamiento y digitalización de la señal de ultrasonido, al igual, se presenta el desarrollo de una arquitectura en FPGA que fuera capaz de recibir información a una velocidad de 600 MHz mediante una interfaz LVDS. También se describe el diseño de una PCB que permite el flujo de información a altas frecuencias mediante pistas diferenciales, controlando impedancias y longitudes. Finalmente, en la etapa de pruebas se desarrolló una interfaz gráfica que permitiera validar el funcionamiento del sistema completo y que controle el FPGA realizar mediciones de espesores en un bloque patrón escalonado, además de realizar una comparación de la relación señal ruido del sistema desarrollado en esta tesis y el existente en CIDESI.

# AGRADECIMIENTOS

---

## AGRADECIMIENTOS

Agradezco primeramente a mis padres por todo el apoyo y confianza que me han brindado en estos últimos años y a mi hermana Anais por todo el cariño que me otorga.

A mi asesor Dr. Jorge Alberto Soto Cajiga que me dio la confianza para unirme a su equipo de trabajo; al Dr. Luciano Naba Balanzar que me permitió desarrollarme en otras áreas diferentes al desarrollado en este trabajo. Y un agradecimiento singular al M.C.yT. Noé Amir Olivares Rodríguez que fue parte fundamental para que yo decidiera continuar con mis estudios en posgrado.

A mis amigos y compañeros de laboratorios que siempre estuvieron brindando su apoyo en diferentes áreas. Principalmente a la Ing. Ivonne Berenice Lemus Martínez quien, día a día, me ayudo a poder sobrellevar, emocionalmente, la carga de trabajo presentado en estos años.

Agradezco a mi prometida Gabriela, quien ha estado junto a mí, en las buenas y en las malas, por su gran apoyo y, sobre todo, comprensión.

Finalmente agradezco al CONACYT, a TELMEX y al CIDESI por el apoyo otorgado para realizar este posgrado.

## ÍNDICE DEL CONTENIDO

RESUMEN .....	ii
AGRADECIMIENTOS .....	iii
ÍNDICE DEL CONTENIDO.....	iv
INDICE DE FIGURAS .....	vi
INDICE DE TABLAS .....	ix
1. INTRODUCCIÓN.....	1
1.1. ANTECEDENTES .....	1
1.2. DEFINICIÓN DEL PROBLEMA.....	4
1.3. DEFINICIÓN DEL PROYECTO .....	5
1.4. JUSTIFICACIÓN .....	6
1.5. OBJETIVOS.....	7
1.6. HIPÓTESIS .....	8
1.7. METODOLOGÍA .....	8
1.8. ALCANCES Y LIMITACIONES .....	8
1.9. ORGANIZACIÓN DE LA TESIS.....	10
2. MARCO TEÓRICO .....	11
2.1. ULTRASONIDO .....	11
2.1.1. Conceptos básicos del US.....	11
2.1.2. Modo de propagación de ondas .....	12
2.2. TRANSDUCTOR DE ULTRASONIDO .....	13
2.2.1. Tipos de transductores .....	16
2.3. ARQUITECTURA ELECTRÓNICA PARA UN SISTEMA DE ULTRASONIDO ..	18
2.3.1. Elementos que componen un Sistema de Ultrasonido .....	18
2.4. ANALOG FRONT-END .....	23
2.5. SEÑALIZACIÓN DIFERENCIAL DE BAJO VOLTAJE .....	25
2.5.1. Transmisión diferencial.....	25
2.5.2. LVDS .....	27
3. DESARROLLO .....	29
3.1. SELECCIÓN DEL CIRCUITO AFE .....	29

# ÍNDICE

---

3.2. ARQUITECTURA DE FPGA .....	32
3.2.1. Tarjeta de evaluación de FPGA.....	32
3.2.2. Configuración de la interfaz LVDS.....	34
3.2.3. Arquitectura para la recepción de interfaz LVDS .....	35
3.2.4. FSM recepción de interfaz LVDS.....	37
3.2.5. FSM envío UART.....	38
3.3. DISEÑO PCB PARA PROTOTIPO ELECTRÓNICO.....	39
3.3.1. Esquemático AFE .....	39
3.3.2. Esquemático fuentes de alimentación. ....	43
3.3.3. Impedancia en pistas diferenciales.....	45
3.4. CIRCUITO PULSADOR .....	48
3.5. FSM CONTROLADOR DEL SISTEMA DE US .....	51
3.5.1. FSM recepción UART.....	51
3.5.2. FSM Reloj de muestreo .....	52
3.5.3. FSM configuración SPI.....	53
3.5.4. FSM combinaciones Pulsador .....	54
3.6. CONTROLADOR DE LA ARQUITECTURA DE US .....	56
4. RESULTADOS .....	57
4.1. VALIDACIÓN DE LA ARQUITECTURA PARA LA RECEPCIÓN DE INTERFAZ LVDS Y PROTOTIPO ELECTRÓNICO EXPERIMENTAL.....	57
4.1.1. Simulación de la arquitectura en FPGA.....	57
4.1.2. Transmisión LVDS en prototipo experimental .....	58
4.1.3. Interfaz LabVIEW.....	60
4.2. VALIDACIÓN DE LA ARQUITECTURA ELECTRÓNICA PROPUESTA.....	61
4.2.1. Prueba de medición de espesores .....	61
4.3. ANÁLISIS DE ESPESORES .....	66
4.4. COMPARATIVA DE RUIDO.....	68
5. CONCLUSIONES Y RECOMENDACIONES.....	71
5.1. CONCLUSIONES.....	71
5.2. RECOMENDACIONES PARA TRABAJO FUTURO .....	72
BIBLIOGRAFÍA .....	73
ANEXOS .....	77

## ÍNDICE DE FIGURAS

Figura 1.1. Componentes principales del equipo instrumentado desarrollado por [6].	2
Figura 1.2. Arquitectura de sistema de US actual.	4
Figura 1.3. Metodología a seguir.	9
Figura 2.1. Sonido (continuo y de impulso) [18].	11
Figura 2.2. Espectro del acústico [20].	12
Figura 2.3. Parámetros básicos en una onda continua [7].	12
Figura 2.4. Onda longitudinal [18].	13
Figura 2.5. Elementos que componen un transductor de US [21].	14
Figura 2.6. Respuesta de un transductor de US (ecos).	16
Figura 2.7. Inspección por US en diferentes defectos presentados en ductos [7].	17
Figura 2.8. Etapa pulsador en arquitectura actual de US.	19
Figura 2.9. Etapa multiplexora en arquitectura actual de US.	20
Figura 2.10. Etapa acondicionadora en arquitectura actual de US.	21
Figura 2.11. Etapa digitalizadora en arquitectura actual de US.	22
Figura 2.12. Etapa de control en arquitectura actual de US.	23
Figura 2.13. Etapa AFE del sistema de US desarrollado por Texas Instruments [32].	24
Figura 2.14. Mejoras atribuidas a los circuitos AFE [31].	24
Figura 2.15. Diagrama eléctrico de una interfaz diferencial.	26
Figura 3.1. Arquitectura actual desarrollada por [7].	29
Figura 3.2. Diagrama a bloques del circuito integrado AFE5803 [39].	30
Figura 3.3. Diagrama a bloques de la propuesta de la arquitectura para el sistema de US.	32
Figura 3.4. Tarjeta de evaluación Virtex-4 TSW1250EVW.	33
Figura 3.5. Diagrama de tiempos, configuración de transferencia a 12 bits [39].	35
Figura 3.6. Arquitectura basada en PFGA para la recepción de señales LVDS.	36
Figura 3.7. Funcionamiento bloque IDDR [41].	36
Figura 3.8. Máquina de estados para recepción de interfaz LVDS.	37
Figura 3.9. Máquina de estados para envío UART.	38
Figura 3.10. Bloque de la FSM para envío UART.	39

# ÍNDICE

---

Figura 3.11. Diseño del esquemático: prototipo electrónico para US (parte uno). .....	41
Figura 3.12. Diseño del esquemático: prototipo electrónico para US (parte dos).....	42
Figura 3.13. Desincronización en par diferencial [45].....	43
Figura 3.14. Diagrama de bloques de la fuente CD-CD. ....	44
Figura 3.15. Esquemático de la fuente CD-CD. ....	45
Figura 3.16. Diagrama microstrip para pistas diferenciales [47].....	46
Figura 3.17. Diseño PCB del prototipo electrónico. a) capa superior, b) plano de tierra, c) capa interna de señales, d) plano de alimentación eléctrica, e) plano de tierra, f) capa inferior. ....	47
Figura 3.18. Diseño de las 10 pistas diferenciales. ....	47
Figura 3.19. Foto de la PCB prototipo. ....	48
Figura 3.20. Conector para altas frecuencias.....	48
Figura 3.21. Estados lógicos para el modo 3 niveles de voltaje por 8 canales de trabajo [49]. ....	50
Figura 3.22. Señal de US generada por efecto de los pulsos HV del pulsador MAX14808 [7].....	50
Figura 3.23. Máquina de estados para recepción UART.....	51
Figura 3.24. Bloque de la FSM para recepción UART. ....	52
Figura 3.25. Máquina de estados para la generación del reloj de muestreo. ....	52
Figura 3.26. Bloque de la FSM para reloj muestreo. ....	52
Figura 3.27. Máquina de estados para la generación del reloj del SPI. ....	53
Figura 3.28. Máquina de estados para la transmisión de datos por SPI. ....	54
Figura 3.29. Bloque de la FSM para la configuración SPI.....	54
Figura 3.30. Máquina de estados para crear las combinaciones del pulsador.....	55
Figura 3.31. Bloque de la FSM para combinaciones pulsador. ....	55
Figura 3.32. Bloque de la FSM principal. ....	56
Figura 4.1. Simulación en VHDL para la recepción de interfaz LVDS.....	57
Figura 4.2. Reloj diferencial a 600 MHz. ....	59
Figura 4.3. Reloj diferencial a 50 MHz. ....	59
Figura 4.4. Interfaz visual diseñada en LabVIEW.....	60
Figura 4.5. Señal rampa generada por el circuito AFE5803 y adquirida en FPGA.....	61

## ÍNDICE

---

Figura 4.6. Fotografía de la integración de las etapas con conforman la arquitectura del sistema de ultrasonido propuesta.....	62
Figura 4.7. Ejemplo de medición con transductor de 2.25 MHz. ....	63
Figura 4.8. Señal de ultrasonido del escalón 1 (espesor de 6.35 mm).....	64
Figura 4.9. Señal de ultrasonido del escalón 2 (espesor de 12.70 mm).....	64
Figura 4.10. Señal de ultrasonido del escalón 3 (espesor de 19.05 mm).....	65
Figura 4.11. Señal de ultrasonido del escalón 4 (espesor de 25.40 mm).....	65
Figura 4.12. Medición de espesor aplicando una temperatura de 61.2 °C al prototipo electrónico.....	66
Figura 4.13. Gráfica de los datos del escalón 1 (6.35 mm).....	67
Figura 4.14. Gráfica de los datos del escalón 2 (12.70 mm). ....	67
Figura 4.15. Gráfica de los datos del escalón 3 (19.05 mm). ....	68
Figura 4.16. Gráfica de los datos del escalón 4 (25.40 mm). ....	68
Figura 4.17. Medición con arquitectura actual en escalón 3 (19.05 mm). ....	69
Figura 4.18. Medición con arquitectura propuesta en escalón 3 (19.05 mm). ....	70



# ÍNDICE

---

## ÍNDICE DE TABLAS

Tabla 1.1. Especificación para equipos de ultrasonido de Haz Recto [11].	5
Tabla 2.1. Efecto piezoeléctrico de un corte de un cristal de cuarzo [18].	15
Tabla 2.2. Dispositivos AFE para US.	25
Tabla 2.3. Comparativo de sistemas de US desarrollados en investigación.	28
Tabla 3.1. Características del FPGA Virtex-4 necesarios para una interfaz diferencial.	33
Tabla 3.2. Alimentaciones necesarias para el funcionamiento del prototipo electrónico.	43
Tabla 4.1. Descripción de las señales simuladas.	58
Tabla 4.2. Análisis estadístico de los tiempos de vuelo y espesores obtenidos (mm).	67
Tabla 4.3. Comparación de ruidos en las arquitecturas de ultrasonido.	69

## 1. INTRODUCCIÓN

### 1.1. ANTECEDENTES

Los derivados del petróleo son, hoy en día, las fuentes de energía principales. Estos derivados son transportados en ductos metálicos debido a su alta resistencia bajo diferentes presiones, que, dependiendo de las necesidades del centro de transporte, pueden conformarse de diferentes diámetros. Estos ductos están, en su mayoría, bajo tierra y es por eso que factores como la presión de la tierra, la humedad y fuerzas externas, pueden causar corrosión, grietas y/o deformaciones en los ductos [1].

Los peligros como las grietas que pueden ocurrir en la pared del ducto deben mantenerse constantemente bajo control a fin de evitar posibles pérdidas económicas, contaminación ambiental y accidentes mortales [1].

De acuerdo al departamento de los Estados Unidos de América encargado de la administración en el transporte de materiales peligrosos mediante ductos, entre los años 1998-2017, se presentaron 5713 incidentes considerados significantes, en las cuales 306 personas perdieron la vida y 1260 personas sufrieron lesiones a raíz de accidentes originadas por alguna anomalía en los ductos [2].

La detección de la integridad del ducto antes de la falla es muy importante, es por eso que se requiere realizar inspecciones rutinarias para monitorear y predecir defectos y por lo tanto conocer cuándo, dónde, cómo y qué acciones necesarias son las que se deben de tomar. Estas acciones pudieran ser: inspección detallada, mantenimiento y/o reparación. Evitando así daños económicos, ambientales, entre otros [1] y [3].

La forma más práctica de realizar la inspección es introduciendo en los ductos un dispositivo que realice mediciones internamente de manera automática, tal es el caso de los equipos instrumentados, también conocidos como diablos instrumentados o como dispositivos de inspección de ductos o PIGs (por sus siglas en inglés de *Pipeline Inspection Gauges*) [4]. Las técnicas no destructivas de mayor implementación en los PIG son MFL (por sus siglas en inglés de *Magnetic Flux Leakage*) y US (por sus siglas en inglés de *Ultrasound*), siendo este último el de interés para este trabajo [1] y [5].

## CAPÍTULO 1: INTRODUCCIÓN

---

La inspección de ductos en México, es realizada por compañías extranjeras como Baker Hughes, Rosen, General Electric (GE), Tuboscope entre otras, las cuales ofrecen el servicio de inspección de ductos utilizando equipos PIG, sin embargo, los costos son muy elevados. Dado que la tecnología es cerrada y propiedad de dichas compañías, no se encuentra a la venta, por lo que surge la necesidad de desarrollar equipos de ultrasonido propios [6].

Desde el año 2008 a la actualidad, el CIDESI (Centro de Ingeniería y Desarrollo Industrial) se encuentra desarrollando, de forma interna, tecnología instrumentada, mediante un proyecto denominado “Diablo Instrumentado”, enfocado inicialmente para realizar mediciones de espesor utilizando arreglos de transductores ultrasónicos de 5 MHz y está destinado para la inspección de ductos de 8 in de diámetro, implementando la técnica de haz recto [7]. Figura 1.1 muestra el modelado en CAD del PIG desarrollado en CIDESI, en el cuál se muestran las principales partes que lo componen.

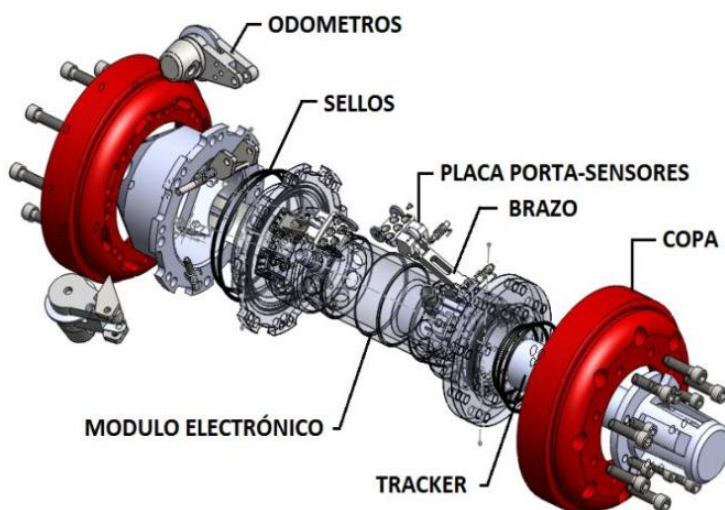


Figura 1.1. Componentes principales del equipo instrumentado desarrollado por [6].

El resultado obtenido hasta el momento, en materia de inspección, es un prototipo electrónico que permite la conexión de 80 transductores. Este prototipo resulta ser poco viable por la alta cantidad de elementos electrónicos necesarios para su implementación.

## CAPÍTULO 1: INTRODUCCIÓN

---

El prototipo electrónico diseñado por [7] cuenta con 8 canales, y en cada uno de ellos se encuentran conectados, por medio de un circuito multiplexor, 10 transductores. Para la medición de espesores por US se activan 2 canales de los 8 disponibles en el pulsador, y en cada canal únicamente se activa un transductor a la vez. Activando así 2 de los 80 transductores disponibles de manera simultánea. La arquitectura del prototipo electrónico, al igual que sus etapas se muestra en la Figura 1.2 [7]:

- **Etapla multiplexado** (azul). Permite la activación de un transductor de ultrasonido en específico, el cambio de canales se debe de realizar en tiempos pequeños, cuestión de microsegundos, debido a que es un parámetro importante para procesar la información de cada transductor.
- **Etapla pulsador** (naranja). Para poder excitar un transductor, se requiere generar pulsos a altas frecuencias y con un voltaje negativo elevado, aproximadamente de  $-100\text{ V}$ .
- **Etapla receptor** (verde). Se encarga de recibir la señal de respuesta del transductor, a través de la etapa pulsador, y así poder acondicionarla para su posterior digitalización.
- **Etapla digitalizador** (morado). Encargada de convertir la señal analógica procedente de la etapa receptor, a señales digitales, para su posterior procesamiento y/o almacenamiento.
- **Circuito de control** (gris). Su propósito es controlar y sincronizar cada una de las etapas para el correcto funcionamiento de la arquitectura, además de almacenar de manera momentánea la información digitalizada.

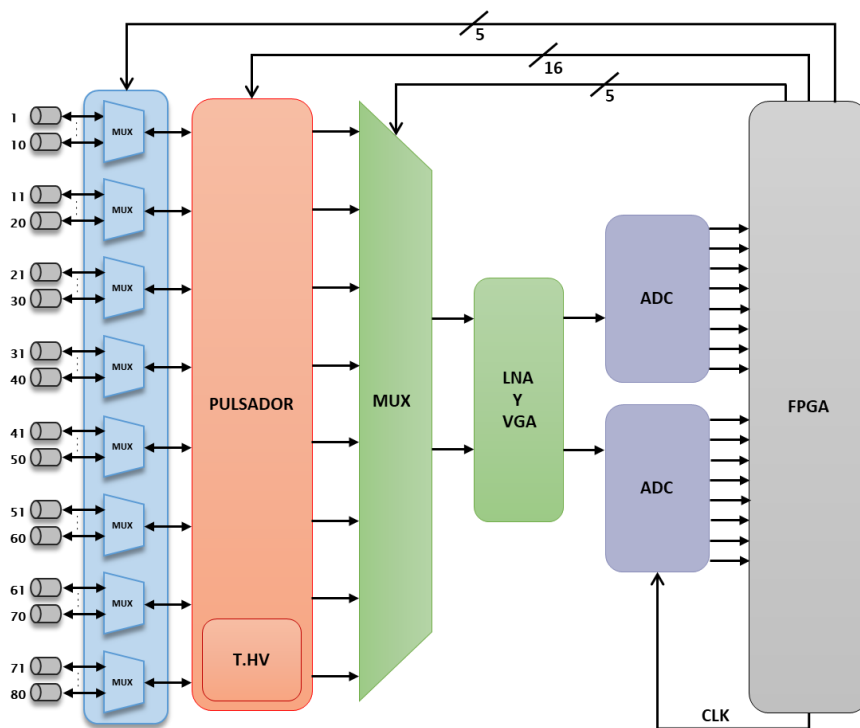


Figura 1.2. Arquitectura de sistema de US actual.

## 1.2. DEFINICIÓN DEL PROBLEMA

Actualmente el desarrollo de sistemas de US para la inspección de ductos que transportan hidrocarburos, requieren que los sistemas electrónicos no solo permitan realizar la medición de espesores, sino también realizar algunas acciones como lo pudieran ser la aplicación de códigos de corrección de errores o la implementación de un C-SCAN en línea, y así adquirir más información de interés que la que se puede obtener con la medición de espesores.

La arquitectura de US actual permite la activación de hasta 2 canales de manera simultánea. En caso de realizar inspecciones en ductos de mayor diámetro o que exista un incremento en la velocidad de desplazamiento del equipo PIG, sería necesario incrementar el número de transductores y activar más canales en el mismo instante de tiempo, lo que da como consecuencia un incremento en el número de componentes electrónicos. Los equipos PIG cuentan con una batería la cual proporciona los suministros energéticos a todos sus sistemas internos [8], [9] y [10]. A raíz de lo

# CAPÍTULO 1: INTRODUCCIÓN

anterior, la implementación de componentes electrónicos adicionales ocasionaría un aumento en el consumo energético, lo que se traduce en decremento al tiempo útil de la batería.

Para conocer el espesor de un material aplicando la técnica de US, se realiza una medición indirecta que se detallará en próximos capítulos. Sin embargo, se puede comentar que se obtiene a través de una señal digitalizada de la respuesta del transductor de US, por ende, la calidad con la que se obtiene dicha señal es de vital importancia para la correcta interpretación de la señal y, en consecuencia, obtener una medición del espesor aceptable.

De acuerdo a la norma NRF-060-PEMEX-2012 publicada por Petróleos Mexicanos en el año 2012, las especificaciones que se requieren para equipos de US de haz recto se presentan en la Tabla 1.1 [11]:

Tabla 1.1. Especificación para equipos de ultrasonido de Haz Recto [11].

Distancia axial de la muestra:	3.0 mm (0.12 in)	
Espaciamiento del sensor circunferencial	8.0 mm (0.30 in)	
Requisitos de velocidad máxima de inspección:	2 m/s (4.5 mph) para lograr la resolución axial máxima	
Capacidades de detección:	Precisión básica de la medición de la profundidad:	±0.5 mm (0.02) in
	Para superficies planas y espesor de la pared:	±0.2 mm (0.008) in
	Resolución longitudinal:	3 mm (0.12 in)
	Resolución circunferencial:	8 mm (0.30 in)
	Profundidad de corrosión mínima detectable:	0.2 mm (0.008) in
	Tamaño mínimo de corrosión localizada a ser detectada:	
	Indicación y extensión de área, sin medición de profundidad:	
	Diámetro:	10 mm (0.40 in)
	Profundidad:	1.5 mm (0.06 in)
	Con medición de profundidad completa:	
Diámetro:	20 mm (0.80 in)	
Profundidad:	1.0 mm (0.04 in)	
Precisión en la localización:	Axial (en relación a la soldadura circunferencial más cerca): Circunferencial:	
Nivel de confiabilidad:	80%	
Tipo de equipo:	Autopropulsado o propulsado con fluido	

## 1.3. DEFINICIÓN DEL PROYECTO

En este trabajo se propone una arquitectura electrónica para la generación y adquisición de señales de US como producto de la excitación de un arreglo de transductores, tomando como base la arquitectura desarrollada por [7]. Mejorando y optimizando la arquitectura actual mediante componentes electrónicos de mayor nivel de integración como lo son los circuitos AFE (por sus siglas en inglés de *Analog Front-*

# CAPÍTULO 1: INTRODUCCIÓN

---

*End*), es posible la activación de más canales de manera simultánea, sin incrementar el consumo energético, propiciando una señal limpia para su adecuada interpretación, y reduciendo el espacio utilizado por la tarjeta electrónica, también conocida como PCB (por sus siglas en inglés de *Printed Circuit Board*).

El uso de circuitos AFE, conlleva a hacer uso de la interfaz de comunicación LVDS (por sus siglas en inglés de *Low Voltage Differential Signaling*) por ende este trabajo también aborda la propuesta de arquitectura aplicada en FPGA (por sus siglas en inglés de *Field Programmable Gate Array*) para la recepción de información mediante esta interfaz.

## 1.4. JUSTIFICACIÓN

La generación y adquisición de señales de US haciendo uso de circuitos AFE es deseable y se justifica cuando: la arquitectura electrónica actual no permite la adaptación para la inspección de diferentes diámetros de ductos y/o diferentes velocidades de desplazamiento del equipo PIG; se requiere la implementación de aplicaciones en línea como C-SCAN; y principalmente el adaptar la arquitectura a diferentes condiciones o aplicaciones ocasiona un incremento en la cantidad de componentes electrónicos.

La arquitectura de US actual realiza mediciones cada 3 mm, activando 2 transductores de manera simultánea hasta activar los 80 transductores disponibles, acercándose pero cumpliendo el límite de tiempo máximo de muestreo que es de 1.5 ms el cual está estipulado en la norma NRF-060-PEMEX-2012 [11]. Al modificar la arquitectura actual de US para que permita activar los 8 canales disponibles en el circuito pulsador mediante un circuito AFE, es posible decrementar el tiempo necesario para activar los 80 transductores de 1.5 ms a 375  $\mu$ s, dejando un tiempo disponible de 1.125 ms que pueden ser usados para la implementación de aplicaciones en línea.

El adaptar la arquitectura de US actual para activar los 8 canales implicaría la implementación de 15 componentes electrónicos adicionales, traducándose en:

- El uso de un área mayor para la PCB.

# CAPÍTULO 1: INTRODUCCIÓN

---

- Un decremento en la calidad de la señal digitalizada debido al ruido inferido por los componentes electrónicos.
- Un incremento en el consumo energético. Considerando únicamente la etapa de recepción y digitalización, el consumo aumenta de 2.225 a 4.9 W [12], [13], [14] y [15].

A demás, al implementar los circuitos AFE, el uso de una interfaz LVDS es indispensable, siendo una tendencia el uso de esta interfaz para la transmisión de información a altas velocidades en múltiples canales, como lo pueden ser los circuitos ADC [16] y [17].

Con el desarrollo de este proyecto se da solución al problema de adaptabilidad del sistema de US que es usado en CIDESI. También permite tener un método para hacer uso de la interfaz LVDS ya que actualmente, en CIDESI, no se cuenta con uno.

## 1.5. OBJETIVOS

Objetivo general

Diseñar y desarrollar un sistema electrónico para generar y adquirir señales de ultrasonido con una interfaz de comunicación LVDS y recepción basada en FPGA, usando como referencia la norma NRF-060-PEMEX-2012.

Objetivos específicos

El objetivo general es desglosado en objetivos específicos para lograr el cumplimiento del mismo.

- Analizar los requerimientos según norma NRF-060-PEMEX-2012 para inspección por ultrasonido.
- Analizar componentes electrónicos que presenten condiciones eléctricas, dimensionales y de nivel de integración para un sistema de ultrasonido.
- Diseñar e implementar una arquitectura en FPGA para la recepción de señales LVDS, haciendo uso de una tarjeta de evaluación.



# CAPÍTULO 1: INTRODUCCIÓN

---

- Analizar la norma IPC para el diseño de PCB con pistas diferenciales y señales a altas frecuencias.
- Proponer una arquitectura electrónica para la generación y adquisición de señales de ultrasonido con una interfaz LVDS.
- Diseñar una tarjeta electrónica para la arquitectura propuesta.
- Fabricar un prototipo electrónico experimental.
- Evaluar el prototipo electrónico en condiciones de laboratorio y bajo la norma NRF-060-PEMEX-2012.

## 1.6. HIPÓTESIS

Si se seleccionan componentes electrónicos con un alto nivel de integración con aplicaciones a sistemas de US y conociendo los requerimientos físicos para la implementación de una interfaz LVDS en una PCB, entonces es posible desarrollar una PCB para un sistema de US, capaz de generar y adquirir señales a través de múltiples canales simultáneos, usando una interfaz LVDS con recepción en FPGA.

## 1.7. METODOLOGÍA

La metodología de la investigación se presenta en la Figura 1.3

## 1.8. ALCANCES Y LIMITACIONES

Los alcances de este proyecto se presentan a continuación:

- Desarrollo de un prototipo electrónico experimental.
- La activación de 8 canales de manera simultánea.
- Reducción de la cantidad de dispositivos electrónicos usados en el sistema de ultrasonido usado actualmente en CIDESI.
- La integración de pistas que permitan el uso de una interfaz LVDS en una PCB.

# CAPÍTULO 1: INTRODUCCIÓN

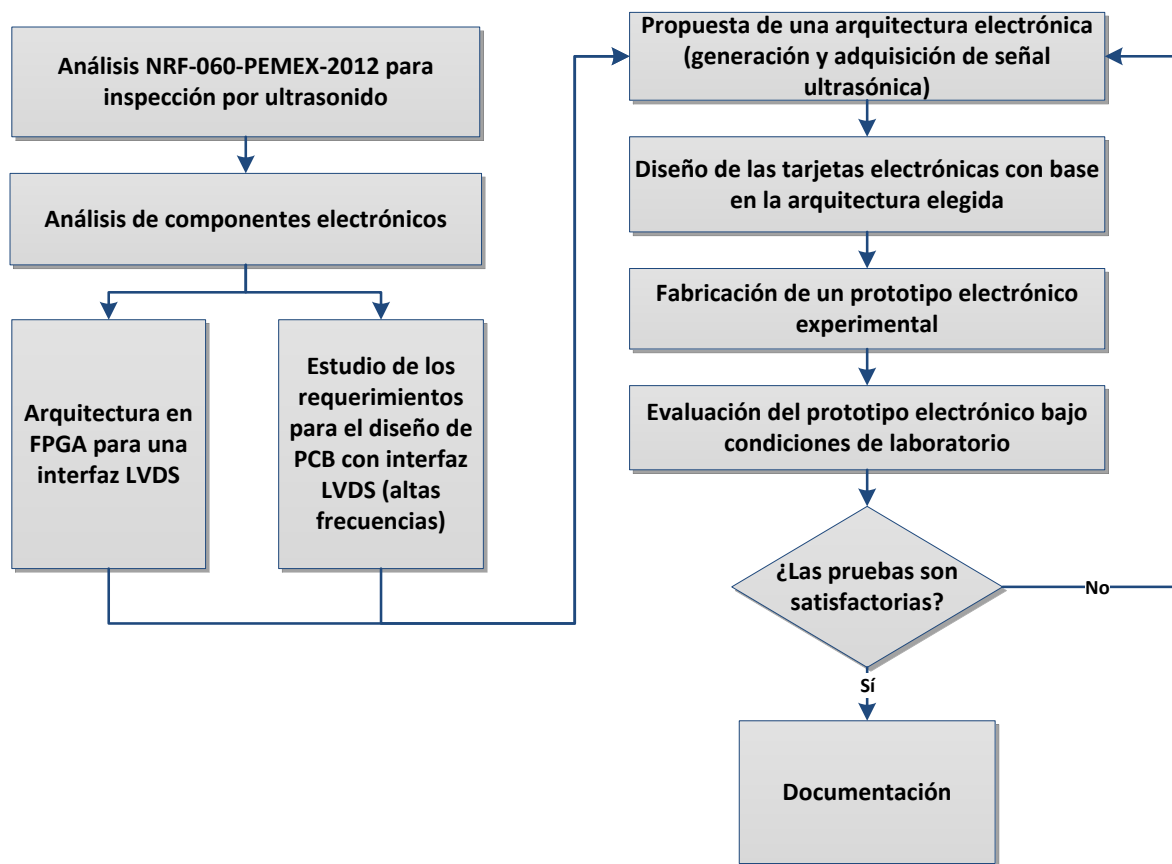


Figura 1.3. Metodología a seguir.

Las limitaciones de este trabajo se presentan a continuación:

- Los transductores de ultrasonido serán los ya existentes en CIDESI.
- Las pruebas del prototipo electrónico experimental se realizarán en condiciones de laboratorio.
- La arquitectura del FPGA se realizará en una tarjeta de evaluación.
- De la arquitectura de ultrasonido existente en CIDESI solo se mejorará la adquisición y digitalización de las señales de ultrasonido, así como la etapa de control.
- No se realizarán pruebas con el multiplexado de los 80 transductores debido a que es un trabajo ya validado.

## **1.9. ORGANIZACIÓN DE LA TESIS**

En el capítulo 2, se definen conceptos básicos del sonido, algunos tipos de defectos encontrados en los ductos a inspeccionar, se presentan y detallan los elementos básicos que conforma un sistema de US; además de dar a conocer características de los transductores de US. Se definen los circuitos y etapas de un frente analógico, así como también la transmisión por medio de una interfaz diferencial LVDS.

En el capítulo 3, se analiza la actual arquitectura electrónica del sistema de US usado en CIDESI, se selecciona el circuito AFE y se propone una arquitectura de US. Así también se describen las partes que componen a la arquitectura propuesta; es descrito el desarrollo de la arquitectura para la recepción de señales LVDS implementada en el FPGA; se muestran los elementos que conforman la PCB desarrollada y se describen las máquinas de estado usadas en el circuito controlador (FPGA).

En el capítulo 4, se presentan las pruebas realizadas para validar el funcionamiento de la recepción de señales LVDS que forman parte de la PCB desarrollada; también se realizan mediciones a un bloque patrón escalonado bajo para validar el funcionamiento del sistema US para la medición de espesores bajo diferentes condiciones térmicas. Así también se realiza una comparación entre la arquitectura actual y la propuesta en cuestión de ruido.

En el capítulo 5, se presentan las conclusiones y recomendaciones de la arquitectura electrónica propuesta.

### 2. MARCO TEÓRICO

#### 2.1. ULTRASONIDO

##### 2.1.1. Conceptos básicos del US

El sonido es energía vibratoria que viajan a través de diferentes medios y que puede reflejarse como ecos [18]. El sonido en función de su duración puede ser continuo o de impulso, Figura 2.1.

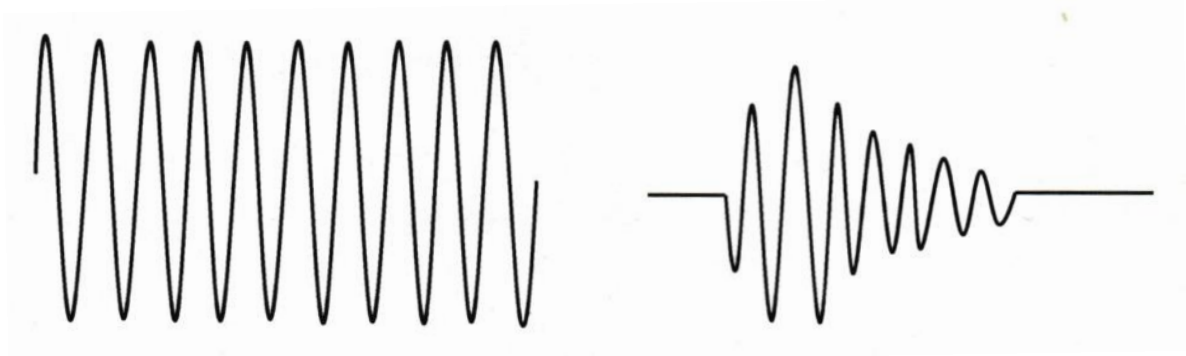


Figura 2.1. Sonido (continuo y de impulso) [18].

- Sonido continuo: Cuando la duración del sonido es mucho más larga que el tiempo de oscilación.
- Sonido de impulso: En este caso la duración del sonido es casi igual al tiempo de oscilación y entre cada impulso existe una pausa.

El término ultrasonido se define como vibraciones mecánicas que se transmiten en un material y/o fluido por medio de ondas de la misma naturaleza que el sonido, con frecuencias mayores a los 18 KHz aproximadamente, es decir fuera del intervalo audible del oído humano [18] y [19]. La Figura 2.2 muestra el espectro acústico de la descomposición del sonido en 4 intervalos de frecuencia [20].

## CAPÍTULO 2: MARCO TEÓRICO

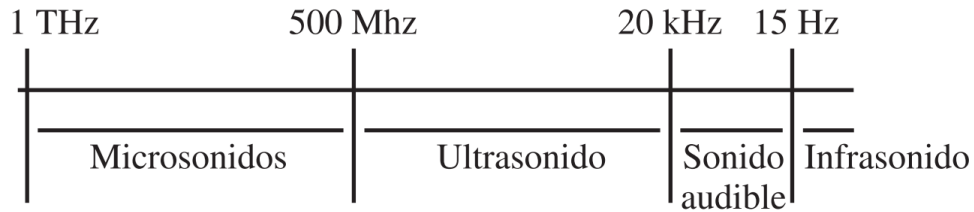


Figura 2.2. Espectro del acústico [20].

Las ondas de US que viajan a través de un medio crean zonas donde las partículas se aproximan unas con otras y zonas donde se alejan entre sí. De aquí obtenemos que la longitud de onda, ecuación 1, sea la distancia entre dos planos adyacentes con el mismo estado de vibración, Figura 2.3.

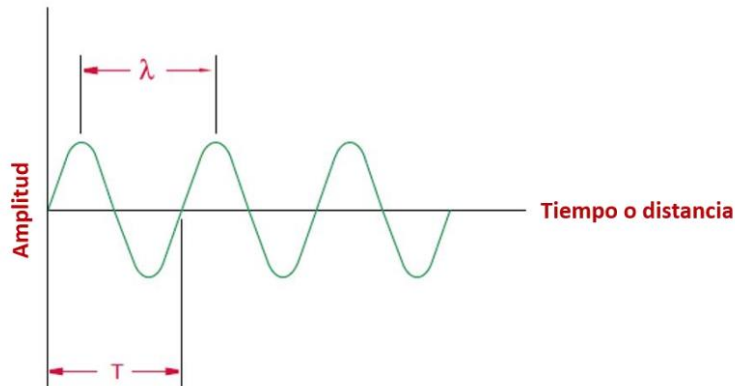


Figura 2.3. Parámetros básicos en una onda continua [7].

$$\lambda = \frac{v}{f} \quad (1)$$

Donde:

- $\lambda$  = Longitud de onda que se propaga en el material (m)
- $v$  = Velocidad del sonido (m/s)
- $f$  = Frecuencia de oscilación de la onda (Hz)

### 2.1.2. Modo de propagación de ondas

Cuando las moléculas de un material elástico se desplazan de su posición de equilibrio por alguna fuerza aplicada, actúan esfuerzos internos para restaurar las partículas a

## CAPÍTULO 2: MARCO TEÓRICO

---

sus posiciones originales. Debido a las fuerzas que existen entre las moléculas adyacentes en el material, el desplazamiento de un punto induce otros desplazamientos a puntos vecinos y así sucesivamente, provocando una onda de esfuerzo-deformación. El desplazamiento real que ocurre en un material por ondas ultrasónicas es extremadamente pequeño [18].

Las ondas ultrasónicas pueden atravesar sin dificultad las paredes de diversos materiales, ya sean sólidos o líquidos, lo que hace al US idóneo para aplicaciones de inspección en pruebas no destructivas [19].

Las ondas de compresión o también llamadas ondas longitudinales, son el tipo de ondas de US mayormente usadas en la inspección de materiales y en la medición de espesores de componentes. El desplazamiento de las partículas es en dirección paralela a la dirección de propagación de la onda. Lo que causa el fenómeno de esfuerzo-deformación. La Figura 2.4 muestra el movimiento de las partículas cuando se aplica una onda de US [18].

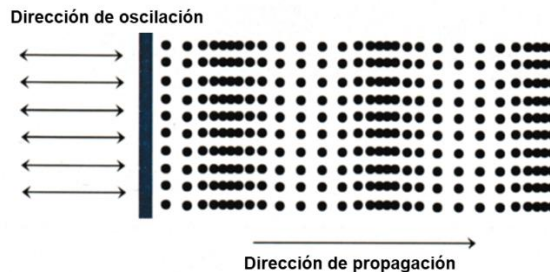


Figura 2.4. Onda longitudinal [18].

### 2.2. TRANSDUCTOR DE ULTRASONIDO

Un transductor es un dispositivo que puede convertir una forma de energía en otra, en el caso de un transductor de US convierte energía eléctrica en mecánica (onda) y viceversa, es por esta razón que la mayoría de los transductores de US pueden usarse para la aplicación del método pulso eco [21].

La Figura 2.5 muestra un esquema general de un transductor de US en la que se pueden observar sus principales componentes.

## CAPÍTULO 2: MARCO TEÓRICO

---

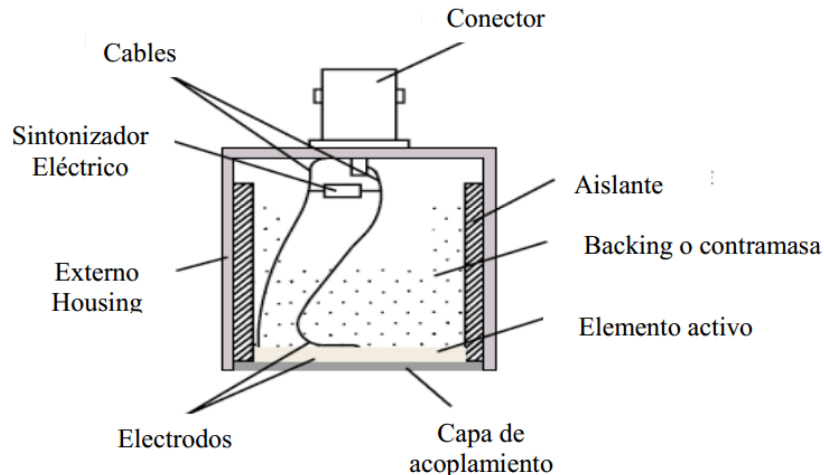


Figura 2.5. Elementos que componen un transductor de US [21].

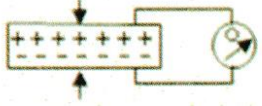
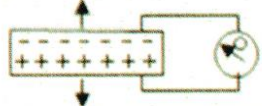
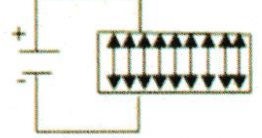
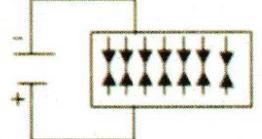
Existen distintos métodos para la generación de ondas de US a través de los transductores [18]:

- **Electrostricción:** Cuando es generado un campo eléctrico en un material que tiene sus dominios orientados al azar, estos tienden a orientarse en el sentido del campo y así se provoca una deformación mecánica en el elemento activo.
- **Magnetostricción:** Los materiales ferromagnéticos (elemento activo) tienen la propiedad de orientar sus dominios magnéticos bajo la influencia de un campo magnético provocando la dilatación y contracción del material. Este método está limitado a la emisión y recepción de frecuencia de US bajas, aproximadamente de 200 KHz. Por lo cual este método es más usado en el ensayo de concreto.
- **Efecto piezoeléctrico:** La piezoelectricidad es la electricidad inducida mediante presión; esta propiedad es característica de algunos compuestos cristalinos (elemento activo del transductor) naturales, y algunos sintetizados por el hombre. Cuando se aplica una presión al cristal se genera una carga eléctrica. Inversamente cuando se le aplica una carga eléctrica, el cristal se deforma. La Tabla 2.1 muestra el comportamiento de un cristal de cuarzo bajo distintas condiciones. Por lo tanto, en la mayoría de los casos se utiliza el mismo cristal

## CAPÍTULO 2: MARCO TEÓRICO

como emisor y receptor, siendo este método el más usado para la inspección de espesores [19] y el que se usó para este trabajo.

Tabla 2.1. Efecto piezoeléctrico de un corte de un cristal de cuarzo [18].

	Causa	Esquema	Efecto
Efecto piezoeléctrico directo	Cristal sujeto a compresión		Corriente eléctrica positiva
	Cristal sujeto a tensión		Corriente eléctrica negativa
Efecto piezoeléctrico indirecto	Corriente eléctrica positiva aplicada a la superficie del cristal		Dilatación del cristal
	Corriente eléctrica negativa aplicada a la superficie del cristal		Contracción del cristal

La señal de respuesta de un transductor de US se muestra en la Figura 2.6 donde la información de interés para la medición de espesores en dicha figura es el tiempo de vuelo ( $t$ ), que se determina con la diferencia de tiempo entre dos ecos adyacentes, es preferible obtener la diferencia de tiempo con los dos primeros ecos, y así determinar el espesor del material a inspeccionar ( $E$ ) usando la ecuación 2:

$$E = \frac{ct}{2} \quad (2)$$



## CAPÍTULO 2: MARCO TEÓRICO

Donde:

$E$  = espesor del material (m)  
 $c$  = velocidad del sonido en el material (m/s)  
 $t$  = tiempo de vuelo (s)

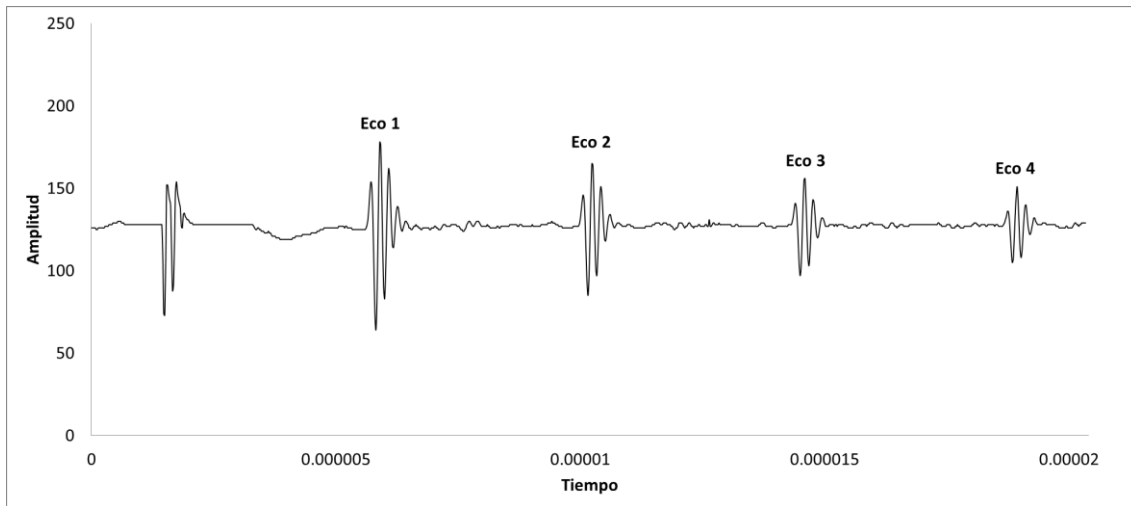


Figura 2.6. Respuesta de un transductor de US (ecos).

La Figura 2.7 ilustra la técnica de US por inmersión para inspección de ductos, donde se pueden caracterizar defectos como: corrosión interna y externa, abolladura, laminado y deformaciones. Esto visto desde tres zonas; zona interna del ducto, pared del ducto y zona externa del ducto [7].

### 2.2.1. Tipos de transductores

De acuerdo a la manera como se propaga el haz, los transductores (palpadores) pueden ser clasificados de la siguiente manera [18]:

- Palpador de haz recto: Este tipo de transductor proyecta el haz de vibraciones de US perpendiculares a la superficie del material a inspeccionar.

## CAPÍTULO 2: MARCO TEÓRICO

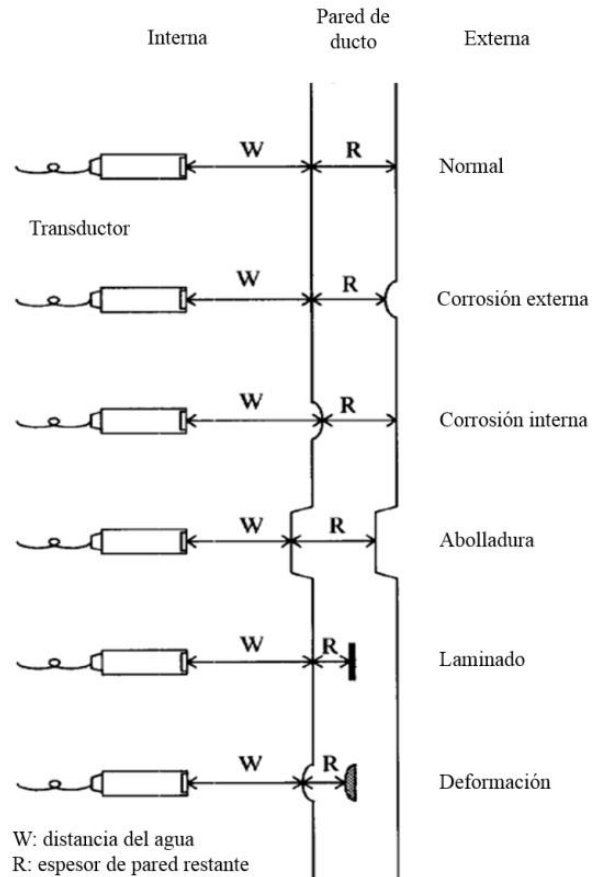


Figura 2.7. Inspección por US en diferentes defectos presentados en ductos [7].

- **Palpador de haz angular:** Una cuña plástica entre el elemento piezoeléctrico y la superficie de contacto establece el ángulo de incidencia de la unidad de rastreo. La cuña debe diseñarse para reducir o eliminar las interferencias internas que pueden traer como resultados ecos falsos. Son usados para la inspección de placas, soldaduras y piezas de prueba que tienen una forma que no permite el acceso al haz recto.

De acuerdo a la técnica de inspección que se utilice [18]:

- **Palpadores de contacto:** Son colocados directamente sobre la superficie de inspección utilizando un medio de acople y presionando el palpador sobre la misma para que puedan ser transmitidas las ondas de US. La cara de contacto del palpador está sujeta a abrasión.

## CAPÍTULO 2: MARCO TEÓRICO

---

- Palpadores de inmersión: La transmisión del US desde el palpador a la pieza bajo inspección se efectúa a través de una columna de líquido, es decir, sin que exista contacto directo, presión o rozamiento entre el palpador y la pieza.

Otras calcificaciones pueden realizarse de acuerdo a:

- Número de cristales
- Ancho de banda
- Aplicaciones especiales

### 2.3. ARQUITECTURA ELECTRÓNICA PARA UN SISTEMA DE ULTRASONIDO

#### 2.3.1. Elementos que componen un Sistema de Ultrasonido

Los sistemas de US médicos o de inspección son algunos de los sistemas de procesamiento de señal más sofisticados en la actualidad. Al igual que en cualquier sistema puede haber soluciones en las implementaciones o formas de arquitectura, debido a los requisitos de rendimiento, físicos, económicos, entre otros [22].

En una arquitectura de US, como en muchos otros sistemas electrónicos, los componentes de procesamiento de señales analógicas son clave para determinar el rendimiento general del sistema [22].

Analizando los trabajos aportados por [7], [18] y [20] se determina que la mayoría las arquitecturas de US presentan, en su mayoría, los siguientes elementos:

- Etapa generadora de pulsos eléctricos: Se realiza un disparo de una señal eléctrica (LV por sus siglas en inglés de Low Voltage) por medio del circuito controlador y se transfiere al circuito controlador de disparo el cual está basado en un MOSFET de alta frecuencia (MHz); este circuito cumple la función de acondicionar la señal para el disparo de otro MOSFET, esta vez de potencia, responsable de conmutar al condensador, transformando de esta manera la señal de alta frecuencia y LV, en una de alta frecuencia y alto voltaje (HV por sus siglas en inglés de *High Voltage*). Una fuente de HV es indispensable en esta etapa, es la que provee la tensión

## CAPÍTULO 2: MARCO TEÓRICO

eléctrica para excitar los transductores, puede ir desde 0 a 300 V bipolares, normalmente es un transformador lineal de DC a DC [23].

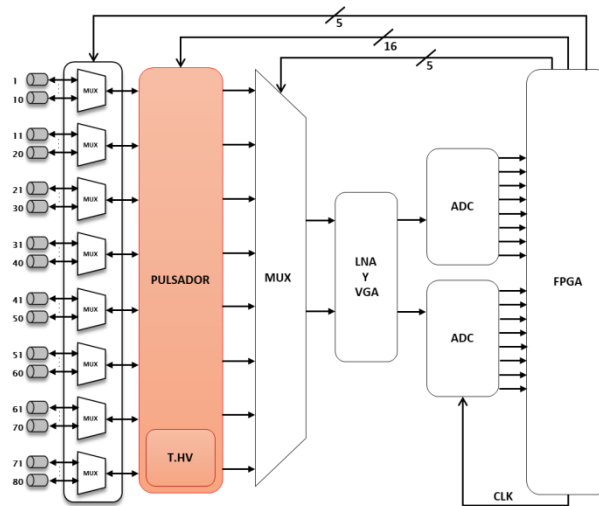


Figura 2.8. Etapa pulsador en arquitectura actual de US.

- Etapa multiplexora: Como se comenta en los trabajos [7] y [24], los sistemas de US requieren de un circuito multiplexor debido a que la cantidad de canales disponibles tiende a ser menor que la cantidad de transductores que se pretenden activar, por ejemplo en [24] se activan 256 transductores en un total de 64 canales (4 transductores por cada canal). Los multiplexores para ultrasonido son circuitos analógicos bidireccionales con señales de control combinacionales, cuentan con múltiples entradas y una salida; el cambio en la selección de la entrada debe de ser rápida ( $\mu\text{s}$ ) para satisfacer el tiempo de procesamiento de cada transductor [7].

## CAPÍTULO 2: MARCO TEÓRICO

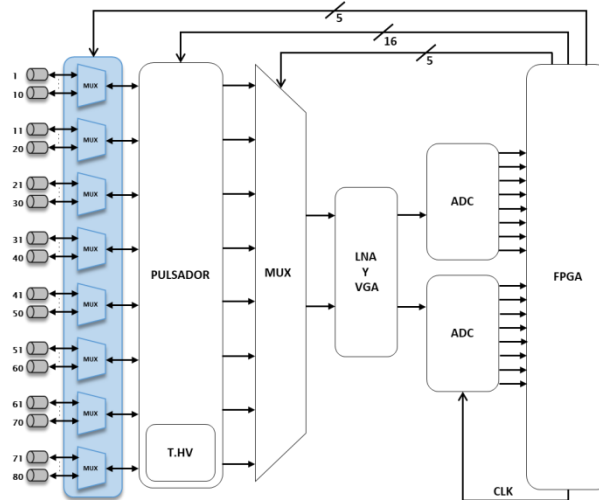


Figura 2.9. Etapa multiplexora en arquitectura actual de US.

- Etapa acondicionador de señales analógicas: Cuando se excita al transductor se recibe una señal de respuesta la cual hay que acondicionar eléctricamente para poder manipularla, para ello, primero se tiene que implementar un circuito TR/Switch (TR/SW), cuya función principal es limitar el alto voltaje generado por el pulso de excitación y que solo deje pasar los niveles de CD de la señal en un rango predefinido por el circuito TR/SW. Se utilizan principalmente en sistemas donde usan la misma vía para transmitir y recibir señales, y están constituidos principalmente por capacitores, resistencias y diodos [7].

Después de que la señal pasa por el TR/SW es necesario filtrar la señal de ultrasonido con el objetivo de eliminar ruido, posteriormente es necesario amplificarla para tener un mejor control de ella. Un Amplificador de Control Variable (VCA) es un circuito integrado que se compone de dos partes importantes, iniciando por un preamplificador de bajo ruido (LNP), su función es amplificar señales que estén en un valor de frecuencia bien definido (MHz), por lo tanto, además de amplificar elimina la mayoría de ruido de la señal. La última parte es un Amplificador de Ganancia Variable (VGA), su principal función es amplificar la señal para tener un mejor control y manipulación de la misma. Una vez que la señal de ultrasonido se filtra y se amplifica, es necesario acondicionarla con un Amplificador Operacional

## CAPÍTULO 2: MARCO TEÓRICO

(OPAM) para poder ajustar una amplitud de voltaje (amplitud y polaridad) adecuado y así poder convertirla a señales digitales [7].

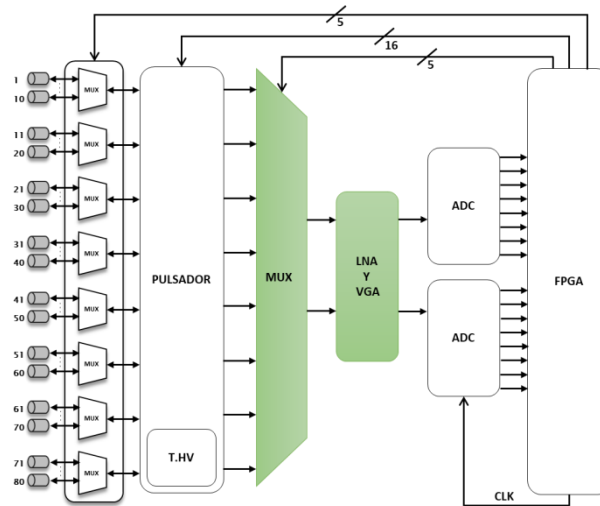


Figura 2.10. Etapa acondicionadora en arquitectura actual de US.

- Etapa conversor analógico a digital: Para visualizar la señal analógica del transductor de US proveniente de los acondicionadores de señales, es necesario, en su mayoría, hacer uso de un circuito ADC (por sus siglas en inglés de *Analog-Digital Converter*), para digitalizar las señales y posteriormente mostrarlas en algún medio gráfico como lo pudiera ser una pantalla. Existen diferentes configuraciones de ADC, en [25] se usa un ADC Delta-Sigma ( $\Delta\Sigma$ ) que permite realizar conversiones a altas frecuencias debido a la alta cantidad de canales usados, además permite un resultado de 24 bits de resolución. Por otro lado, en [26] se usa un ADC SAR (por sus siglas en inglés de *Successive Approximation Register*) que permite la digitalización típicamente en un intervalo de 8 a 16 bits de resolución.

## CAPÍTULO 2: MARCO TEÓRICO

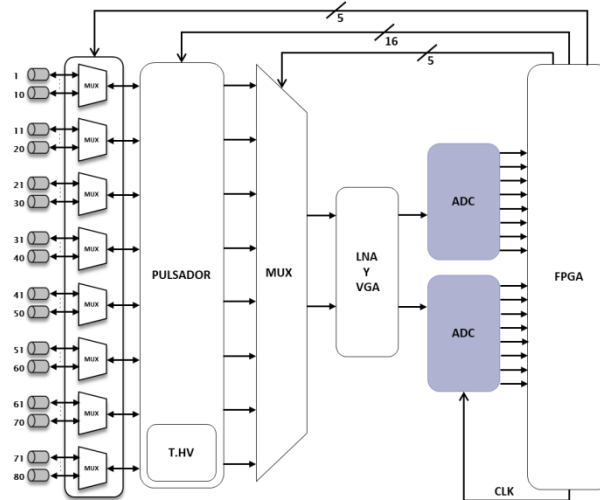


Figura 2.11. Etapa digitalizadora en arquitectura actual de US.

- Etapa de control: Como se ha descrito, la etapa generadora de pulsos y la multiplexora requieren de combinaciones lógicas, bits de habilitación, etc., para realizar sus respectivas funciones. La etapa de control permite generar estas señales para que se puedan configurar dichas etapas, además recibe la señal digitalizada para su posterior almacenamiento, transmisión y/o visualización.

Existen diversos elementos que pueden realizar la función de la etapa de control. Por ejemplo en [10] y [23] se usan microcontroladores como etapa de control debido a la baja frecuencia de los transductores implementados; un filtro digital es aplicado en [27] y [28] por medio de algoritmos como: Transformada Discreta de Fourier, de Wevelet y de coseno, ambos mediante el uso de un DSP (por sus siglas en inglés de *Digital Signal Processor*). Sin embargo el FPGA es el más usado en el desarrollo de sistemas de US [24], [25], [26], [29] y [30], debido a sus altas velocidades de trabajo, gran número de entradas y salidas, y sobre todo un esquema de interconexión flexible que permite configurar el circuito interno que se adapta a cada aplicación específica.

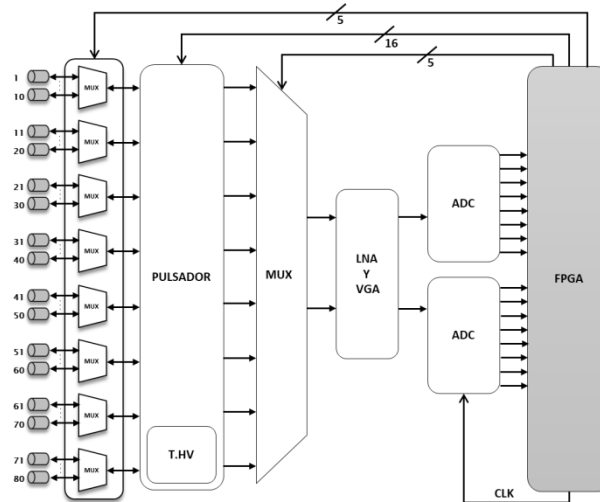


Figura 2.12. Etapa de control en arquitectura actual de US.

### 2.4. ANALOG FRONT-END

Un sistema portátil de imágenes de US de alto rendimiento es exigido por una amplia variedad de aplicaciones. La minimización y mejora de sistemas de US han desarrolladas en los últimos años debido al avance tecnológico en semiconductores [31].

Las etapas AFE (por sus siglas en inglés de *Analog Front-End*) en un contexto de sistemas de US, permiten la recepción de una señal analógica de US, el acondicionamiento de la misma y por último su digitalización como se puede observar en la Figura 2.13. Los circuitos AFE son circuitos electrónicos con un alto nivel de integración compuestos principalmente por [16]:

- Amplificador de bajo ruido, LNA (por sus siglas en inglés de *Low Noise Amplifier*).
- Amplificador de ganancia variable, VGA (por sus siglas en inglés de *Variable Gain Amplifier*).
- Filtro anti-alias, AAF (por sus siglas en inglés de *Anti-Aliasing Filter*).
- Convertidor Analógico a Digital, ADC.



## CAPÍTULO 2: MARCO TEÓRICO

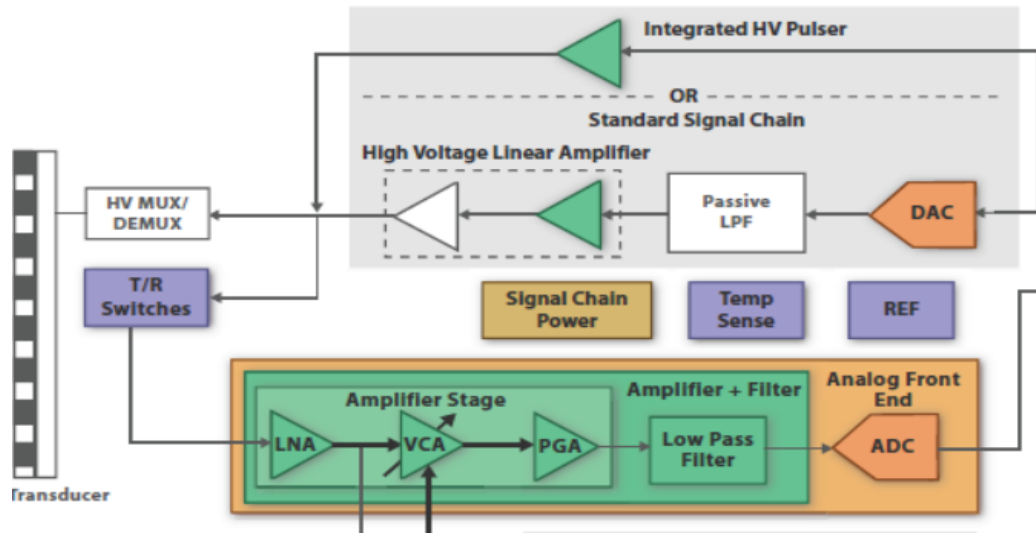


Figura 2.13. Etapa AFE del sistema de US desarrollado por Texas Instruments [32].

En los últimos años, la tecnología para desarrollar una etapa AFE para US hizo posible la disminución de los encapsulados permitiendo la integración de un solo circuito a múltiples circuitos en un encapsulado. Todos estos lograron una reducción significativa de la potencia, mejora del rendimiento y reducción del tamaño como se muestra en la Figura 2.14.

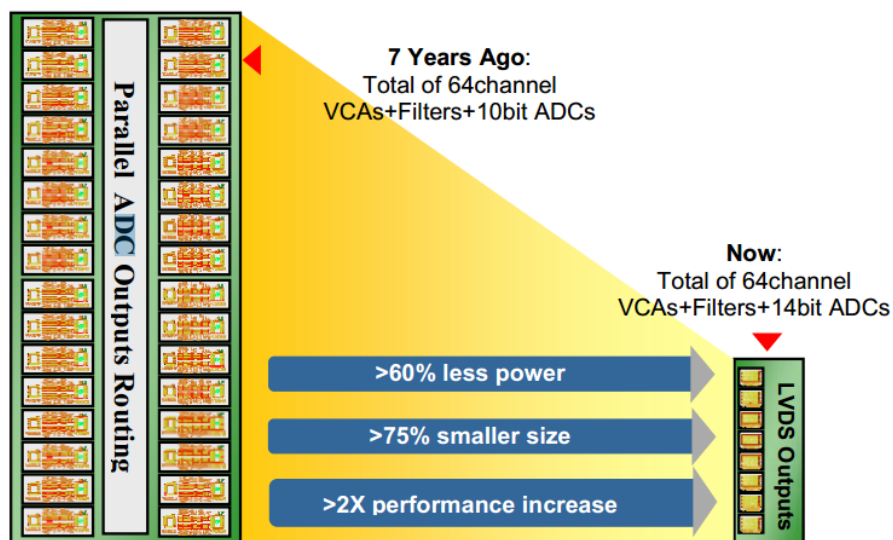


Figura 2.14. Mejoras atribuidas a los circuitos AFE [31].

Actualmente en el mercado se encuentran disponibles gran diversidad de circuitos AFE fabricados por diferentes empresas líderes en el desarrollo de la electrónica. La Tabla

## CAPÍTULO 2: MARCO TEÓRICO

2.2 muestra una recopilación de circuitos AFE fabricados en los últimos 10 años. Los circuitos cuentan con diferentes parámetros como lo puede ser el tipo de encapsulado, número de canales, la resolución del ADC, entre otros. Las interfaces que manejan estos circuitos para el envío de información son JESD204B y LVDS. Debido al incremento en la manipulación y transmisión de información [16] y [17], el LVDS muestra una tendencia en la integración de los circuitos AFE.

Tabla 2.2. Dispositivos AFE para US.

Dispositivo	Canales	Resolución del ADC	Interfaz del ADC	Año	Encapsulado	Energía disipada (mW)
AD9674	8	14 bits	LVDS	2016	BGA	225
AFE58JD16	16	12-14 bits	LVDS/ JESD204B	2015	BGA	90
AFE5812	8	12-14 bits	LVDS	2015	BGA	180
MAX2082	8	12 bits	LVDS	2014	BGA	131
AD9675	8	14 bits	JESD204B	2013	BGA	238
AFE5803	8	12-14 bits	LVDS	2012	BGA	151
MAX2079	8	12 bits	LVDS	2011	BGA	120
AD9278	8	12 bits	LVDS	2010	BGA	125
AFE5807	8	12 bits	LVDS	2010	BGA	117
AD9271	8	12 bits	LVDS	2009	TQFP	187
AFE5801	8	12 bits	LVDS	2008	QFN	58
AFE5804	8	12 bits	LVDS	2008	BGA	101
AFE5805	8	12 bits	LVDS	2008	BGA	122

### 2.5. SEÑALIZACIÓN DIFERENCIAL DE BAJO VOLTAJE

#### 2.5.1. Transmisión diferencial

La transmisión de datos, como su nombre lo sugiere, es el movimiento de un dato desde una localidad a otra. Si la transmisión de datos se realiza a una distancia mayor a 30 m o a una velocidad mayor que 50 Mbps, es recomendable el uso de un protocolo de transmisión diferencial, los cuales están compuestos por dos líneas de transmisión, donde las señales transmitidas tienen la misma magnitud pero con polaridad opuesta. La Figura 2.15 muestra un esquema eléctrico de una transmisión diferencial. El

## CAPÍTULO 2: MARCO TEÓRICO

transmisor usa un par de salidas complementarias, A y B, para indicar el estado transmitido, y el receptor detecta el estado recibido mediante la diferencia de voltaje en las líneas [33].

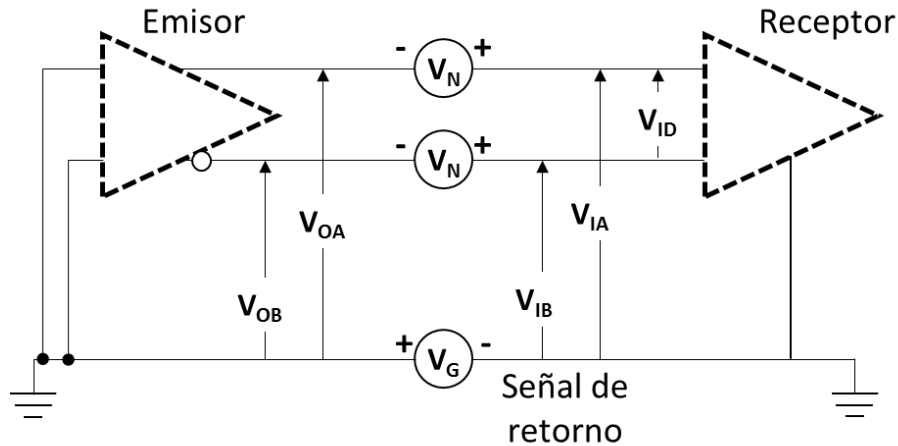


Figura 2.15. Diagrama eléctrico de una interfaz diferencial.

$$V_{IA} = V_{OA} + V_N + V_G \quad (3)$$

$$V_{IB} = V_{OB} + V_N + V_G \quad (4)$$

Donde:

$V_{IA}, V_{IB}$  = voltajes de entrada en receptor (V)  
 $V_N$  = fuente de ruido (V)  
 $V_G$  = rebote de tensión en tierra (V)

$$V_{ID} = V_{IA} - V_{IB} = V_{OA} - V_{OB} \quad (5)$$

Donde:

$V_{OA}, V_{OB}$  = voltajes de salida en transmisor (V)  
 $V_{ID}$  = diferencia de las tensiones en receptor (V)

La diferencia en las líneas de transmisión se representa en las ecuaciones 3, 4 y 5. Como consecuencia de cancelar los voltajes sumados a las señales originales, el

## CAPÍTULO 2: MARCO TEÓRICO

---

receptor recibe la misma diferencia que existe en el emisor al momento de enviar las señales.

### 2.5.2. LVDS

El estándar TIA/EIA-644 o LVDS (por sus siglas en inglés de *Low Voltage Differential Signaling*), es un protocolo con señales de baja amplitud, aproximadamente 350 mV, que se transmite a través de un par diferencial de pistas balanceadas de PCB. Debido a la baja amplitud de las señales LVDS, es posible transferir datos seriales a una velocidad de hasta 2 Gbps [33].

La oscilación de las señales emitidas por LVDS es alta y de baja amplitud por lo que se minimiza la interferencia electromagnética y la energía disipada es baja, siendo este último un factor importante en dispositivos móviles energizados con baterías [34].

LVDS es un protocolo que en los últimos años es usado en aplicaciones como paneles LCD (*Liquid Cristal Display*), interconexiones ópticas, redes inteligentes, aplicaciones de US, etc. En un sistema de US, las tasas de bits son bajas comparadas con otras aplicaciones LVDS, sin embargo, la variación de las tasas de bits, longitudes de palabras de datos y efectos multicanal son altas para plataformas de ultrasonido, por lo que la interfaz LVDS es una buena solución para este tipo de sistemas [35]; por ejemplo en [30] se realizó un sistema para la formación de haces modulares para imágenes de US, y en [36] para ecógrafos portátiles.

La Tabla 2.3 presenta una comparación de algunos trabajos encontrados para sistemas de US, resaltando dos características importantes: circuito integrado AFE e interfaz del ADC. La primera característica hace referencia a la arquitectura de ultrasonido usada y si ésta cuenta con un circuito integrado AFE. La segunda, indica si la arquitectura usa el protocolo LVDS como interfaz de comunicación del circuito o módulo ADC. Como se observa la implementación del circuito integrado AFE en sistemas de ultrasonido es una práctica común, al reducir el número de componentes electrónicos también se reduce la complejidad y el área de la tarjeta electrónica, así como también la adaptabilidad a nuevas aplicaciones. El LVDS también es una interfaz que destaca, usándose en la mayoría de los sistemas de ultrasonido encontrados en la literatura. Ninguno de los

## CAPÍTULO 2: MARCO TEÓRICO

trabajos mostrados en la Tabla 2.3 muestra el diseño o arquitectura usado en su dispositivo de control y/o procesamiento para la recepción de señales LVDS.

Tabla 2.3. Comparativo de sistemas de US desarrollados en investigación.

Características	[37]	[24]	[25]	[7]	[38]	[29]	[26]
Aplicación	Médica	Medica	Médica	Inspección	Medica	Inspección	Inspección
Número de canales	128	64	128	8	128	8	32
Número de transductores	128	256	128	80	128	8	32
Frecuencia del transductor	-	30 MHz	-	5 MHz	-	20 MHz	-
Cuenta con circuito integrado AFE	Sí	No	Sí	No	Si	No	Si
Resolución ADC (bits)	12	12	12	8	12	8	12
Interfaz ADC	LVDS	Paralelo	LVDS	Paralelo	LVDS	LVDS	LVDS
Velocidad de transmisión por canal	960 Mb/s	1.34 Gb/s	480 Mb/s	400 Mb/s	240 Mb/s	480 Mb/s	480 Mb/s
Diseño LVDS	No	NA	No	NA	No	No	No
Año	2009	2011	2012	2014	2015	2015	2016

## 3. DESARROLLO

En este capítulo se presenta la arquitectura de hardware en FPGA para la recepción de señales de interfaz LVDS y la arquitectura electrónica para un sistema de ultrasonido.

### 3.1. SELECCIÓN DEL CIRCUITO AFE

La arquitectura del sistema de ultrasonido que actualmente se usa en CIDESI, Figura 3.1, cuenta con un pulsador de 8 canales y en cada uno de ellos un MUX que permite conectar 10 transductores por canal, dando un total de 80 transductores. Así también se destaca el uso de un MUX a la salida del pulsador, el cual solo activa 2 canales de manera simultánea, las respuestas de los transductores es recibida por el MUX receptor, que tiene la tarea de multiplexar las 8 salidas del pulsador a solo 2, para posteriormente pasarlas al VCA de doble canal, gracias a que el pulsador incluye el TR-SW las señales de respuesta de los transductores pueden pasar directamente al VCA y finalmente, después de su correcto acondicionamiento pueden ser digitalizadas por los 2 ADCs de manera simultánea [7].

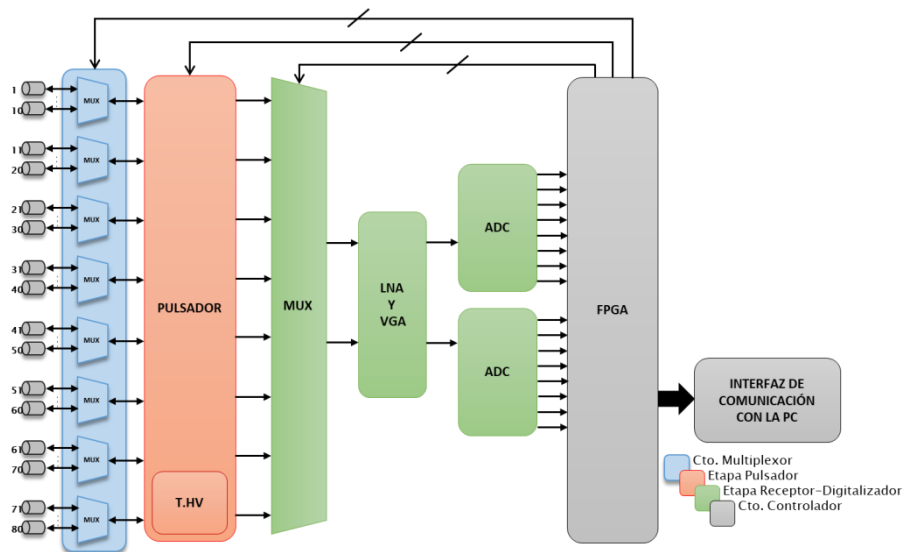


Figura 3.1. Arquitectura actual desarrollada por [7].

## CAPÍTULO 3: DESARROLLO

La recepción se realiza bajo una etapa AFE, que está compuesta de: amplificador de bajo ruido (LNA), amplificador de ganancia variable (VGA) y el convertidor analógico a digital (ADC). Estos circuitos se encuentran de manera independiente y tienen como tarea principal el amplificar, filtrar y digitalizar la señal analógica de ultrasonido.

Retomando la Tabla 2.2, los circuitos de la familia AFE58XX de la marca Texas Instruments presentan, en su mayoría, condiciones favorables para su implementación en un sistema de ultrasonido. Resaltando la poca energía disipada, una amplia gama de configuraciones para los filtros, y las diferentes ganancias en los amplificadores. Se seleccionó el circuito AFE5803, ya que se acopla de manera adecuada a las necesidades del proyecto.

La Figura 3.2 se muestran los principales bloques funcionales: LNA, VCAT, PGA (VGA), Filtro LP y ADC. Así mismo se muestra la interfaz de control SPI (por sus siglas en inglés de *Serial Peripheral Interface*).

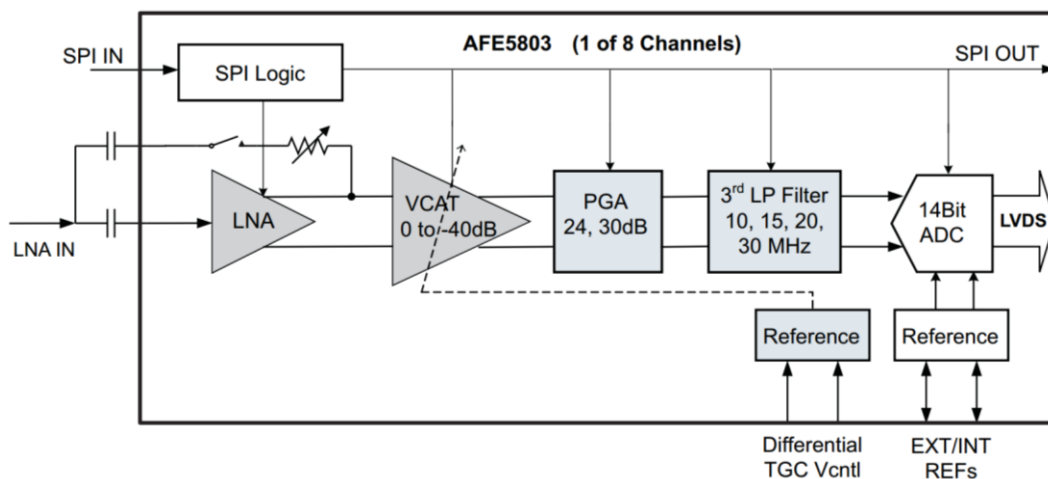


Figura 3.2. Diagrama a bloques del circuito integrado AFE5803 [39].

A continuación, se describen sus características por etapa [39]:

LNA: Amplificador de bajo ruido con entrada tipo *single-ended* y salida diferencial. Las principales características de esta etapa son:

- Ganancia programable en un grupo o por canal de 24/18/12 dB con bajo ruido referido (0.63/0.7/0.9 nV/ $\sqrt{\text{Hz}}$ ).

## CAPÍTULO 3: DESARROLLO

---

- Intervalo lineal del amplificador de 1 Vpp máximo.
- Acoplamiento capacitivo de entrada para AC.
- Circuito de corrección de *offset* (habilitado por el usuario). Éste se comporta como un filtro pasa altas.
- Terminación pasiva, activa (programable) o sin terminación. En general, la terminación activa es la recomendada por el fabricante dado que en ésta se siente control sobre la impedancia de entrada, lo que da la capacidad de realizar acoplamientos de impedancia con distintos transductores de ultrasonido.

VCAT (atenuador controlado por voltaje)

- Atenuación controlada por el voltaje en VCNTL con un intervalo de operación de 0 a 40 dB.
- Este elemento permite realizar TGC (*Time Gain Control*).

PGA (*Amplificador de Ganancia Programable*): también conocido como VGA.

- Ganancia configurable a 24/30 dB.
- Circuito de corrección de *offset*

LP Filter (Filtro Pasa Bajas)

- Filtro anti-alias de tercer orden con frecuencias de corte de 10/15/30 MHz.

ADC

- Conversión A/D con topología paralela con resolución de 14 bits, salida serie con interfaz LVDS de 12/14/16 bits.
- Frecuencia de muestreo de 10 hasta 65 MHz. Los 8 canales se encuentran sincronizados por un solo reloj (diferencial o monopolar).
- Funciones de procesamiento digital de señales (promedio, filtrado y sustracción digital de *offset*).

Interfaz de control SPI



## CAPÍTULO 3: DESARROLLO

- Se trata de un sistema de control que consta de un conjunto de registros que controlan las funciones del circuito AFE. Cada palabra SPI está constituida por 3 bytes, el primer byte indica la dirección del registro y los dos restantes son la configuración a realizar.

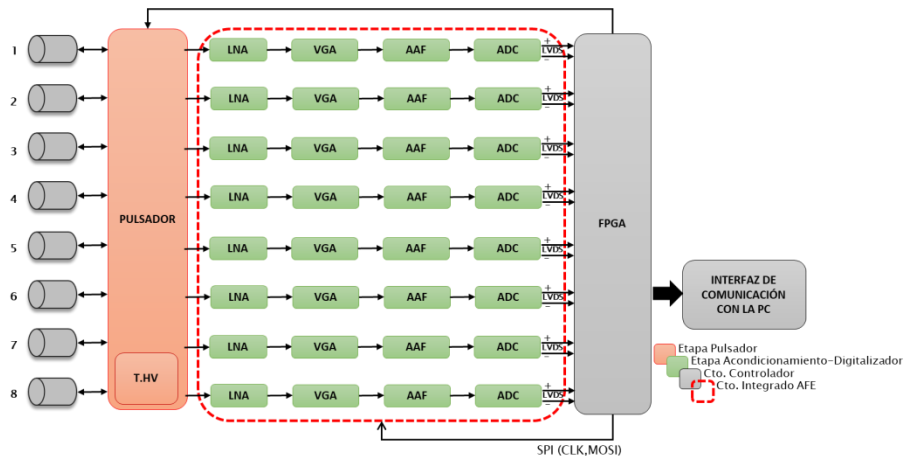


Figura 3.3. Diagrama a bloques de la propuesta de la arquitectura para el sistema de US.

La propuesta de la arquitectura para un sistema de ultrasonido, Figura 3.3 , cambia los elementos de la etapa AFE por un circuito integrado AFE. El pulsador de 8 canales, permite la activación simultánea de hasta 8 transductores de ultrasonido, y es el mismo usado en la arquitectura actual, por lo que también incluye el TR/SW que permite el paso de las señales de respuesta de los transductores al circuito AFE. Cada señal de respuesta pasa por un LNA y VGA, posteriormente se realiza un filtro anti-alias (AAF) y al finalizar se digitalizan con un ADC. La interfaz de salida del ADC es mediante el protocolo de comunicación llamado LVDS.

### 3.2. ARQUITECTURA DE FPGA

#### 3.2.1. Tarjeta de evaluación de FPGA

Para el desarrollo de esta tesis se utilizó el FPGA Virtex-4<sup>MR</sup> modelo XC4VLX25 de la marca Xilinx. Este FPGA está inmerso en la tarjeta de desarrollo TSW1250EVW de Texas Instruments, que tiene como principal función la deserialización de información y

## CAPÍTULO 3: DESARROLLO

ha sido creada para probar el sistema receptor de ultrasonido de la familia AFE58XX de la misma compañía [40].

El FPGA cuenta con características que permiten la implementación de una arquitectura interna para la recepción de señales diferenciales. Estas características son presentadas en la Tabla 3.1.

Tabla 3.1. Características del FPGA Virtex-4 necesarios para una interfaz diferencial.

Características requeridas	Características en Virtex-4 [41]
Entradas diferenciales	120 I/O diferenciales
Buffer diferencial	IBUFDS (Input Buffer Differential Signaling)
Bloque deserializador	ISERDES (Buffer Input Deserializer) e IDDR (Input Dual Data-Rate)
Memoria RAM	RAMB16

Además, la tarjeta de evaluación cuenta con pistas diseñadas especialmente para la transmisión de señales diferenciales a altas velocidades. La Figura 3.4 muestra la tarjeta TSW1250EVW.

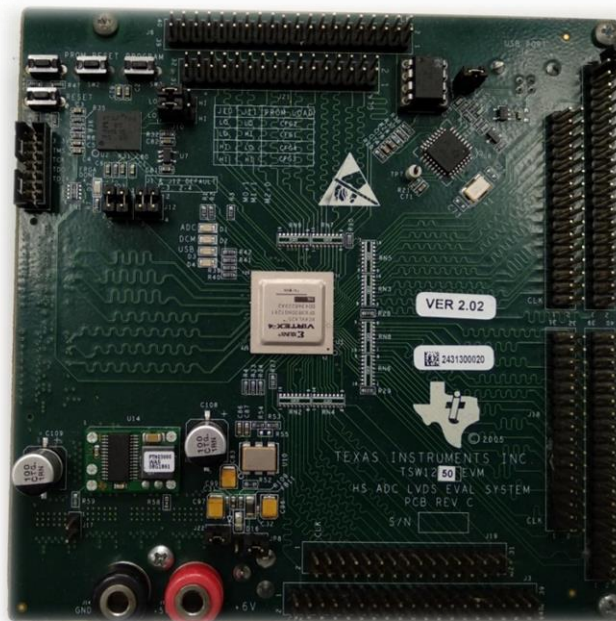


Figura 3.4. Tarjeta de evaluación Virtex-4 TSW1250EVW.

### 3.2.2. Configuración de la interfaz LVDS

Los esquemas de configuración LVDS varían de forma importante. El AFE5803 cuenta con una configuración DDR, esto quiere decir que el dato válido es sincronizado tanto en el flanco de subida como en el flanco de bajada del reloj que tiene como nombre *Bit Clock*. Además, el AFE5803 tiene como salida el reloj de muestreo con el que se encuentra realizando la conversión del ADC, este reloj es llamado *Frame Clock* y es el que determina el inicio y fin de la transmisión de una muestra digitalizada.

La relación entre estos relojes se muestra con la ecuación 6:

$$D_{CLK} = (F_{CLK})(B_{TT}) \quad (6)$$

Donde:

$$\begin{aligned} D_{CLK} &= \text{Bit Clock (Hz)} \\ F_{CLK} &= \text{Frame Clock, frecuencia de muestreo (Hz)} \\ B_{TT} &= \text{Bits totales transmitidos por el ADC} \end{aligned}$$

Considerando una arquitectura de ultrasonido para inspección y en base a la norma NRF-060-PEMEX-2012 se utilizaron transductores de inmersión de 5 MHz de haz recto, ya que son los recomendados para inspeccionar acero al carbón, metal del que están hechos los ductos subterráneos [42].

Se recomienda para aplicaciones ultrasónicas un ADC con una frecuencia de muestreo 10 veces mayor a la del transductor [43]. Enfocado a este proyecto si se consideran que los transductores que se usan en CIDESI son de 5 y 2.25 MHz, y siguiendo la recomendación de [43], se obtiene que la frecuencia de muestreo debe ser igual a 50 MHz.

De acuerdo a la ecuación 6 con un  $F_{CLK}$  de 50 MHz y un  $B_{TT}$  de 12 bits, se genera un  $D_{CLK}$  de 300 MHz que es transmitido por la interfaz LVDS. En la Figura 3.5 se muestra el diagrama de tiempos de la interfaz LVDS en el circuito AFE5803, donde se detalla la validación de los datos en ambos flancos de  $D_{CLK}$  y se expresa que el funcionamiento del  $F_{CLK}$  es para iniciar y finalizar la transmisión de los 12 bits que representan una muestra digitalizada.

## CAPÍTULO 3: DESARROLLO

Cada uno de los 12 bits que conforman la muestra digitalizada es transmitido al doble de velocidad que  $D_{CLK}$  (300 MHz), lo anterior como consecuencia de que el bit de información es válido tanto en el flanco de subida como en el de bajada de  $D_{CLK}$ , dando como resultado una transmisión de bits a una frecuencia de 600 MHz.

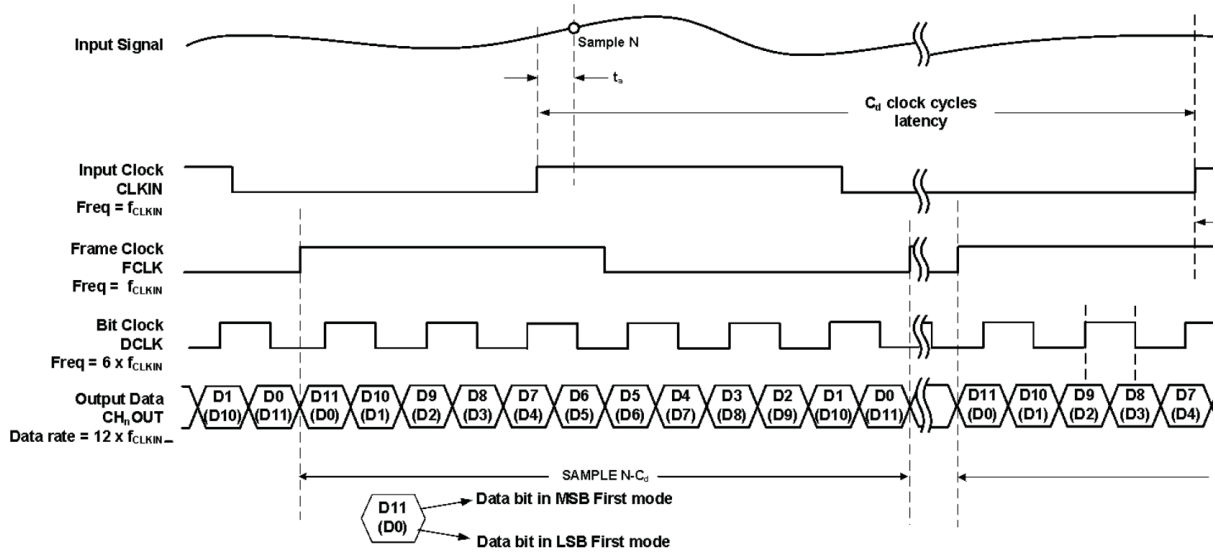


Figura 3.5. Diagrama de tiempos, configuración de transferencia a 12 bits [39].

### 3.2.3. Arquitectura para la recepción de interfaz LVDS

Una vez conociendo la configuración de la interfaz que usa el circuito AFE5803 para la transmisión del ADC, se plantea la siguiente arquitectura, Figura 3.6, para la recepción de información mediante la interfaz LVDS.

Los relojes  $D_{CLK}$  (*Bit Clock*) y  $F_{CLK}$  (*Frame Clock*) usan dos buffers, el primero es el buffer IBUFDS que entrega a la salida la diferencia que existe en sus dos terminales de entrada, por otro lado, el buffer BUFG permite que la señal de reloj se transfiera y pueda ser usado en cualquier banco del FPGA.

## CAPÍTULO 3: DESARROLLO

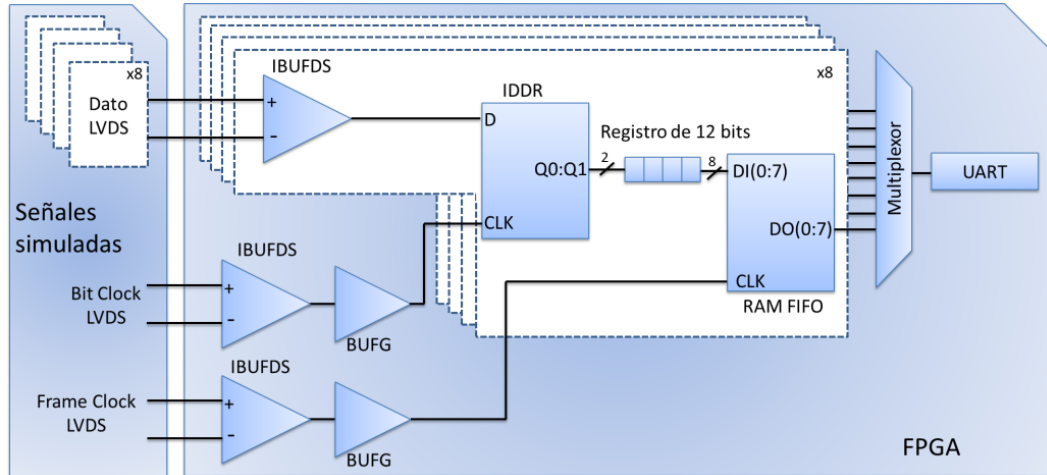


Figura 3.6. Arquitectura basada en PFGA para la recepción de señales LVDS.

Para cada uno de los 8 pares diferenciales se usó la siguiente arquitectura:

La salida del buffer IBUFDS es transferida a un bloque IDDR, encargado de adquirir los bits que conforman la muestra digitalizada, como se observó en la Figura 3.5, el bit de información es válido en los flancos de subida y bajada. El bloque IDDR permite la adquisición de dos bits de información en cada flanco de reloj en su entrada de CLK. En la Figura 3.7 se aprecia que, en el flanco de subida de C se considera válido el dato D0A, y en el flanco de bajada el dato D1A. Las salidas Q1 y Q2 entregan como resultado los bits adquiridos en el ciclo de reloj anterior, siendo un bus de salida de 2 bits como máximo.

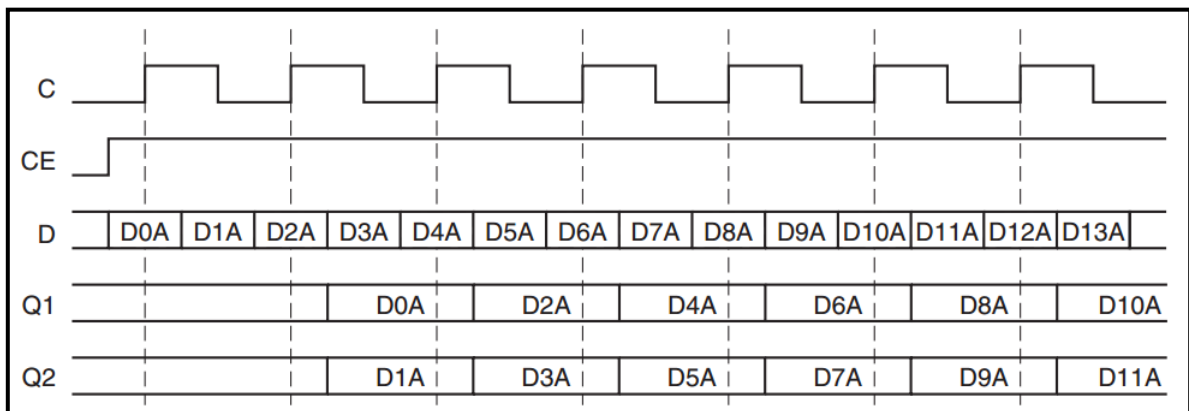


Figura 3.7. Funcionamiento bloque IDDR [41].

## CAPÍTULO 3: DESARROLLO

El bus de salida del bloque IDDR se almacena en un registro de 12 bits, ya que es la cantidad de bits que envía el circuito AFE5803 para representar una muestra digitalizada. Los 8 bits más significativos del registro de 12 bits, son transferidos a un bloque RAM por medio de un bus paralelo de 8 bits. El bloque RAM tiene un comportamiento FIFO, esto quiere decir que el primer dato en ingresar es el primero en salir.

Para finalizar, se envía el contenido de cada uno de los 8 bloques RAM a un módulo UART para transferir la información y visualizarla en la computadora.

### 3.2.4. FSM recepción de interfaz LVDS

La recepción de información por medio de la interfaz LVDS se realizó mediante una máquina de estados finita, FSM (por sus siglas en inglés de *Finite State Machine*), de 9 estados en total. El estado IOA se encarga de adquirir los dos primeros bits que se muestran en la Figura 3.7, D0A y D1A posteriormente los estados del I0 hasta el estado I5 se encargan de almacenar la información proveniente del bloque IDDR en el registro de 12 bits. Cuando el registro de 12 bits se encuentra lleno, el estado I0 almacena los 8 bits más significativos en los distintos bloques RAM. Por último, los estados I6 e I7 finalizan la FSM reiniciando las señales a valores adecuados.

Se usa la misma FSM para la recepción de los 8 canales de salida del ADC del circuito AFE5803.

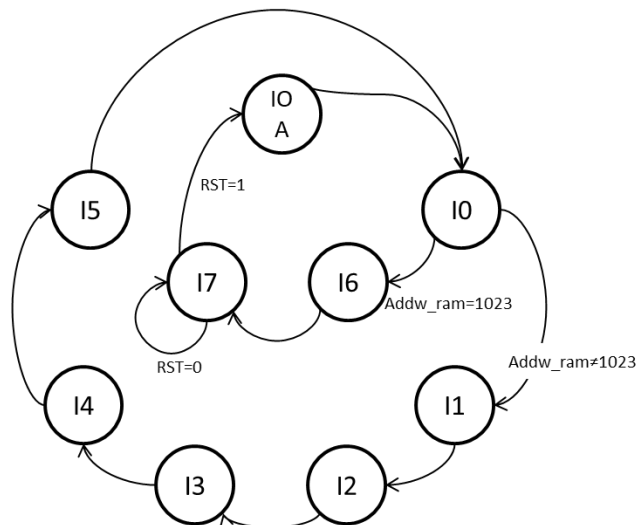


Figura 3.8. Máquina de estados para recepción de interfaz LVDS.

### 3.2.5. FSM envío UART

La información almacenada en cada uno de los ocho bloques RAM es enviada por medio de un módulo UART. El envío de información se controla mediante una FSM de 12 estados. Los estados P0 y P1 son los encargados de enviar un byte de información por protocolo de comunicación UART. El estado P2 revisa si se han enviado todos los datos almacenados en los distintos bloques RAM y el estado P3 finaliza la FSM reiniciando las señales a valores adecuados. Por otra parte, los estados del P01 hasta P08 realizan el multiplexado de los distintos bloques RAM al módulo UART (estados P0 y P1).

Esta FSM se usa cada que se quiere observar el contenido almacenado en los bloques RAM que corresponden a las señales digitalizadas transmitidas por el ADC, Figura 3.9.

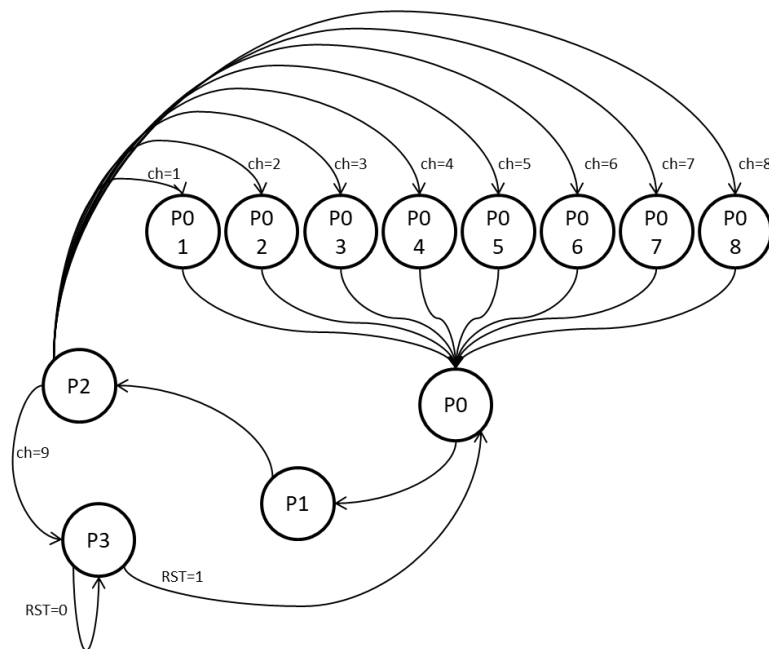


Figura 3.9. Máquina de estados para envío UART.

La Figura 3.10 muestra el diagrama a bloques de las dos FSM de recepción de la interfaz LVDS y el envío por UART.

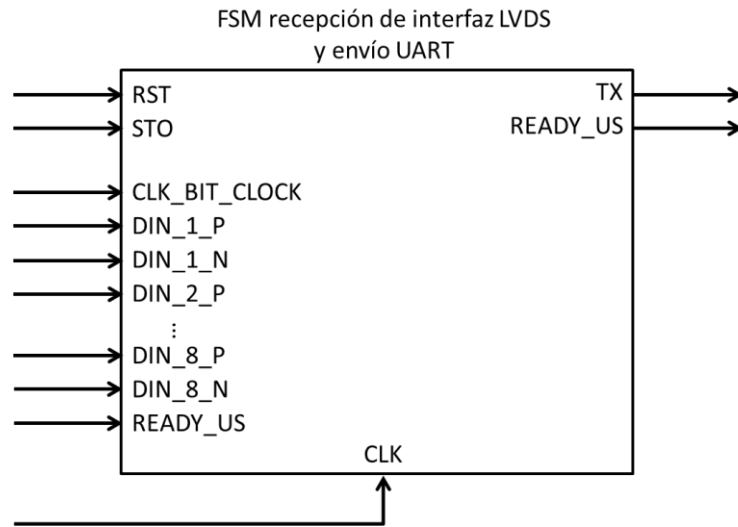


Figura 3.10. Bloque de la FSM para envío UART.

### 3.3. DISEÑO PCB PARA PROTOTIPO ELECTRÓNICO

#### 3.3.1. Esquemático AFE

El circuito AFE5803 de la marca Texas Instruments es el encargado de recibir la señal eléctrica respuesta de los ecos de ultrasonido, para su acondicionamiento y finalizando con la digitalización. La generación de los pulsos de ultrasonido se verá en temas posteriores.

Como se ha comentado en temas anteriores, el circuito AFE5803 permite la recepción de hasta 8 entradas analógicas, y en su salida cuenta con 8 pares diferenciales, correspondientes a la digitalización de las entradas. Una interfaz SPI es la encargada de configurar el AFE a través de registros de 3 bytes.

Considerando las entradas, salidas e interfaz SPI se procede con el desarrollo físico del sistema, comenzando por el diseño esquemático, elaborado en el software de diseño Altium Designer. Los esquemáticos se presentan en Figura 3.11 y Figura 3.12.

El circuito AFE5803 presenta 135 pines de conexión, siendo un encapsulado tipo BGA (por sus siglas en inglés de *Ball Grid Array*). En Figura 3.11 y Figura 3.12 se puede observar que los componentes pasivos que más abundan son los capacitores



## CAPÍTULO 3: DESARROLLO

---

cerámicos, lo anterior debido a la alta cantidad de pines de alimentación, los capacitores permiten disminuir los cambios abruptos en las tensiones de alimentación en caso de que se presenten [44].

El conector macho, P12 de 9 pines, permite realizar la programación de los registros del AFE mediante el protocolo de comunicación SPI, así como también la manipulación de pines digitales de configuración del circuito AFE.

Por otra parte, la Figura 3.12, muestra el conector rápido que contiene las conexiones de la salida del ADC del AFE5803. Estos pines cuentan con dos configuraciones especiales, la primera es que los diez pares diferenciales deben de tener la misma longitud y la segunda que todos los pares diferenciales mantengan una impedancia controlada.

# CAPÍTULO 3: DESARROLLO

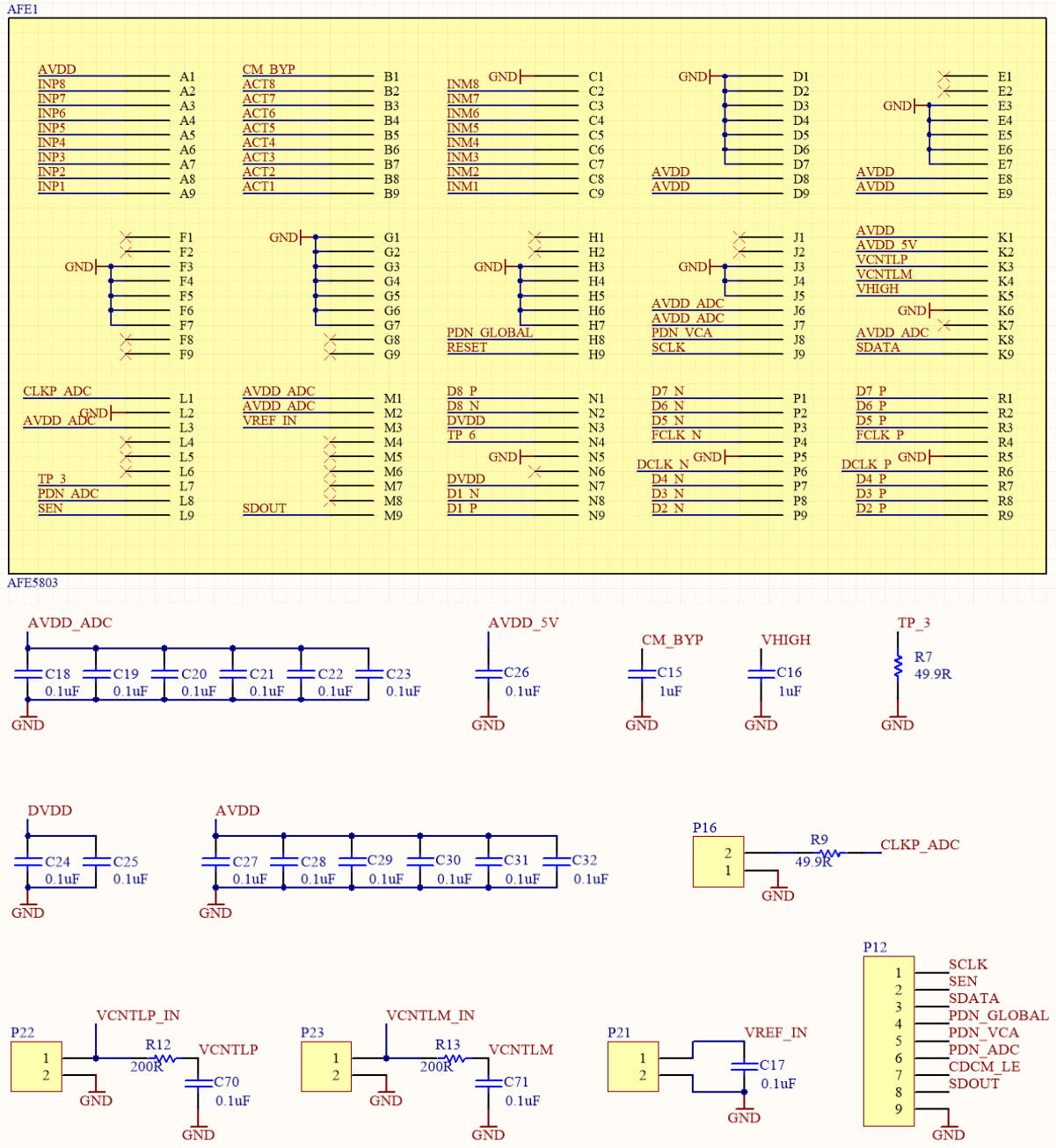


Figura 3.11. Diseño del esquemático: prototipo electrónico para US (parte uno).

# CAPÍTULO 3: DESARROLLO

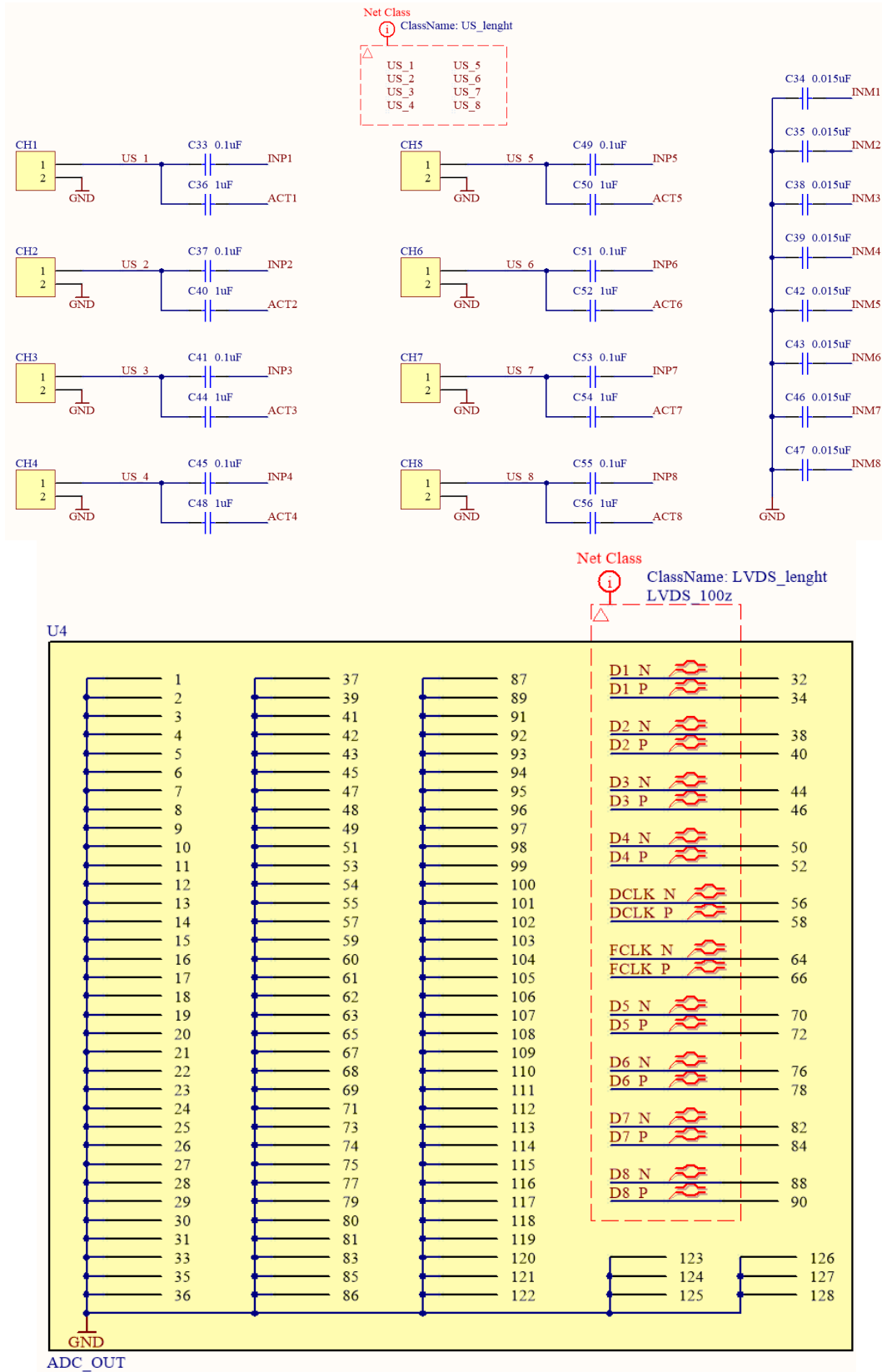


Figura 3.12. Diseño del esquemático: prototipo electrónico para US (parte dos).

## CAPÍTULO 3: DESARROLLO

Con respecto a la longitud, si existen diferencias entre los pares que transmiten los datos digitalizados con respecto a los pares de los relojes ( $D_{CLK}$  y  $F_{CLK}$ ), existe la posibilidad de presentarse un problema de sincronización [45]. La interfaz LVDS transmite a altas frecuencias, y al ser una interfaz síncrona la alineación de los datos con respecto a los relojes es primordial. La Figura 3.13 muestra un ejemplo de desincronización en un par diferencial.

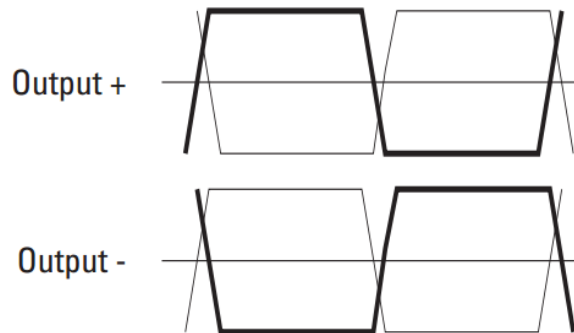


Figura 3.13. Desincronización en par diferencial [45].

La Tabla 3.2 muestra una recopilación de los valores de alimentación necesarias para el funcionamiento correcto del prototipo electrónico.

Tabla 3.2. Alimentaciones necesarias para el funcionamiento del prototipo electrónico.

Etiqueta	Tensión
+5VA	5 V
AVDD_5V	5 V
AVDD	3.3 V
AVDD_ADC	1.8 V
DVDD	1.8 V

### 3.3.2. Esquemático fuentes de alimentación.

En electrónica, una fuente de alimentación CD-CD es un dispositivo que convierte un nivel de tensión, en uno o varios niveles diferentes, que alimentan los distintos componentes de un circuito [42]. En este proyecto, es esencial tomar la decisión adecuada en cuanto a la selección de las fuentes de alimentación, si existe una

## CAPÍTULO 3: DESARROLLO

conexión o dimensionamiento incorrecto de las fuentes de alimentación, puede afectar el comportamiento del circuito AFE y considerando que el acondicionamiento y digitalización de la señal se encuentran en este circuito, una mala elección podría alterar los resultados deseados.

El circuito AFE requiere de distintas tensiones de alimentación, todas menores o igual a 5 V. Se optó por usar convertidores CD-CD que sean alimentados a 5 V y puedan suministrar los distintos niveles de tensión. La Figura 3.14 es un diagrama de bloques de la estructura de alimentación, donde se contemplan los diferentes convertidores necesarios para este proyecto.

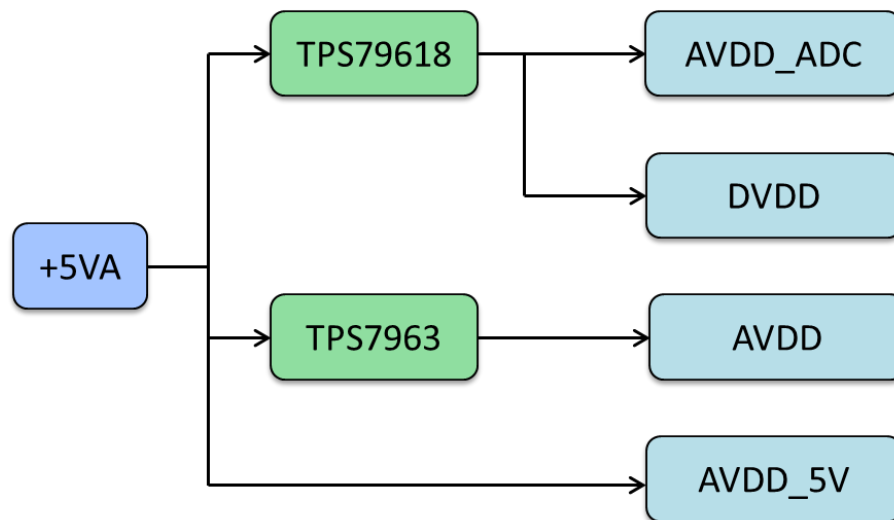


Figura 3.14. Diagrama de bloques de la fuente CD-CD.

El diseño esquemático de los reguladores se presenta en la Figura 3.15. Los convertidores TPS79618 y TPS7963 de la marca Texas Instruments proporcionan una tensión de salida de 1.8 V y 3.3 V respectivamente. Los convertidos son de rápida respuesta, ultra bajo ruido y respuesta lineal [46], convirtiéndolos en elementos adecuados para este proyecto.

## CAPÍTULO 3: DESARROLLO

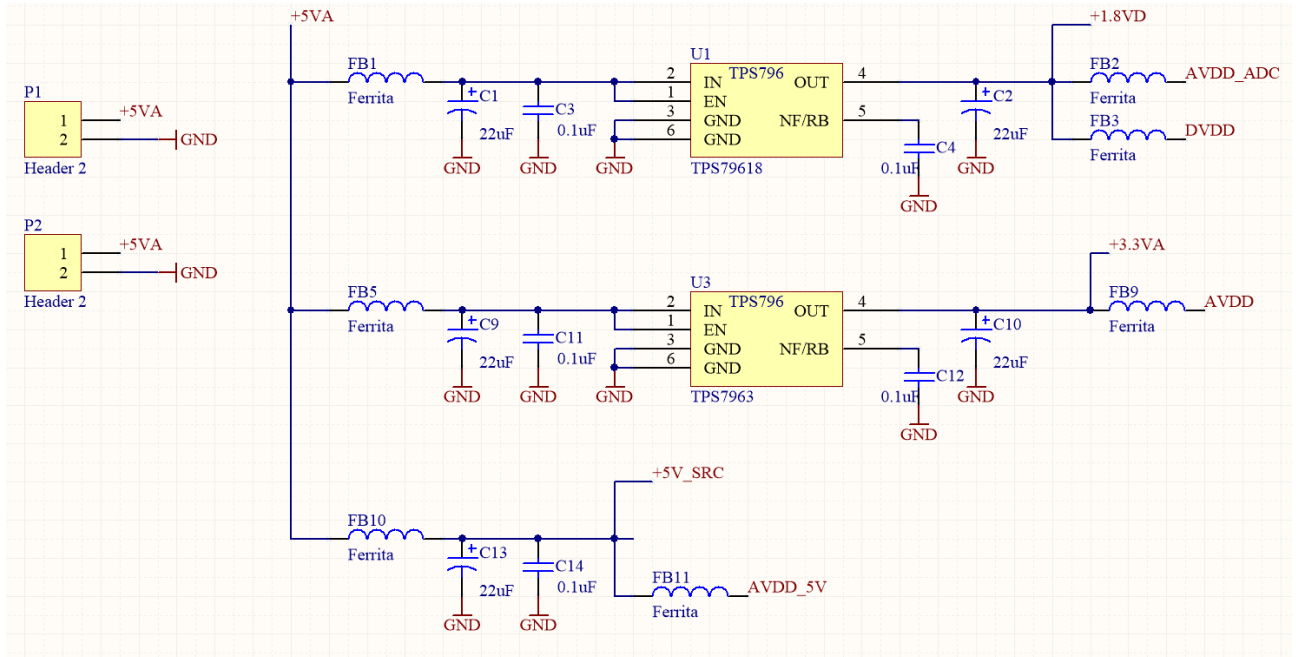


Figura 3.15. Esquemático de la fuente CD-CD.

### 3.3.3. Impedancia en pistas diferenciales

La impedancia característica que se usa normalmente en tarjetas PCB oscila entre los  $50 \Omega$  y  $70 \Omega$ . Este intervalo de impedancia característica se usa a menudo porque los valores más bajos de impedancia causan interferencias excesivas entre las líneas de señal cercanas. Una impedancia más alta proporciona valores de interferencia más bajos para una amplitud de señal dada, pero produce circuitos con mayor susceptibilidad a interferencias electromagnéticas, EMI (por sus siglas en inglés de *Electromagnetic Interference*), y mayores emisiones de radiación EMI. Para pistas diferenciales como el LVDS es recomendable usar impedancias en el intervalo de  $100 \Omega$  a  $125 \Omega$  [47].

Siguiendo la recomendación de [47], se eligió una impedancia para las pistas diferenciales de  $100 \Omega$  con un diseño en la superficie de la PCB (*microstrip*). Las ecuaciones 7 y 8, en conjunto de la Figura 3.16, fueron usadas para el cálculo de las impedancias en los 10 pares de pistas diferenciales.

## CAPÍTULO 3: DESARROLLO

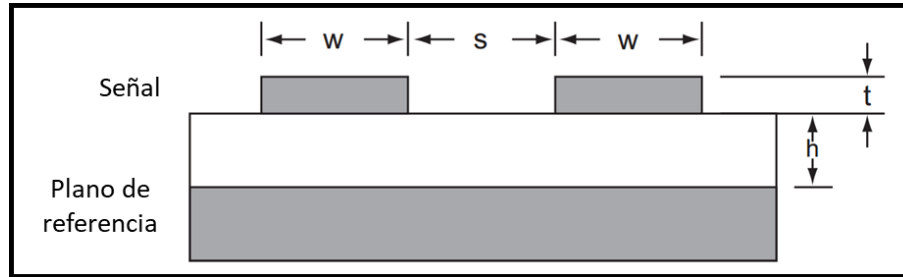


Figura 3.16. Diagrama microstrip para pistas diferenciales [47].

$$Z_0 = \frac{87}{\sqrt{\epsilon_r + 1,41}} \ln \left( \frac{5,98h}{0,8w + t} \right) \quad (7)$$

$$Z_{dif} = 2Z_0 \left( 1 - 0,48e^{\frac{-0,96s}{h}} \right) \quad (8)$$

Donde:

$Z_0$	= Impedancia en una pista ( $\Omega$ )
$Z_{dif}$	= Impedancia en pistas diferenciales ( $\Omega$ )
$w$	= Ancho de pistas diferenciales (mm)
$s$	= Separación entre pares diferenciales (mm)
$t$	= Espesor de pista (mm)
$h$	= Espesor del material dieléctrico (mm)
$\epsilon_r$	= Constante del material dieléctrico

### 3.4.4 Diseño de PCB

Como parte del desarrollo físico del prototipo electrónico, se continúa con el diseño de la PCB en el software de diseño Altium Designer. La PCB cuenta con 8 conectores SMA para la recepción de las 8 señales de ultrasonido. También se integran los diferentes convertidores de tensión necesarios para la correcta alimentación del AFE.

En total se realizaron 6 capas en la PCB: 3 capas de señal, 2 planos de tierra y 1 plano de alimentación. La Figura 3.17 muestra cada una de las capas.

Las pistas de los 10 pares diferenciales que se encuentran en la salida del ADC deben de ser igualadas en términos de longitud. Con ayuda de herramientas del software de diseño se igualaron las longitudes con una tolerancia de  $\pm 2$  mm. El acabo final de estas pistas se puede apreciar en la Figura 3.18.

## CAPÍTULO 3: DESARROLLO

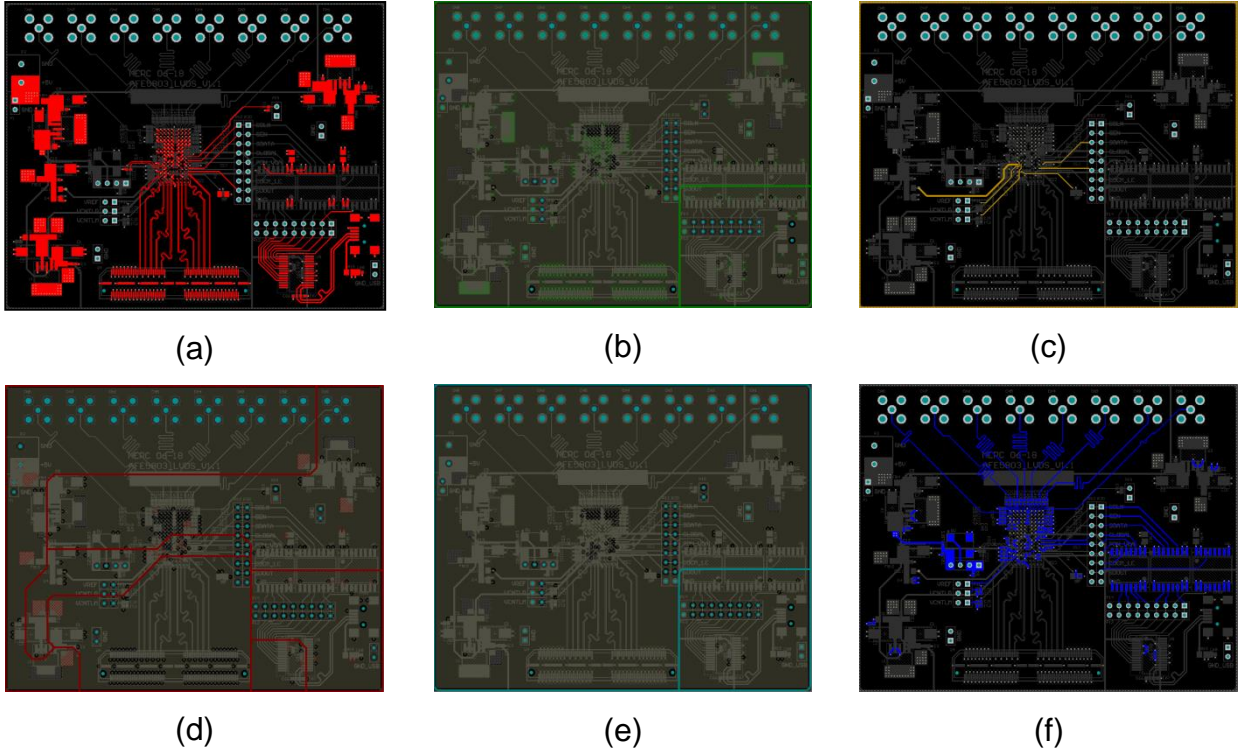


Figura 3.17. Diseño PCB del prototipo electrónico. a) capa superior, b) plano de tierra, c) capa interna de señales, d) plano de alimentación eléctrica, e) plano de tierra, f) capa inferior.

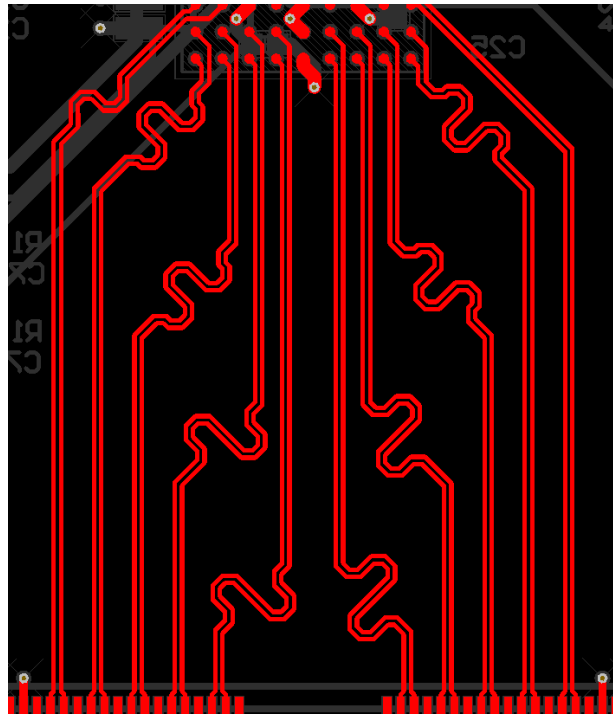


Figura 3.18. Diseño de las 10 pistas diferenciales.



## CAPÍTULO 3: DESARROLLO

Vale la pena comentar que la PCB mide 103 x 83 mm, la Figura 3.19 muestra una foto de la PCB física. Esta PCB debe de ser capaz de conectarse con el FPGA sin generar anomalías por diferencia de impedancias o de longitudes, se usó un conector para altas velocidades modelo QTH-06-01-L-D-A de la marca Samtec, Figura 3.20, el cual permite una transferencia de información de hasta 16 Gbps [48].

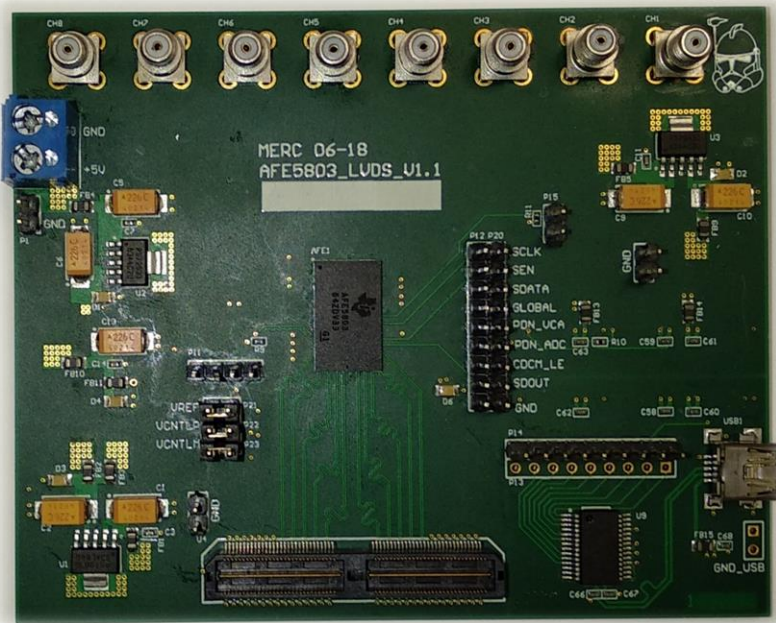


Figura 3.19. Foto de la PCB prototipo.

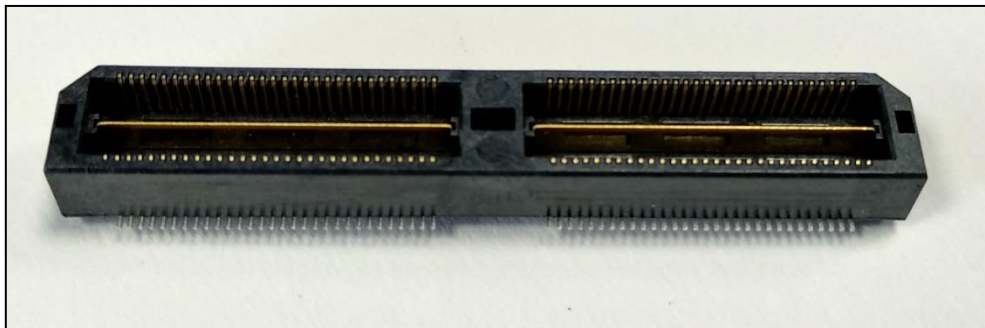


Figura 3.20. Conector para altas frecuencias.

### 3.4. CIRCUITO PULSADOR

Uno de los objetivos específicos de esta tesis es el crear una arquitectura de sistema de ultrasonido que permita la activación de 8 canales de forma simultánea, por lo que el

## CAPÍTULO 3: DESARROLLO

---

pulsador (MAX14808) que ya se trabajó en la arquitectura actual usada en CIDESI es el mismo que se usó para este proyecto.

El principal componente del circuito pulsador es el circuito MAX14808 creado por la empresa Maxim Integrated. Es un dispositivo que genera pulsos de alto voltaje (HV) bipolares de hasta  $\pm 105$  V a altas frecuencia, mediante una combinación en sus entradas lógicas de control. Ideal para la excitación de transductores piezoeléctricos en sistemas de ultrasonido. Cuenta con 8 canales que tienen incorporados diodos de protección contra sobretensión, también cuenta con TR/SWITCH instalados internamente en cada uno de sus 8 canales [49].

Este dispositivo cuenta con dos modos de funcionamiento: un modo de pulsador de 3 niveles de tensión por 8 canales de trabajo y otro modo de pulsador de 5 niveles de tensión por 4 canales de trabajo. En el modo de 3 niveles 8 canales, cada canal es controlado por dos entradas lógicas DINN\_X y DINP\_X, el retorno activo a cero dispone una corriente en el pulso de 1 A [49].

El dispositivo encargado de generar la tensión de -100 V necesarios para excitar los transductores de ultrasonido es el transformador de alta tensión FS02-12. Este transformador tiene las siguientes características principales: salida directamente proporcional a la entrada, tensión bipolar de salida de 0 a  $\pm 200$  VDC y corriente de salida máxima de 50 mA [50].

El circuito MAX14808 cuenta con una tarjeta de evaluación llamada MAX14808-EVKIT y es la usada en este proyecto de tesis. La Figura 3.21 muestra una gráfica de las combinaciones lógicas que se requieren en las entradas del pulsador para obtener a la salida el pulso para excitar el transductor ultrasónico. El estado lógico de los pines cuando no se realiza ningún pulso es alto, para iniciar el pulso cada par va a un estado lógico bajo durante 3  $\mu$ s, posteriormente inician la secuencia lógica descrita en la Figura 3.21. Para este proyecto se activan los pulsos de los 8 canales disponibles. La señal resultante de excitar un transductor de ultrasonido con el pulsador de HV se muestra en la Figura 3.22.

## CAPÍTULO 3: DESARROLLO

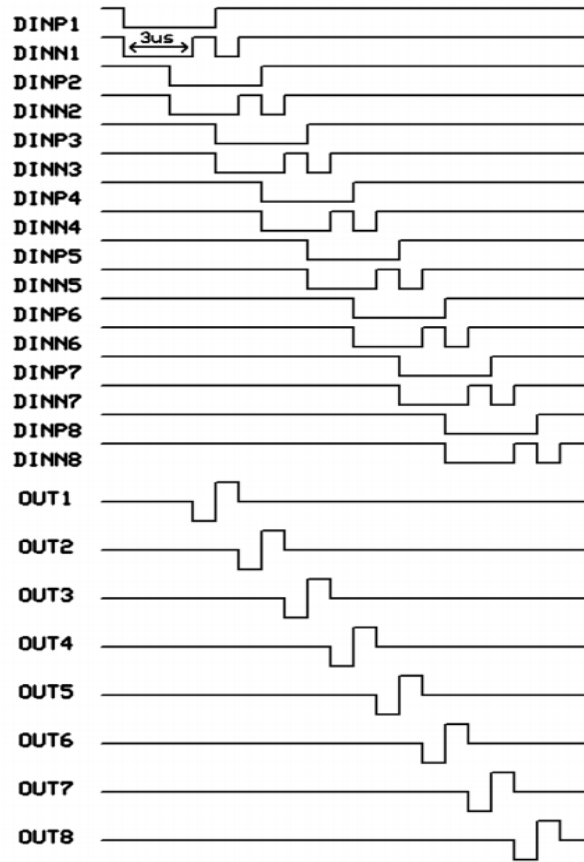


Figura 3.21. Estados lógicos para el modo 3 niveles de voltaje por 8 canales de trabajo [49].

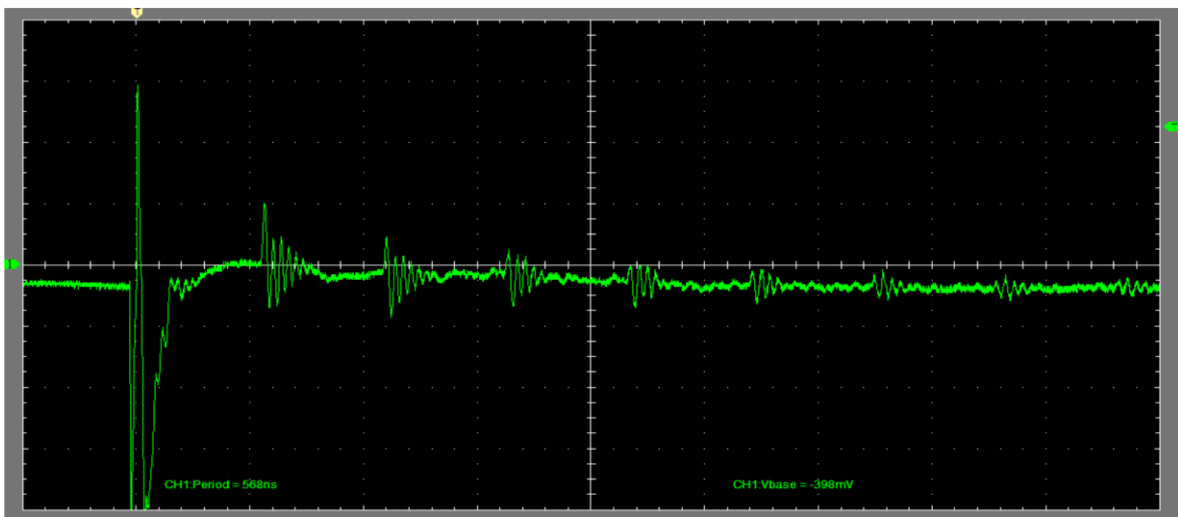


Figura 3.22. Señal de US generada por efecto de los pulsos HV del pulsador MAX14808 [7].

## 3.5. FSM CONTROLADOR DEL SISTEMA DE US

### 3.5.1. FSM recepción UART

Para dar inicio a la FSM principal se requiere recibir mediante comunicación UART un dato de inicio, por lo que se desarrolló una FSM para la recepción del protocolo UART. Existe un total de 11 estados, R0A identifica si existe un bit de inicio y lo recibe, los estados desde R0 hasta R7 almacenan los 8 bits de información del protocolo UART, R8 detecta el bit de parada y el último estado, R9, indica que se han recibido los 10 bits del protocolo UART, en caso de reiniciar la máquina de estados, el estado de inicio vuelve a ser R0A.

La Figura 3.23 muestra el comportamiento de la FSM. En el bloque FSM, Figura 3.24, se observan dos salidas DATA y DATA\_READY. La primera salida, DATA, entrega la palabra de 8 bits recibida mediante el protocolo UART, por otra parte, DATA\_READY indica la recepción exitosa de 1 byte.

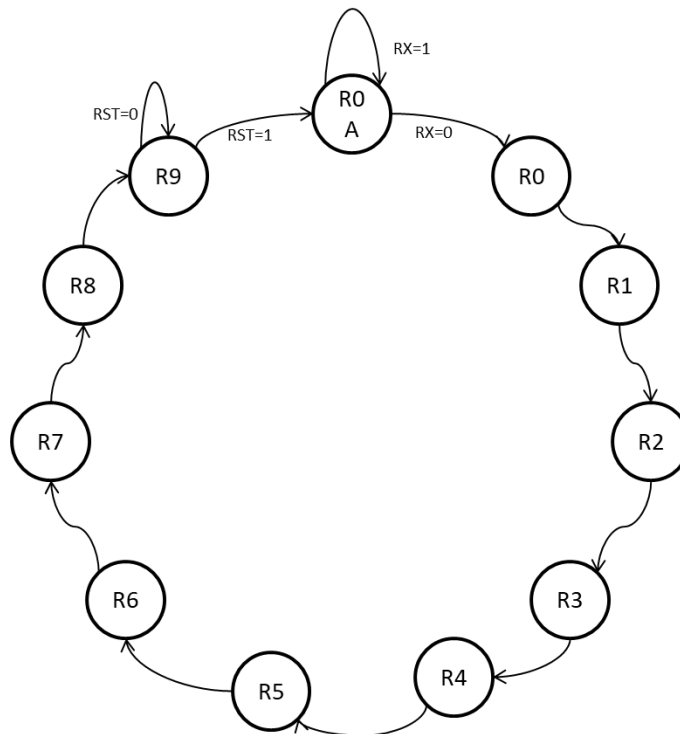


Figura 3.23. Máquina de estados para recepción UART.

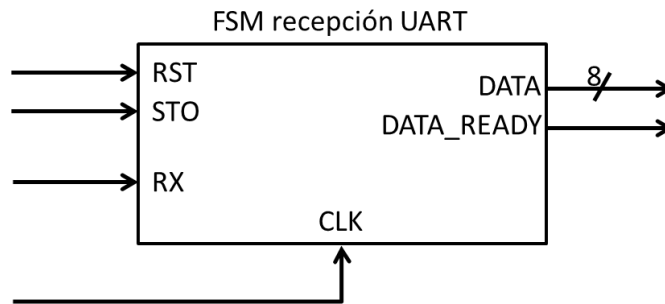


Figura 3.24. Bloque de la FSM para recepción UART.

### 3.5.2. FSM Reloj de muestreo

Como se ha comentado en secciones anteriores, el circuito AFE5803 requiere de un reloj considerado como la frecuencia de muestreo para el ADC interno. El reloj se genera mediante una FSM sencilla de 2 estados. Y0 manda el estado lógico alto y Y1 el estado lógico en bajo, generando una frecuencia de 50 MHz. La Figura 3.25 muestra el comportamiento de la FSM y la Figura 3.26 el bloque de la FSM. La activación de esta FSM no requiere de ninguna señal, y la única salida es el reloj a 50 MHz.

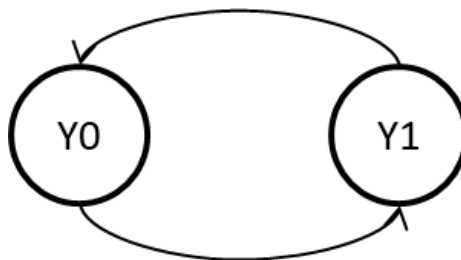


Figura 3.25. Máquina de estados para la generación del reloj de muestreo.

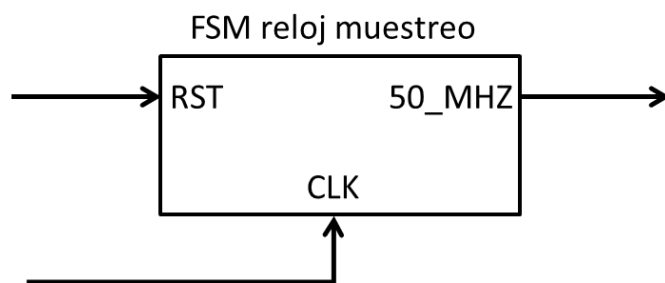


Figura 3.26. Bloque de la FSM para reloj de muestreo.

### 3.5.3. FSM configuración SPI

El circuito AFE5803 cuenta con registros que configuran distintos parámetros en las diferentes etapas del circuito como lo pueden ser: filtros, ganancias, resolución en bits del ADC, etc.

Para esta configuración se crearon dos FSM, la primera es para crear un tren de pulsos de 24 ciclos y el segundo para la transmisión de los bits por protocolo SPI.

La FSM del tren de pulsos cuenta con 4 estados. M0A y M0 generan 24 ciclos de reloj. M1 lleva un control de la cantidad de registros que se han configurado y por último M2, indica que se han configurado todos los registros del AFE. La Figura 3.27 muestra la FSM.

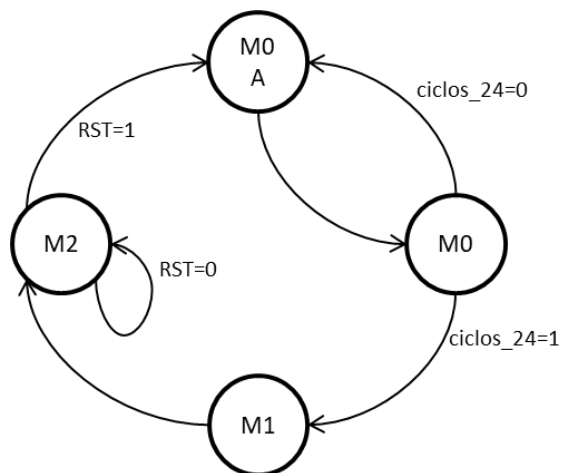


Figura 3.27. Máquina de estados para la generación del reloj del SPI.

Con la FSM anterior se genera el reloj necesario para una comunicación SPI, la siguiente FSM se encarga de transferir cada uno de los 24 bits que conforman la configuración de cada registro. Un total de 4 estados son los que se encuentran en esta FSM. D0A, D0 y D1 envían la dirección del registro, la configuración del byte alto y la configuración del byte bajo, de cada registro respectivamente, D2 indica el término de la transmisión de datos. La Figura 3.28 muestra la FSM.

Como una integración las FSM para generar el reloj del SPI y la transmisión de información por SPI se tiene el siguiente bloque FSM, Figura 3.29.

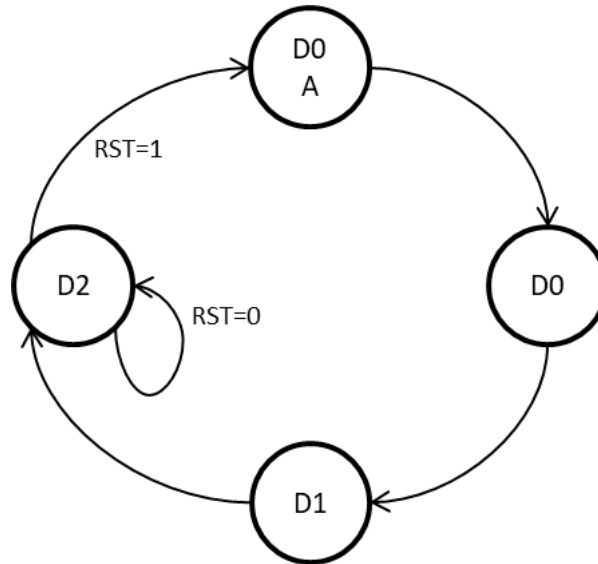


Figura 3.28. Máquina de estados para la transmisión de datos por SPI.

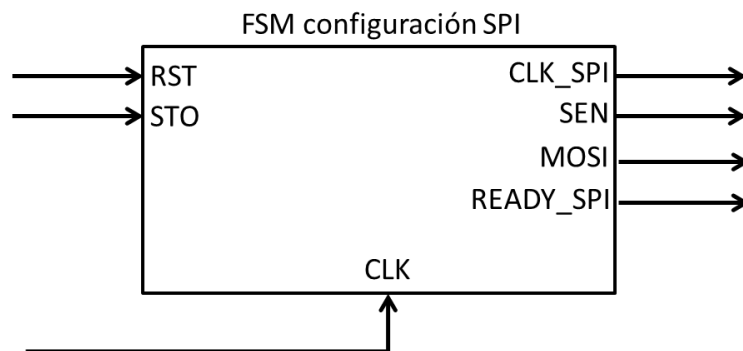


Figura 3.29. Bloque de la FSM para la configuración SPI.

### 3.5.4. FSM combinaciones Pulsador

El FPGA es el encargado de enviar la secuencia lógica al circuito MAX14808 (véase sección 3.4), esta secuencia es generada por una FSM de 6 estados, Figura 3.30. El estado P0A manda todas las señales en alto. P0 mantiene cada par en un estado lógico bajo durante 3  $\mu$ s, posteriormente P1 cambia el estado lógico a alto de todos los pares positivos (DINP\_X) por un tiempo de 100 ns. P2 mantiene en bajo los pares negativos (DINN\_X) y en alto los pares positivos (DINP\_X) durante 100 ns, finalmente P3 regresa

## CAPÍTULO 3: DESARROLLO

a todos los pines a su estado normal, alto. P4 indica que se ha realizado toda la secuencia lógica.

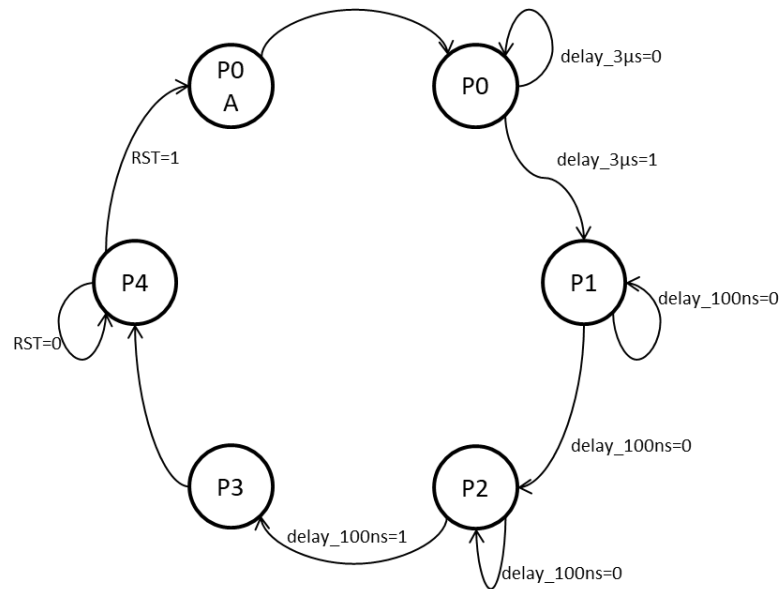


Figura 3.30. Máquina de estados para crear las combinaciones del pulsador.

La Figura 3.31 muestra el bloque de la FSM, se puede percibir que cuenta con 16 salidas (8 pares) y una señal llamada READY\_PULSADOR el cual indica que se ha realizado la secuencia lógica para la activación del pulsador.

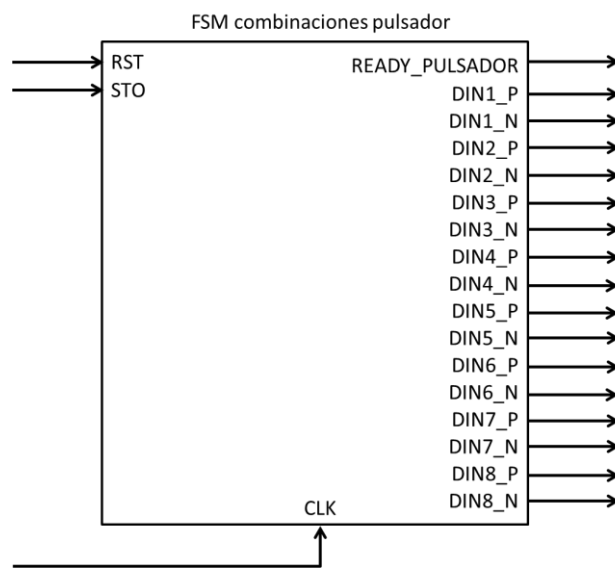


Figura 3.31. Bloque de la FSM para combinaciones pulsador.



## CAPÍTULO 3: DESARROLLO

### 3.6. CONTROLADOR DE LA ARQUITECTURA DE US

Existe una FSM principal que sincroniza y organiza las siguientes FSM:

- FSM recepción de interfaz LVDS (véase sección 3.2.4)
- FSM envío UART (véase sección 3.2.5)
- FSM recepción UART (véase sección 3.5.1)
- FSM configuración SPI (véase sección 3.5.3)
- FSM combinaciones Pulsador (véase sección 3.5.4)

El controlador de la arquitectura de ultrasonido se muestra en la Figura 3.32. Cabe mencionar que la FSM reloj muestreo (véase sección 3.6.2), no es controlada por la FSM principal.

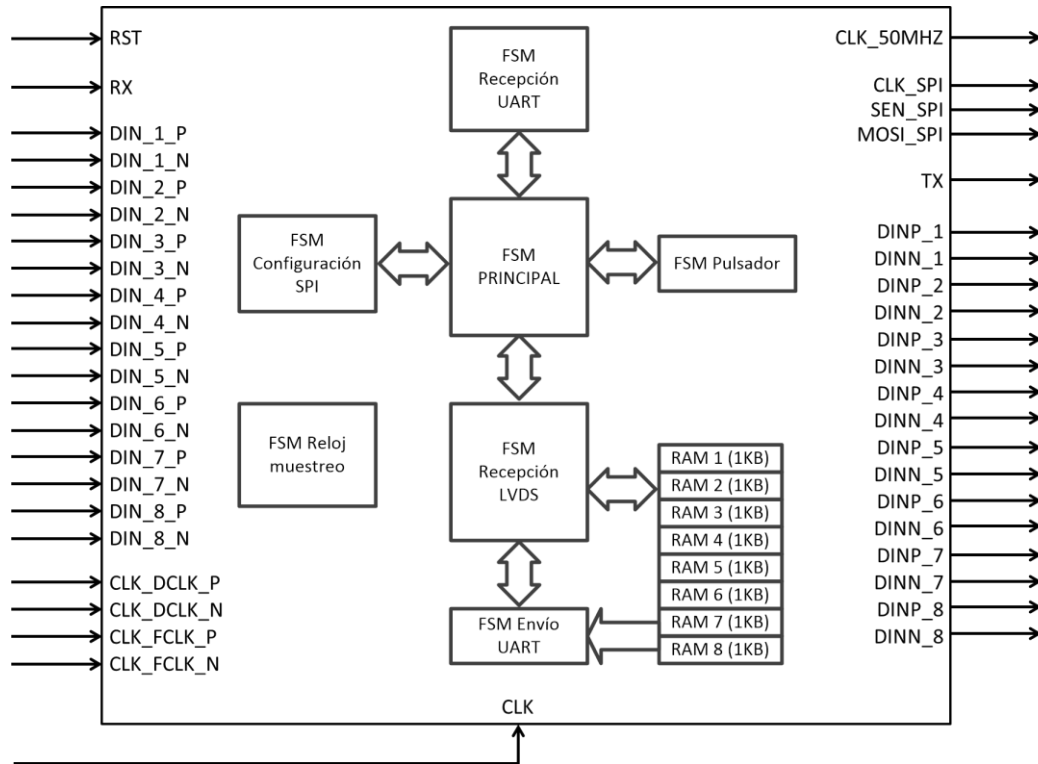


Figura 3.32. Bloque de la FSM principal.

## 4. RESULTADOS

En este capítulo se muestra la validación de la arquitectura electrónica para un sistema de ultrasonido con una interfaz de comunicación LVDS, obtenida mediante la etapa ADC que se encuentra en el circuito AFE5803. Primero se comprueba el funcionamiento de la arquitectura interna del FPGA para la recepción de señales LVDS. Posteriormente se realiza una validación del funcionamiento de la tarjeta electrónica. Se realizan pruebas de medición de espesores, bajo condiciones térmicas para su validación con la norma NRF-060-PEMEX-2012. Finalmente se realiza una comparación del total de ruido inferido en el sistema entre la arquitectura del sistema de ultrasonido actual y la propuesta.

### 4.1. VALIDACIÓN DE LA ARQUITECTURA PARA LA RECEPCIÓN DE INTERFAZ LVDS Y PROTOTIPO ELECTRÓNICO EXPERIMENTAL

#### 4.1.1. Simulación de la arquitectura en FPGA

La validación de la arquitectura en FPGA para la recepción de interfaz LVDS se realizó, primeramente, bajo una simulación en VHDL, en la Figura 4.1 se presentan las principales señales involucradas en el proceso. Cada una de las señales se describe en la Tabla 4.1, así como también se describe la frecuencia de trabajo de cada una de ellas.

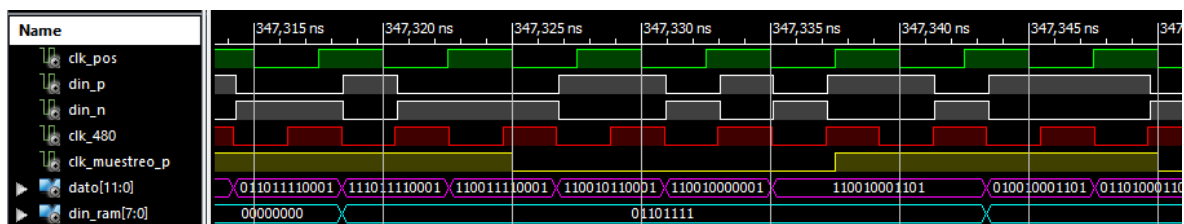


Figura 4.1. Simulación en VHDL para la recepción de interfaz LVDS.

## CAPÍTULO 4: RESULTADOS

Tabla 4.1. Descripción de las señales simuladas.

Color de la señal	Nombre	Frecuencia	Descripción
Verde	clk_pos	200 MHz	Frecuencia de trabajo del FPGA
Blanco	din_p/din_n	480 MHz (cada cambio de flanco)	Cada bit de información tiene una duración de 2.083 ns
Rojo	clk_480	480 MHz (cada cambio de flanco)	Bit CLK, esta señal de reloj es la que permite validar los datos de la señal LVDS
Amarillo	clk_muestreo_p	40 MHz	Frecuencia de muestreo del ADC para la conversión de la señal analógica
Rosa	dato (12 bits)	240 MHz	Registro de 12 bits, esta señal cambia cada 240 MHz de acuerdo con la salida del bloque IDDR
Azul	din_ram (8 bits)	40 MHz	Ingreso de nuevo dato de 8 bits en el bloque RAM

### 4.1.2. Transmisión LVDS en prototipo experimental

Por medio de la configuración de registros, el circuito AFE5803 permite la generación de señales ensayo en las salidas LVDS [39]. Estas señales remplazan la salida normal del ADC permitiendo la validación y funcionamiento del mismo [39]. La señal rampa fue la usada para la validación del prototipo, la salida digital de cada uno de los canales incrementa desde 0 hasta la escala completa 2047, con cambios de 1 unidad cada ciclo del reloj de muestreo. Cuando la rampa alcanza el punto máximo, regresa a 0 e incrementa nuevamente. Los relojes  $D_{CLK}$  y  $F_{CLK}$  se encuentran a 300 MHz y 50 MHz respectivamente.

Por medio del osciloscopio InfiniiVision modelo MSO-X 4154A de la marca KEYSIGHT fue posible observar los relojes que entrega el circuito AFE5803, los cuales viajan a través de las pistas diferenciales. Los relojes son de 600 MHz (considerando el cambio en cada flanco) y 50 MHz, y son ilustrados por la Figura 4.2 y Figura 4.3 respectivamente.

## CAPÍTULO 4: RESULTADOS

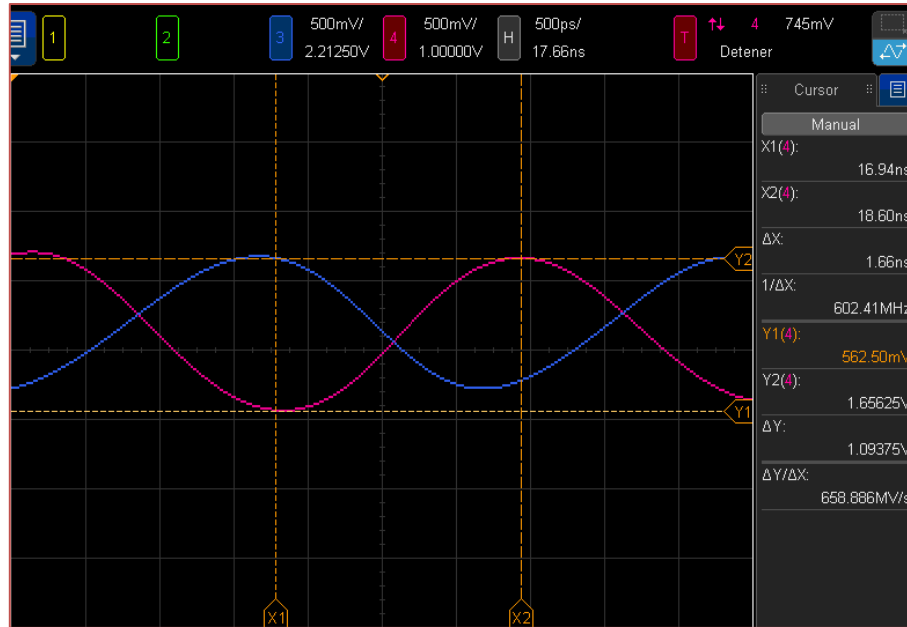


Figura 4.2. Reloj diferencial a 600 MHz.

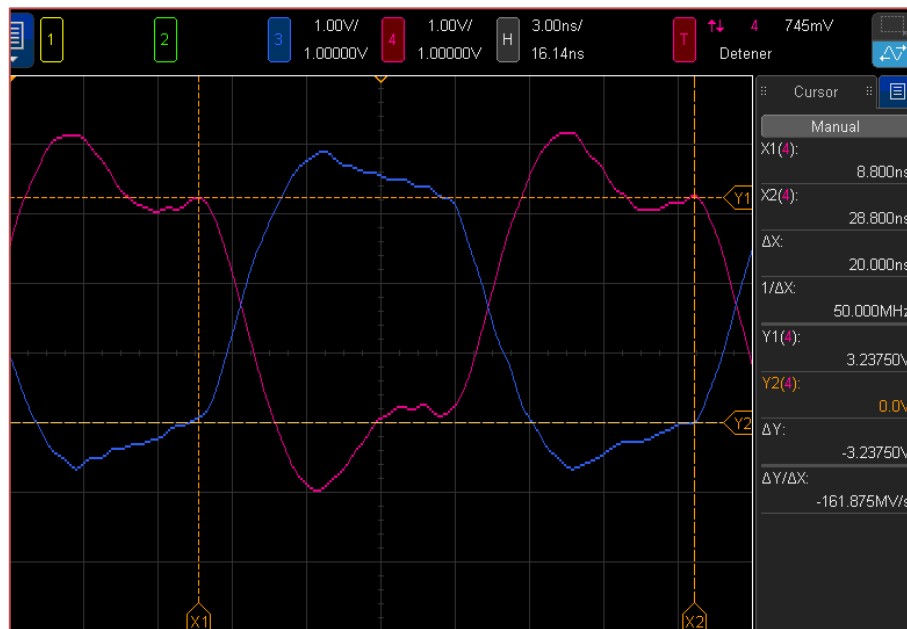


Figura 4.3. Reloj diferencial a 50 MHz.

Ambos relojes se encuentran sincronizados con respecto a su par diferencial, sin presentar algún tipo de problema de skew (véase capítulo 3).

## CAPÍTULO 4: RESULTADOS

### 4.1.3. Interfaz LabVIEW

Para validar el buen funcionamiento de la transmisión de información mediante la interfaz de comunicación LVDS, se realizó un programa en el software LabVIEW. La interfaz en LabVIEW permite visualizar el contenido de los bloques RAM existentes en el FPGA en un total de 8 gráficas con 1024 bytes y una resolución de 8 bits. Este programa es el encargado de inicializar la FSM principal, enviando por protocolo UART el carácter "a". La Figura 4.4 muestra la interfaz desarrollada en LabVIEW.



Figura 4.4. Interfaz visual diseñada en LabVIEW.

Haciendo uso de la señal de ensayo: rampa, se realizó una prueba para verificar la recepción de información de los 8 canales del circuito AFE. El resultado es mostrado en la Figura 4.5. Como se puede observar, las señales son recibidas por el FPGA desde el circuito AFE mediante la interfaz LVDS y mostradas en las gráficas. De esta forma, el funcionamiento de la arquitectura interna del FPGA para la recepción de interfaz LVDS que se explicó y calculó en el capítulo 3 es validado.

## CAPÍTULO 4: RESULTADOS

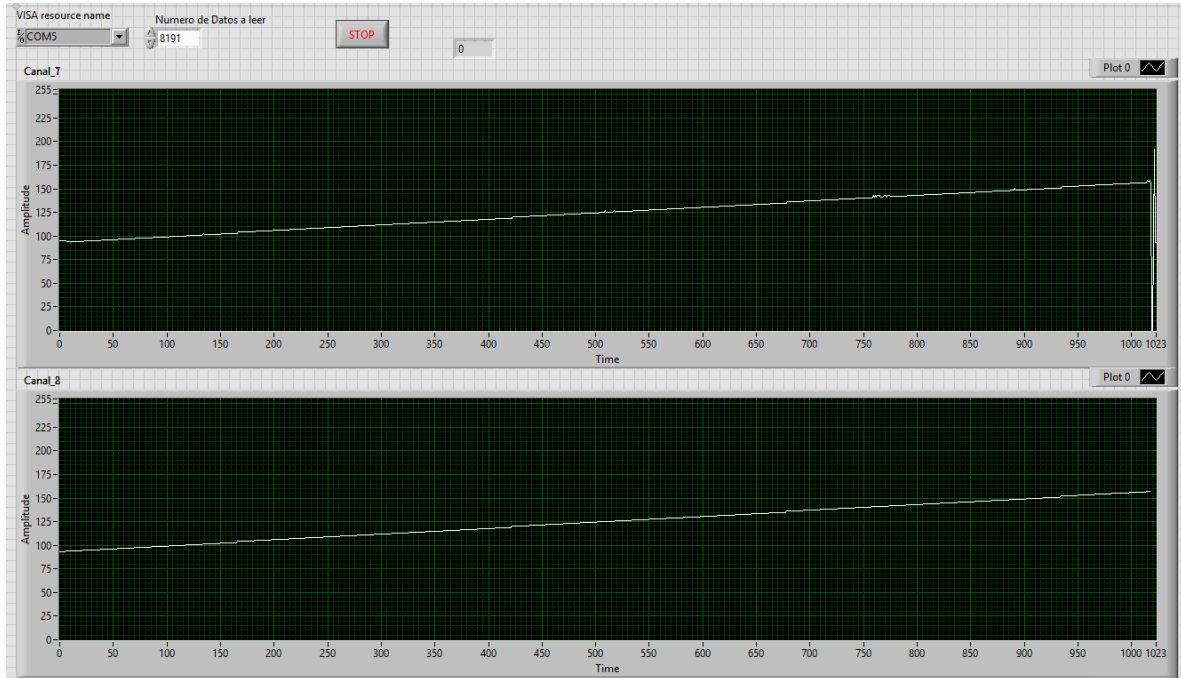


Figura 4.5. Señal rampa generada por el circuito AFE5803 y adquirida en FPGA.

### 4.2. VALIDACIÓN DE LA ARQUITECTURA ELECTRÓNICA PROPUESTA

Una vez verificado el correcto funcionamiento de la arquitectura para recepción de interfaz LVDS, el siguiente paso es verificar el funcionamiento del controlador de la arquitectura del sistema de ultrasonido propuesta. Para esto, es necesaria la integración de todos los bloques del sistema: transductor (5 MHz), circuito pulsador, AFE y FPGA, con el objetivo de poder realizar mediciones en un bloque patrón escalonado. La Figura 4.6 muestra una foto de la integración todos los bloques para la validación del sistema completo.

#### 4.2.1. Prueba de medición de espesores

Esta prueba tiene como objetivo verificar que el sistema tenga la capacidad de recibir, acondicionar y digitalizar las señales de ultrasonido para, posteriormente, conocer el tiempo de vuelo entre los ecos y saber cuál es el espesor del espécimen que se está midiendo. La prueba consiste en excitar 8 transductores de ultrasonido, recibir las señales analógicas, filtrarlas y digitalizarlas mediante el circuito AFE, posteriormente el

## CAPÍTULO 4: RESULTADOS

---

FPGA adquiere y almacena las señales en 8 bloques RAM internos, con una capacidad total de 8 KB de información.

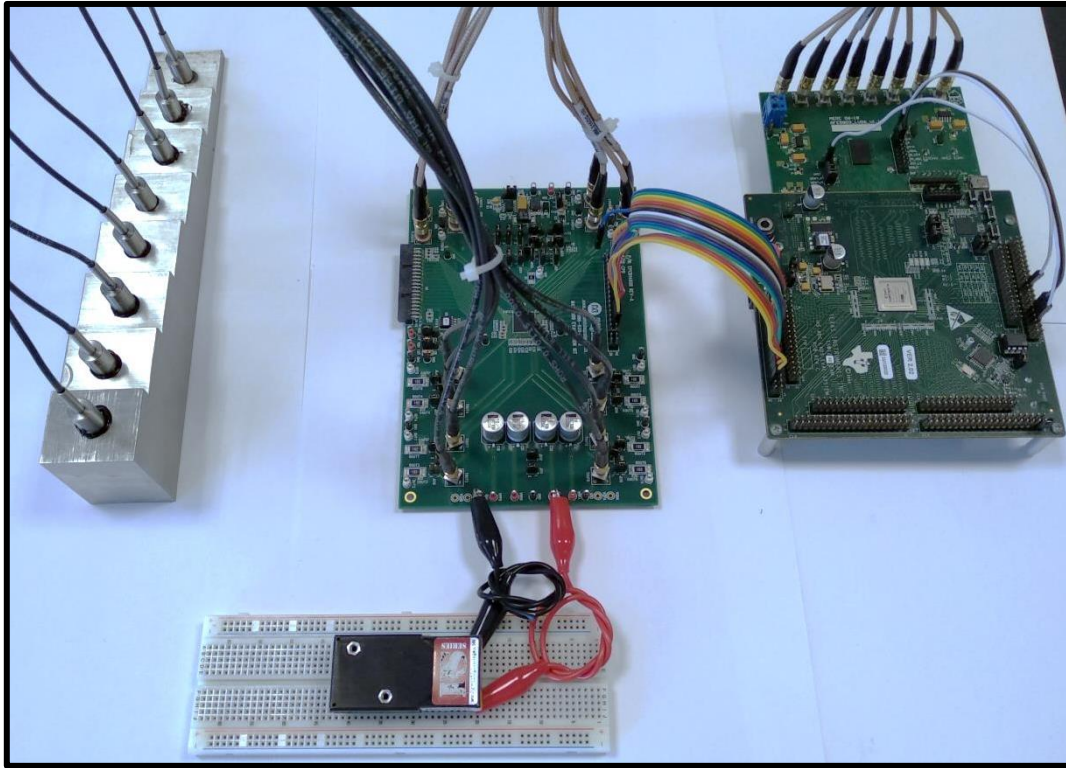


Figura 4.6. Fotografía de la integración de las etapas con conforman la arquitectura del sistema de ultrasonido propuesta.

La prueba se realizó al acoplar los transductores de ultrasonido a diferentes escalones del bloque patrón, el cual está constituido de acero inoxidable. Los escalones que se inspeccionaron tienen los siguientes espesores: 6.35 mm (0.25 in), 12.7 mm (0.5 in), 19.05 mm (0.75 in) y 25.4 mm (1 in). La Figura 4.7 muestra una foto del bloque patrón escalonado.

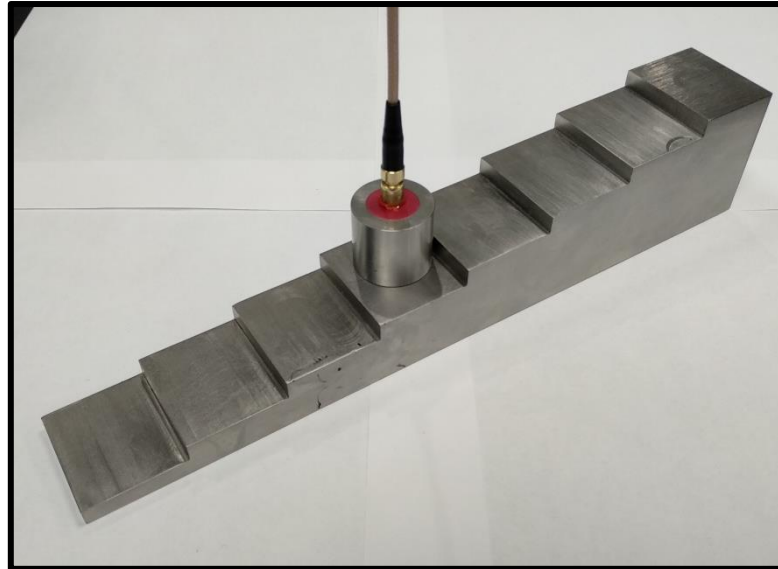


Figura 4.7. Ejemplo de medición con transductor de 2.25 MHz.

Las señales respuesta de los transductores son graficadas en el programa desarrollado en LabVIEW, en el eje vertical se muestra la amplitud y en el eje horizontal el número de muestra. El programa determina los máximos de los primeros 2 ecos y la posición de las muestras a las que pertenecen. Conociendo la distancia que existe entre los 2 máximos y conociendo la frecuencia de muestreo, es posible calcular el tiempo de vuelo con la ecuación 9:

$$t = \frac{P_{máx2} - P_{máx1}}{F_{muestreo}} \quad (9)$$

Donde:

$t$	= Tiempo de vuelo (s)
$P_{máx2}$	= Posición del máximo del segundo eco
$P_{máx1}$	= Posición del máximo del primer eco
$F_{muestreo}$	= Frecuencia de muestreo (Hz)

El conjunto de la Figura 4.8, Figura 4.9, Figura 4.10 y Figura 4.11, muestra las gráficas respuesta ante los 4 escalones medidos con la arquitectura del sistema de ultrasonido propuesta.



## CAPÍTULO 4: RESULTADOS

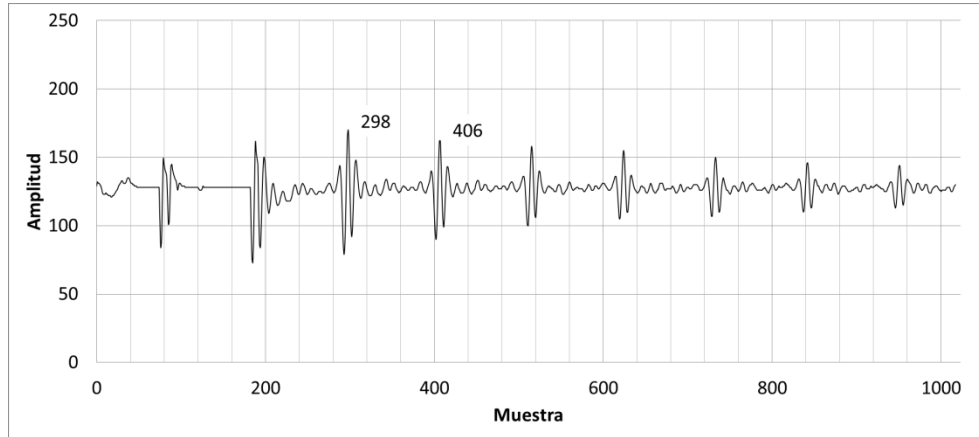


Figura 4.8. Señal de ultrasonido del escalón 1 (espesor de 6.35 mm).

Para determinar el espesor (E) del escalón 1 del bloque patrón, se aplican las ecuaciones 9 y 2 respectivamente.

$$t = \frac{406 - 298}{50\,000\,000 \text{ Hz}} = 0.000\,002\,160 \text{ s}$$

$$E = \frac{ct}{2} = \frac{(5\,800 \text{ m/s})(0.000\,002\,160 \text{ s})}{2} = 6.264 \text{ mm}$$

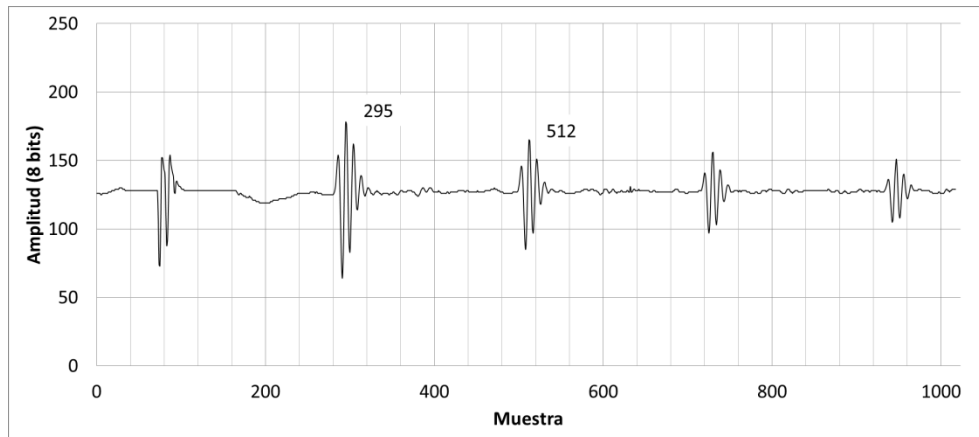


Figura 4.9. Señal de ultrasonido del escalón 2 (espesor de 12.70 mm).

Para determinar el espesor (E) del escalón 2 del bloque patrón, se aplican las ecuaciones 9 y 2 respectivamente.

$$t = \frac{512 - 295}{50\,000\,000 \text{ Hz}} = 0.000\,004\,340 \text{ s}$$

$$E = \frac{ct}{2} = \frac{(5\,800 \text{ m/s})(0.000\,004\,340 \text{ s})}{2} = 12.586 \text{ mm}$$

## CAPÍTULO 4: RESULTADOS

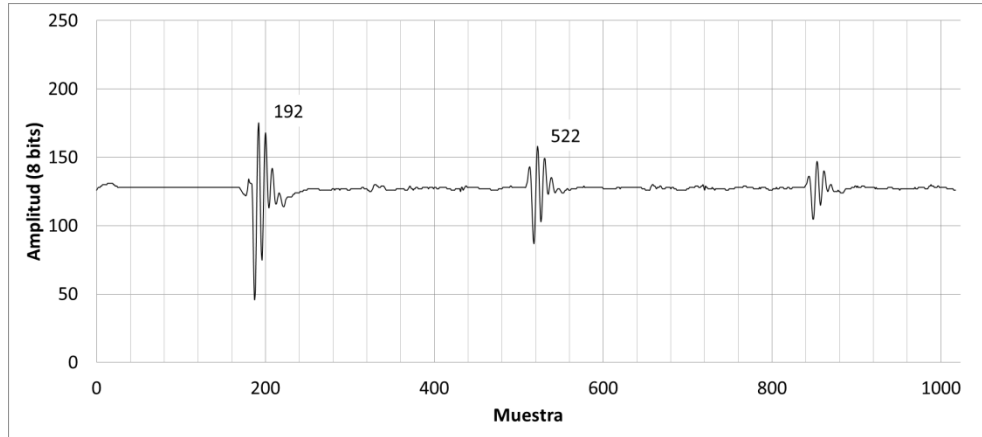


Figura 4.10. Señal de ultrasonido del escalón 3 (espesor de 19.05 mm).

Para determinar el espesor (E) del escalón 3 del bloque patrón, se aplican las ecuaciones 9 y 2 respectivamente.

$$t = \frac{522 - 192}{50\,000\,000\text{ Hz}} = 0.000\,006\,600\text{ s}$$

$$E = \frac{ct}{2} = \frac{(5\,800\text{ m/s})(0.000\,006\,600\text{ s})}{2} = 19.140\text{ mm}$$

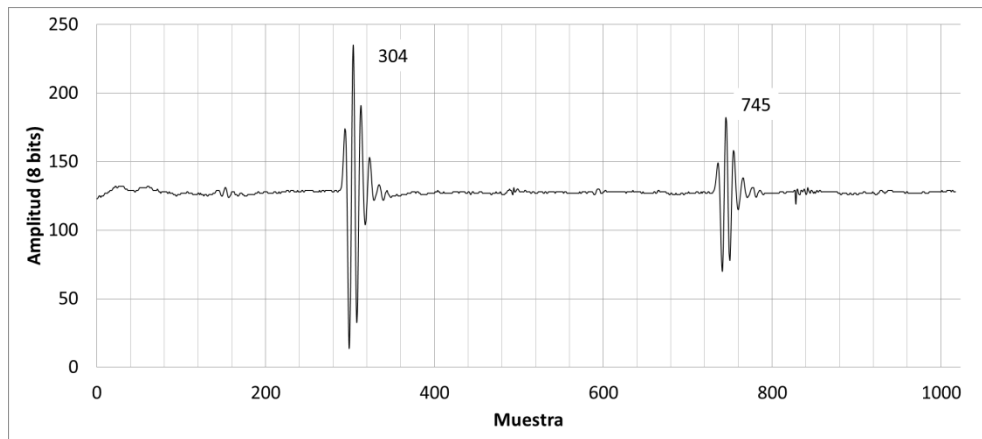


Figura 4.11. Señal de ultrasonido del escalón 4 (espesor de 25.40 mm).

Para determinar el espesor (E) del escalón 4 del bloque patrón, se aplican las ecuaciones 9 y 2 respectivamente.

$$t = \frac{745 - 304}{50\,000\,000\text{ Hz}} = 0.000\,008\,820\text{ s}$$

$$E = \frac{ct}{2} = \frac{(5\,800\text{ m/s})(0.000\,008\,820\text{ s})}{2} = 25.578\text{ mm}$$

### 4.3. ANÁLISIS DE ESPESORES

Los equipos de inspección instrumentados (PIG) son expuestos a temperaturas de hasta  $60^{\circ}\text{C}$ , por lo que es necesario asegurar la funcionalidad de cada uno de los componentes de estos equipos durante las pruebas de inspección [21]. Las siguientes pruebas se realizaron a una temperatura de  $60^{\circ}\text{C} \pm 2^{\circ}$  aplicada al circuito AFE al igual que a las pistas diferenciales demostrando que todo el sistema sigue funcionando sin mostrar perturbaciones de ningún tipo. La Figura 4.12 muestra una prueba de la temperatura aplicada a la PCB.

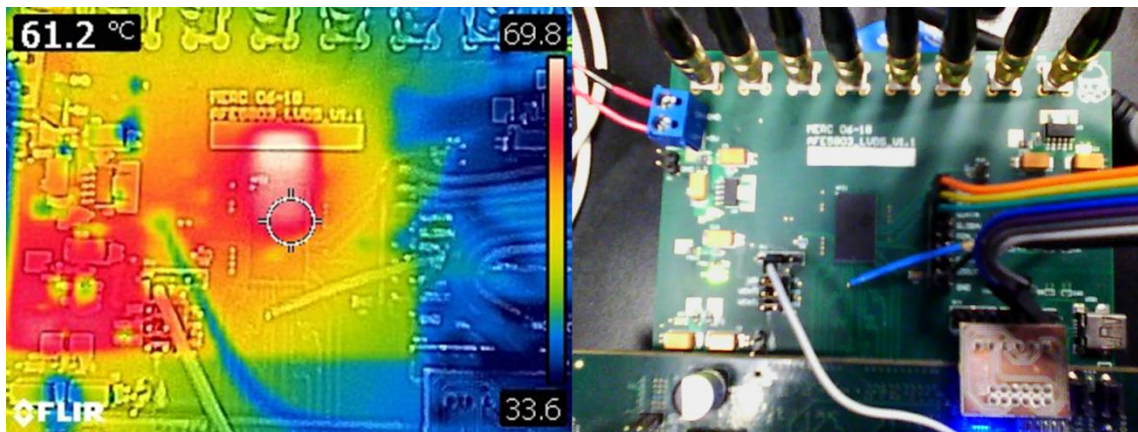


Figura 4.12. Medición de espesor aplicando una temperatura de  $61.2^{\circ}\text{C}$  al prototipo electrónico.

El objetivo de realizar el análisis a los espesores obtenidos es para validar que estos se encuentran dentro del margen de error estipulado en la norma NRF-060-PEMEX-2012, el cual indica que la medición puede tener un error de hasta  $\pm 0.5\text{ mm}$  ( $0.02\text{ in}$ ) para equipos de ultrasonido de haz recto [11]. Para este análisis se eligió de forma aleatoria un canal, del cual se tomaron 30 muestras de la medición de espesores en los 4 escalones del bloque patrón.

La Tabla 4.2 muestra los datos estadísticos obtenidos de las 30 muestras, la información se encuentra en mm.

## CAPÍTULO 4: RESULTADOS

Tabla 4.2. Análisis estadístico de los tiempos de vuelo y espesores obtenidos (mm).

Espesor del escalón	Media	Desviación Estándar	Moda	Mínimo	Máximo
6.35	6.308	0.024	6.322	6.264	6.322
12.7	12.586	0.000	12.586	12.586	12.586
19.05	19.172	0.029	19.198	19.140	19.198
25.4	25.599	0.028	25.578	25.578	25.636

El conjunto de la Figura 4.13, Figura 4.14, Figura 4.15 y Figura 4.16 muestra las gráficas donde se puede observar que las muestras obtenidas se encuentran dentro del margen de error, líneas rojas, que estipula la norma NRF-060-PEMEX-2012.

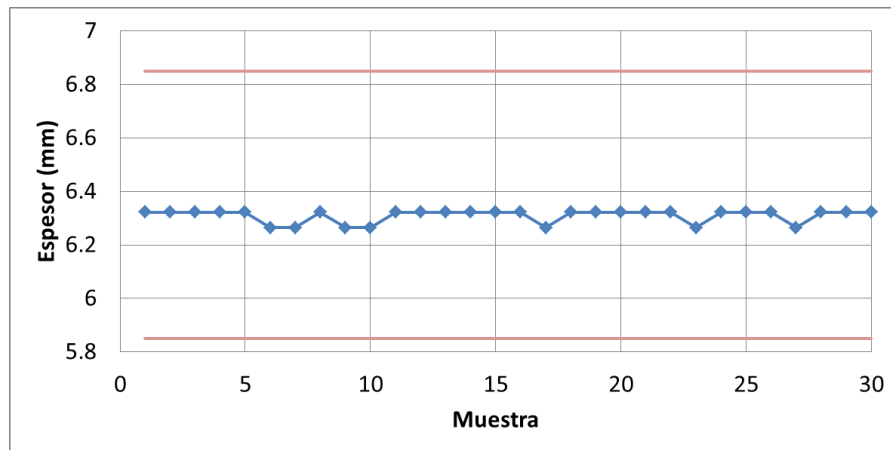


Figura 4.13. Gráfica de los datos del escalón 1 (6.35 mm).

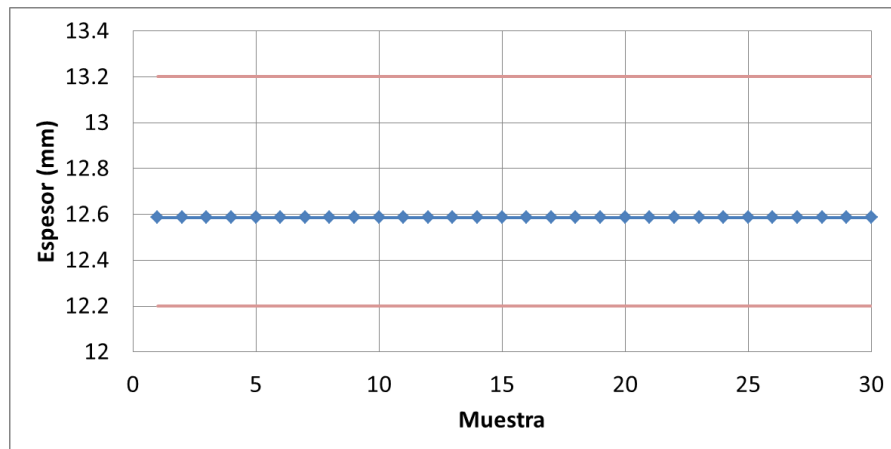


Figura 4.14. Gráfica de los datos del escalón 2 (12.70 mm).

## CAPÍTULO 4: RESULTADOS

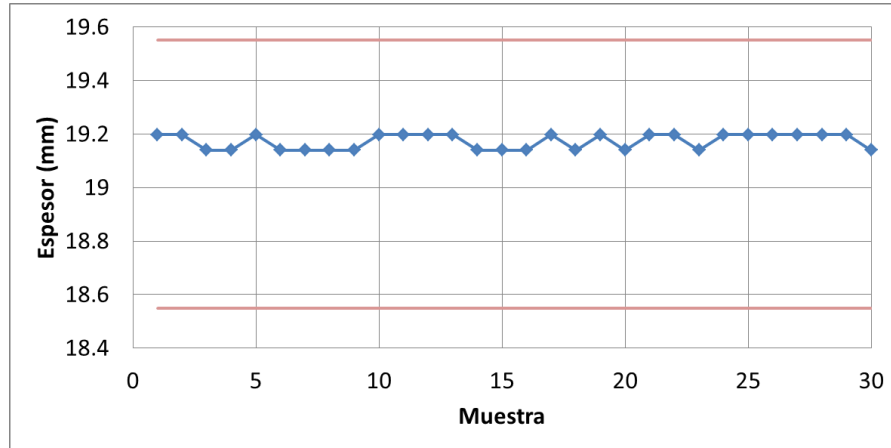


Figura 4.15. Gráfica de los datos del escalón 3 (19.05 mm).

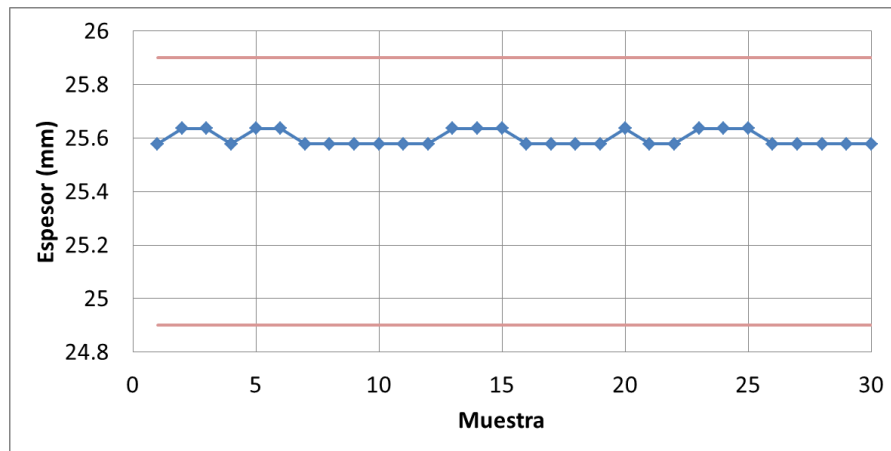


Figura 4.16. Gráfica de los datos del escalón 4 (25.40 mm).

### 4.4. COMPARATIVA DE RUIDO

Cada componente electrónico cuenta con un parámetro llamado *input referred noise*, el cual añade una cantidad determinada de ruido en relación a la frecuencia de la señal en la entrada y expresada en términos de  $\frac{nV}{\sqrt{Hz}}$ . El resultado es una señal con cierto grado de ruido en la salida del componente electrónico [51].

Los circuitos ADC presentan otra clase de ruido llamado *SNR* (por sus siglas en inglés de *signal-noise ratio*), este ruido se caracteriza por solo mostrar la relación que existe en la señal con ruido en la salida con respecto a la señal original, la unidad de medida es el dBFS (por sus siglas en inglés de *decibel Full Scale*) [51].

## CAPÍTULO 4: RESULTADOS

En la Tabla 4.3 se muestra la comparativa del ruido aportado por cada uno de los componentes electrónicos en ambas arquitecturas.

Tabla 4.3. Comparación de ruidos en las arquitecturas de ultrasonido.

Arquitectura	Actual				Propuesta
Dispositivo	VCA2611	OPA842	ADS826	TOTAL	AFE5803
Ruido inferido	0.95	2.6	-	<b>2.76812211</b>	<b>0.95</b>
SNR	-	-	74	<b>74</b>	<b>77</b>

El SNR de la arquitectura actual tiene una relación de 74 dBFS que, en términos de magnitud, quiere decir que la señal es 5011.87 veces más grande que el ruido. Mientras que en la arquitectura propuesta es de 77 dBFS, por lo tanto, la señal es 7079.46 veces más grande que el ruido.

Como se puede observar en la Tabla 4.3 ambos parámetros de ruido son superiores en la arquitectura actual con respecto a la arquitectura propuesta. Esto también se puede observar en la Figura 4.17 y Figura 4.18 en las cuales se muestran una señal de ultrasonido aplicada en la medición del bloque patrón.

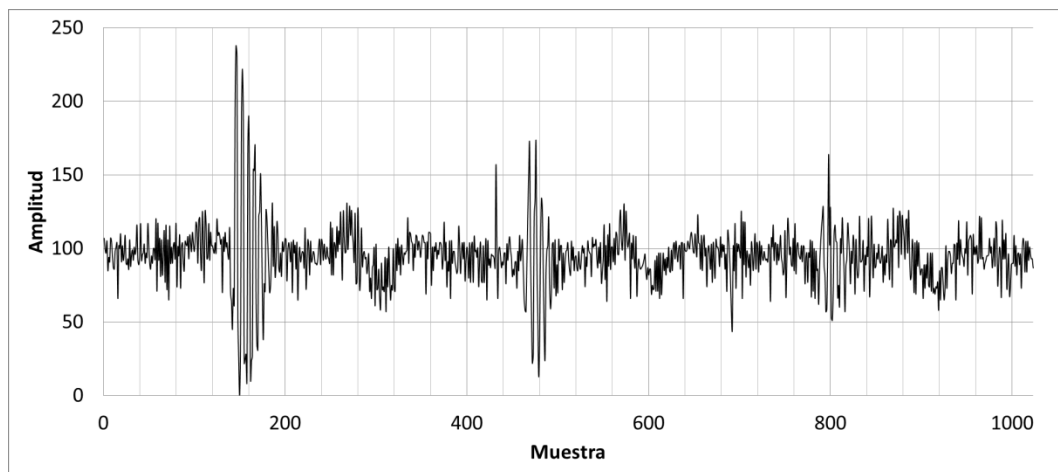


Figura 4.17. Medición con arquitectura actual en escalón 3 (19.05 mm).

## CAPÍTULO 4: RESULTADOS

---

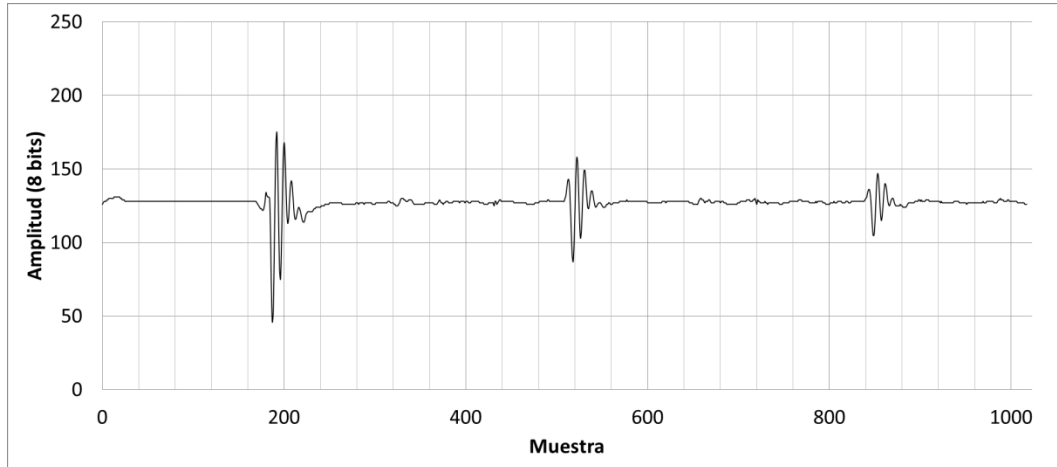


Figura 4.18. Medición con arquitectura propuesta en escalón 3 (19.05 mm).

### 5. CONCLUSIONES Y RECOMENDACIONES

#### 5.1. CONCLUSIONES

La búsqueda y selección de componentes electrónicos para realizar la etapa AFE del sistema de ultrasonido fue de vital importancia, puesto que existen diversas características fundamentales, sin embargo, la arquitectura del sistema de US antecesora funcionó como base para seleccionar de manera adecuada los componentes electrónicos para la etapa AFE. La interfaz de comunicación se desarrolló de manera adecuada, permitiendo realizar una recepción basada en FPGA de señales LVDS.

Se realizaron pruebas bajo condiciones de laboratorio para validar las mediciones del prototipo, en las cuales se generan y adquieren señales de US que permitieron verificar que el prototipo cumple con las especificaciones estipuladas en la norma de Pemex, de los cuales podemos resaltar que la precisión del instrumento debe de ser de  $\pm 0.5$  mm (0.02 in). El prototipo realiza mediciones aceptables bajo la técnica de contacto directo con el espécimen a inspeccionar y los 8 canales son activados de manera simultánea sin ningún problema.

Tanto el equipo antecesor como el propuesto en esta tesis, presentan mediciones similares, por consiguiente ambas se encuentran dentro de los parámetros de confiabilidad que un equipo comercial. Sin embargo existe una gran diferencia en la calidad de la señal, específicamente en la relación señal ruido, siendo el prototipo propuesto el que presenta una señal más limpia.

Una de las ventajas que presenta este prototipo es que al disminuir la cantidad de componentes electrónicos (etapa AFE) es posible adaptar toda la electrónica en un espacio pequeño, como pudieran ser diablos instrumentados para ductos de 4 in de diámetro.



## CAPÍTULO 5: CONCLUSIONES Y RECOMENDACIONES

---

En conclusión, se pudo diseñar y desarrollar un sistema electrónico para generar y adquirir señales de ultrasonido con una interfaz de comunicación LVDS y recepción basada en FPGA, usando como referencia la norma NRF-060-PEMEX-2012.

### **5.2. RECOMENDACIONES PARA TRABAJO FUTURO**

Con el desarrollo de este proyecto se encontraron áreas de oportunidad que pueden ser cubiertas o resueltas en trabajos futuros, a continuación se enlistan estas áreas de oportunidad:

- Realizar pruebas de multiplexado con los 80 transductores de US necesarios para cubrir el diámetro de 10 in.
- Realizar una tarjeta electrónica que integre todas las etapas del sistema de US y que esta se adapte al espacio físico del PIG en el que serán implementadas.
- Condicionar en el FPGA la velocidad de muestreo, para que si se usa un transductor de US a 2.25 MHz no se realicen sobremuestreos.
- Realizar pruebas en condiciones no controladas como lo puede ser un banco de prueba.

### BIBLIOGRAFÍA

- [1] M. Coramik y Y. Ege, «Discontinuity inspection in pipelines: A comparison review,» *Measurement*, nº 111, pp. 539-373, 2017.
- [2] PIPELINE AND HAZARDOUS MATERIALS SAFETY ADMINISTRATION, «Pipeline and Hazardous Materials Safety Administration,» [En línea]. Available: <https://www.phmsa.dot.gov/data-and-statistics/pipeline/pipeline-incident-20-year-trends>. [Último acceso: 20 Octubre 2018].
- [3] M. Xie y Z. Tian, «A review on pipeline integrity management utilizing in-line inspection data,» *Engineering Failure Analysis*, nº 92, pp. 222-239, 2018.
- [4] J. A. Soto Cajiga, «Técnica de reducción de señales de ultrasonido en tiempo real implementada en hardware,» *CIDESI TESIS*, 2012.
- [5] A. Ahmadian Mazraeh y F. Ismail Alnaimi, «Multi-Diameter Pipeline Inspection Gauge for Lang Distance Industrial Application,» *International Journal of Scientific & Engineering Research*, vol. 6, nº 2, pp. 646-651, 2015.
- [6] C. Rubio González y J. A. Monterrubio López, «DISEÑO MECÁNICO DE DIABLO ULTRASÓNICO PARA LA MEDICIÓN DE ESPEORES,» *MEMORIAS DEL XVI CONGRESO INTERNACIONAL ANUAL DE LA SOMIM*, 2010.
- [7] A. Gómez Hernández, *Desarrollo de un sistema electrónico para la generación y adquisición de señales de ultrasonido para el Diablo Instrumentado*, Querétaro: CIDESI, 2014.
- [8] J. Okamoto, J. Adamowski, M. Tsuzuki, F. Buiochi y C. Camerini, «Autonomous system for oil pipelines inspection,» *Mechatronics*, vol. 9, pp. 731-743, 1999.
- [9] H. Qi, X. Zhang, H. Chen y J. Ye, «Tracing and localization system for pipeline robot,» *Mechatronic*, nº 19, pp. 76-84, 2009.
- [10] A. Ahmadian, W. Khaksar, F. Ismail y K. Sahari, «Development of ultrasonic crack detection system on multi-diameter PIG robots,» *Procedia Computer Science*, nº 105, pp. 282-288, 2017.
- [11] COMITÉ DE NORMALIZACIÓN DE PETRÓLEOS MEXICANOS Y ORGANISMOS SUBSIDIARIOS, *NRF-060-PEMEX-2012*, 2012.
- [12] MICROCHIP, «Low-Charge Injection, 16-Channel, High-Voltage Analog Switch-HV2701,» 2016.
- [13] TEXAS INSTRUMENTS, *VCA2611, Dual variable-gain amplifier with low noise preamp*, 2004.

## BIBLIOGRAFÍA

---

- [14] TEXAS INSTRUMENTS, *OPA84 Operational amplifier*, 2002.
- [15] TEXAS INSTRUMENTS, *ADS823 Analog to digital converter*, 2002.
- [16] Traversi, *Design of LVDS driver and receiver in 28nm CMOS technology for associative memories*, Italia: IEEE, 2017.
- [17] Ayyagari, *Low power LVDS Transmitter Design and Analysis*, India: IEEE, 2014.
- [18] J. Sagrero Rivera, *Ultrasonido Industrial Nivel I*, Querétaro, 2016.
- [19] R. Echeverria, «Ultrasonido,» *UNIVERSIDAD NACIONAL DEL COMAHUE*, 2002.
- [20] A. Vargas, L. Amescua-Guerrera, A. Bernal y C. Pinerda, «Principios físicos básicos del ultrasonido, sonoanatomía del sistema musculoesquelético y artefactos ecográficos,» *Acta ortopédica mexicana*, nº 22, pp. 361-373, 2008.
- [21] C. Rubio y O. Marrero, «Fabricación de Transductores Ultrasonicos para Equipos automatizados de inspección de líneas de Tuberías,» *NDT.net Journal*, 2010.
- [22] E. Brunner, *Ultrasound system considerations and their impact on Front-End components*, 2002.
- [23] J. A. Rodríguez, J. Vitola y S. Sandoval, «Diseño y construcción de un sistema de ultrasonido para la detección de discontinuidades en soldaduras,» *Revista Colombiana de Física*, vol. 41, nº 1, pp. 159-161, 2009.
- [24] C. Hu, Z. Lequan, J. Cannata, J. Yeb y K. Shung, «Development of a 64 channel ultrasonic high frequency linear array imaging system,» 2011.
- [25] Cheung y C. Chris, «Multi-Channel Pre-Beamformed Data Acquisition System for Research on Advanced Ultrasound Imaging Methods,» vol. 59, 2012.
- [26] V. Vidya, W. Boyang, G. Pramod y S. Jafar, «Design and Evaluation of Reconfigurable Ultrasonic Testing System,» 2015.
- [27] J. Ma, K. Karadayi, M. Ali y Y. Kim, «Ultrasound phase rotation beamforming on multi-core DSP,» *Ultrasonics*, nº 54, pp. 99-105, 2014.
- [28] E. Sismas, M. Silva, P. Farias, M. Albuquerque, I. Silva y C. Farias, «Flexible decision support system for ultrasound evaluation of fiber-metal laminates implemented in a DSP,» *NDT&E International*, nº 79, pp. 38-45, 2016.
- [29] T. Song-Nien, L. Chien-Ju y W. Guo-Zua, «Soft-IP Core Design of LVDS Receivers for Multichannel Ultrasound Imaging Applications,» 2013.
- [30] J. Camacho, A. Ibañez, M. Parrilla y C. Fritsch, «A Front-End ultrasound array processor based on LVDS Analog-to-Digital converters,» *Ultrasonics Symposium*,

## BIBLIOGRAFÍA

---

- pp. 1631-1634, 2006.
- [31] X. Xu y H. Venkataraman, «Challenges and Considerations of Analog Front-ends Design for Portable Ultrasound Systems,» *International Ultrasonics Symposium Proceedings*, pp. 310-313, 2010.
- [32] L. Nava, «Development of an Ultrasonic Thickness Measurement Equipment prototype,» *IEEE*, 2010.
- [33] TEXAS INSTRUMENTS, *LVDS Application and Data Handbook*, 2002.
- [34] Nigh, Z. Hewei y R. Guoyong, «An optimal design of LVDS interface,» *IEE*, 2011.
- [35] S.-N. Tang, «Design of a LVDS RX Soft IP Kernel for Multichannel Ultrasound Imaging Systems,» *Next-Generation Electronics (ISNE) - 5th International Symposium*, pp. 1-2, 2016.
- [36] M. Toledo, «Diseño e implementación de un sistema de accionamiento y recepción de señales ultrasónicas para un ecógrafo ultra-portátil,» 2012.
- [37] Tsang y K. Ivan, «Design of a Multi-Channel Pre-Beamform Data Acquisition System for an Ultrasound Research Scanner,» 2009.
- [38] C. Mohan, H. Phuong, R. Jaeyoung y J. Young-Hwan, «A 128-ch  $\Delta$ - $\Sigma$  ADC based Mixed Signal IC for full Digital,» 2015.
- [39] TEXAS INSTRUMENTS, *AFE5803 Fully Integrated, 8-Channel Ultrasound Analog Front End*, 2012.
- [40] TEXAS INSTRUMENTS, *TSW1250EVM: High-Speed LVDS Deserializer and Analysis System*, 2012.
- [41] XILINX, *Virtex-4 FPGA User Guide*, 2008.
- [42] L. Nava Balanzar , *Diseño de un sistema electrónico para la medición de espesores por ultrasonido*, Querétaro: CIDESI, 2010.
- [43] J. A. Soto Cajiga, «FPGA-based architecture for real-time data reduction of ultrasounf signals,» *ELSEVIER*, 2012.
- [44] A. Zetina, *Electrónica básica*, LIMUSA, 2000.
- [45] National Semiconductor, *LVDS Owner's Manual*, 2004.
- [46] TEXAS INSTRUMENTS, *TPS796xx Ultralow-Noise, High PSRR*, 2015.
- [47] ASSOCIATION CONNECTING ELECTRONICS INDUSTRIES, *IPC-2251, Design*

## BIBLIOGRAFÍA

---

*guide for the packaging of hgh speed electroinic circuits, 2003.*

[48] SAMTEC, *High speed ground plane header*, 15.

[49] MAXIM INTEGRATED, *MAX14808 Evaluation System Evaluates: MAX14808*, 2012.

[50] EMCO, *ISOLATED, PROPORTIONAL DC TO HIGH VOLTAGE DC CONVERTERS*, California, USA.

[51] TEXAS INSTRUMENTS, *AN-104 Noise Specs Confusing?*, 2013.

# ANEXOS

---

## ANEXOS



Guadalajara, Jal. A 12 de Marzo de 2018  
Ref. CP/620/2018

CRISTIAN MICHEEL MEDINA RODRÍGUEZ  
ESTUDIANTE DEL POSGRADO EN CIENCIA Y TECNOLOGÍA  
PRESENTE

Por este medio le informo que el documento "Propuesta de arquitecturas para un sistema electrónico de ultrasonido y para la recepción de señales LVDS basada en FPGA" ha sido aceptado para ser publicado en las memorias del XX Seminario Nacional de Investigación celebrado en la Ciudad de Guadalajara los días 26 y 27 de Julio del 2017.

Asimismo le informo que el trámite de ISBN de dicho documento se encuentra en proceso.

Sin otro particular, aprovecho para enviarle un cordial saludo.

ATENTAMENTE



*Mtra. Fátima Gabriela Ordóñez de la Cruz*  
*Comité organizador del XX Seminario Nacional*  
*Coordinadora de Posgrados*



## Diseño de un Registrador de Datos Usando Memorias NAND Flash Basado en un Microcontrolador de Ultrabajo Consumo

DE LEÓN GORDILLO Dagoberto (1, 2)†, MEDINA RODRÍGUEZ Cristian Micheel (1, 2), RODRÍGUEZ OLIVARES Noé Amir (1, 2), SOTO CAJIGA Jorge Alberto (1)

(1) Centro de Ingeniería y Desarrollo Industrial (CIDESI), Av. Playa Pie de la Cuesta No. 702, Col. Desarrollo San Pablo, Querétaro, Qro. México. Tel. 442 2119800 ext. 1275, (2) Universidad Tecnológica de Querétaro (UTEQ), Av. Pie de la Cuesta 2501, Col. Unidad Nacional, Querétaro, Qro. México. Tel. 442 2096100 [dleon@posgrado.cidesi.edu.mx](mailto:dleon@posgrado.cidesi.edu.mx)

Recibido: Julio 5, 2017; Aceptado: Agosto 28, 2017

### Resumen

Las memorias NAND Flash son uno de los sistemas de almacenamiento preferido en ingeniería, esto debido a su alta velocidad de escritura, bajo consumo de energía y alta densidad de almacenamiento. En este artículo presentamos la mejora de un registrador de datos o datalogger, el cual inicialmente estaba compuesto por una memoria NAND Flash y dos microcontroladores de bajo consumo en una arquitectura multimaestra. La mejora del datalogger se basa en explotar el paralelismo que permiten los microcontroladores con módulos de acceso directo a la memoria (DMA). El datalogger se comunica mediante el protocolo UART a 460800 baudios y almacena en una memoria NAND Flash mediante el protocolo ONFI 2.0. Adicionalmente, se ha agregado una función de codificación tipo Hamming (255,247), útil para corregir 64 bits erróneos cada 2040 bytes. Se ha caracterizado el tiempo que tarda esta función en corregir desde uno hasta 64 errores lo que permitiría predecir la degradación de la memoria. Se comparó experimentalmente el datalogger mejorado con el anterior, y tiene una velocidad de almacenamiento de 47 KB/s con capacidad de almacenamiento desde 256 MB hasta 8 GB usando solo un microcontrolador de ultrabajo consumo.

**Palabras clave.** Datalogger, ECC Hamming, NAND Flash, DMA

### Abstract

NAND Flash chips are one of the preferred storage devices in engineering, due to their high writing speed, low power consumption and high storage density. In this paper, we present the improvement of a datalogger, which initially was composed of one NAND Flash memory and two ultra low power microcontrollers in a multi-master architecture. The improvement of the datalogger is based on exploiting the parallelism that allows the microcontrollers with modules of direct memory access (DMA). The datalogger communicates via the UART protocol to 460800 bauds and stores in a NAND Flash memory using the ONFI 2.0 protocol. Additionally, a Hamming coding (255,247) function has been added, which is useful for correcting 64 erroneous bits per 2040 bytes. We characterized the correcting-time function from 1 up to 64 errors. This function allows the prediction of memory chip degradation. The improved datalogger was compared to the previous one, and it has a storage speed of 47 KB/s with storage capacity from 256 MB to 8 GB using only one ultra-low power microcontroller.

**Keywords.** Datalogger, ECC Hamming, NAND Flash, DMA

DE LEÓN GORDILLO Dagoberto †, MEDINA RODRÍGUEZ Cristian Micheel, RODRÍGUEZ OLIVARES Noé Amir, SOTO CAJIGA Jorge Alberto. Diseño de un registrador de datos usando memorias NAND Flash basado en un microcontrolador de ultrabajo consumo. Revista de Aplicaciones de la Ingeniería. 2017, 1-1 : 1-11

† Investigador contribuyendo como primer autor.