

TRANSDUCCIÓN DE ENERGÍA ELECTROMAGNÉTICA CON TECNOLOGÍA CMOS

TESIS

QUE PARA OBTENER EL
GRADO ACADÉMICO DE

DOCTOR EN CIENCIA Y TECNOLOGÍA
EN MECATRÓNICA

PRESENTA:

M. en C. Salatiel García Moreno

Querétaro, Qro. mayo 2020



Santiago de Querétaro, Qro., a 6 de mayo de 2020.

ASUNTO: **Autorización y Aceptación de Tesis**

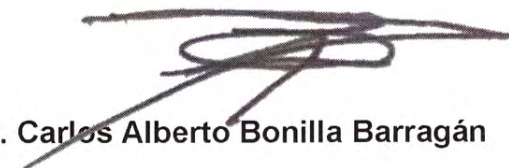
Dr. David Oswaldo Pérez Martínez
Centro de Ingeniería y Desarrollo Industrial
Presente.

Los abajo firmantes, Directores de Tesis del alumno **M. en C. Salatiel García Moreno**, una vez leída y revisada la Tesis titulada “**Transducción de energía electromagnética con tecnología CMOS**”, acepto que sea revisada por el Jurado de Examen asignado, para aspirar al grado de **Doctor en Ciencia y Tecnología en Mecatrónica**.

Atentamente



Dr. Marco Antonio Gurrola Navarro



Dr. Carlos Alberto Bonilla Barragán



Director de Posgrado
PICYT – CIDESI
Querétaro

Los abajo firmantes, miembros del Jurado de Examen de Grado del alumno **M. en C. Salatiel García Moreno**, una vez leída y revisada la Tesis titulada “**Transducción de energía electromagnética con tecnología CMOS**”, aceptamos que la referida tesis revisada y corregida sea presentada por el alumno para aspirar al grado de **Doctorado en Ciencia y Tecnología** en la opción terminal de **mecatrónica** durante el Examen de Grado correspondiente.

Y para que así conste firmo la presente a los 15 días del mes de mayo del año dos mil veinte.

Presidente

Dr. Manuel Bandala Sánchez

Secretario

Dr. Iván Rodrigo Padilla Cantoya

Vocal

Dr. Rodolfo Sánchez Fraga

Vocal

Dr. Eric Francisco Gutiérrez Frías

Vocal

Dr. Marco Antonio Gurrola Navarro

Resumen

Las redes inalámbricas de sensores se prevén como una de las tecnologías de mayor impacto en los próximos años. Dichas redes de sensores utilizan tecnologías derivadas de la recolección de energía con el fin de proveer, de manera indefinida, potencia inalámbrica a un sensor o grupo de sensores.

Las problemáticas resultantes de las bajas cantidades de energía complican el diseño de los rectificadores, los cuales son utilizados para la conversión AC/DC de las señales eléctricas captadas. Bajos niveles de potencia a la entrada de los rectificadores generan efectos tales como: no linealidades, baja eficiencia y dificultad del modelado, provocando que el avance en el diseño de sistemas de rectificación se vea mermado.

En este trabajo se presenta una metodología de diseño de sistemas de rectificación, aplicado a sistemas de transmisión inalámbrica de potencia, la cual es capaz de generar sistemas con una eficiencia superior a aquellos que utilizan técnicas clásicas. Se propone una técnica de análisis apoyada por SPICE a la vez de una secuencia de diseño que, en conjunto, permiten que los sistemas de rectificación tengan un mejor desempeño.

Agradecimientos

Al Consejo Nacional de Ciencia y Tecnología por la beca académica concedida para la realización de este trabajo. Al Centro de Ingeniería y Desarrollo Industrial que, en conjunto con el Dr. Marco Antonio Gurrola Navarro y el Dr. Carlos Alberto Bonilla Barragán, apoyaron con fuentes de información, infraestructura y asesoría. Al CONACYT y al Dr. J. Israel Mejía Silva que, a través del proyecto FORDECYT 297497, fue autorizado un apoyo económico para el cumplimiento de los objetivos del proyecto. Al Dr. Rodolfo Sánchez Fraga que de manera significativa reforzó este trabajo por medio de consultorías y evaluaciones internas.

Índice general

1. Introducción	1
1.1. Introducción.	1
1.1.1. Recolección de energía.	1
1.1.2. Transmisión inalámbrica de energía	3
1.2. Redes inalámbricas de sensores.	6
1.2.1. Aplicaciones.	6
1.2.2. Protocolos y arquitecturas.	8
1.3. Planteamiento del proyecto.	9
1.3.1. Definición del problema.	9
1.3.2. Hipótesis.	9
1.3.3. Objetivos.	10
1.3.4. Alcances.	11
1.3.5. Metodología de solución.	11
1.3.6. Resultados y entregables esperados.	12
2. Antecedentes	15
2.1. Análisis de rectificadores.	16
2.1.1. Diodos en DC.	16
2.1.2. Diodos en AC.	18
2.2. Arquitecturas de rectificadores.	19
2.2.1. Duplicador de voltaje de media onda.	19
2.2.2. Duplicador de voltaje de onda completa.	22
2.2.3. Puente de actuación diferencial.	24
2.3. Modelado de rectificadores.	25
2.3.1. Modelo de Dickson.	25
2.3.2. Modelo de Ashry.	26
2.3.3. Modelo de Barnett.	27
2.3.4. Modelo de Curty.	27

2.3.5.	Modelo de Yi.	28
2.3.6.	Modelos adicionales.	29
2.3.7.	Modelo de la impedancia de entrada.	30
2.4.	Transistores CMOS conectados como diodo.	31
2.5.	Técnicas de cancelación de voltaje de umbral.	34
2.5.1.	Cancelación ideal.	35
2.5.2.	Autocancelación de voltaje de umbral (SVC).	35
2.5.3.	Cancelación interna de voltaje de umbral (IVC).	36
2.5.4.	Cancelación por actuación diferencial.	37
2.5.5.	Compensaciones alternas.	37
2.6.	Estado del arte.	39
2.6.1.	Antenas para recolección de energía: Rectennas.	40
2.6.2.	Rectificadores.	42
3.	Diseño de sistemas WPT.	47
3.1.	Sistemas WPT.	48
3.1.1.	Frecuencia.	49
3.1.2.	Antena	50
3.1.3.	Potencia disponible.	50
3.1.4.	Impedancia característica Z_0	51
3.1.5.	Rectificadores	51
3.1.6.	Voltaje de rizo.	53
3.1.7.	Voltaje de salida y resistencia de carga.	54
3.2.	Efecto de las no linealidades.	55
3.2.1.	Impedancia del rectificador	55
3.2.2.	Voltaje en la fuente.	56
3.3.	Metodología de diseño de rectificadores.	58
3.3.1.	Selección del rectificador.	59
3.3.2.	Carga.	63
3.3.3.	Filtro pasa bajas	63
3.3.4.	Rectificador	66
3.3.5.	Red de acoplamiento	73
3.3.6.	Número de etapas.	79
3.3.7.	Diseño con elementos discretos.	82
3.4.	Comparación con el estado del arte.	86

3.4.1. Rectificador de Abouzied.	86
3.5. Consideraciones de diseño.	88
4. Experimentación	91
4.1. Rectificador.	91
4.1.1. Diodo con regulación de sustrato.	92
4.1.2. Duplicador de voltaje con regulación de sustrato.	93
4.2. Antenas.	96
4.2.1. Diseño de la antena.	96
4.2.2. Antena simple.	98
4.2.3. Antena dual.	100
4.2.4. Potencia recibida.	101
5. Conclusiones y trabajo futuro	105
5.1. Conclusiones	105
5.2. Trabajo futuro.	107
A. Funciones en Python.	111
A.1. Acoplamiento de impedancia.	111
B. Sintaxis HSPICE.	113
B.1. Opciones utilizadas.	113
B.2. Adición de las áreas de difusión.	114
B.3. Análisis por balance armónico.	115
B.4. Optimización HSPICE.	115
B.5. Condicionantes en circuitos.	116
Bibliografía.	119

Introducción

En este capítulo se presenta de manera general el campo de la ciencia en el cual el presente trabajo está centrado. Las tecnologías presentadas introducen el concepto de redes inalámbricas de sensores, una tecnología derivada de la recolección de energía. La primer sección establece una visión general de la recolección de energía, particularmente energía electromagnética en el rango de radiofrecuencia. La segunda sección expone los fundamentos de las redes inalámbricas de sensores, sus aplicaciones y sus restricciones tecnológicas actuales. Al mismo tiempo, define los conceptos fundamentales para su estudio, análisis y diseño. La tercer sección describe detalladamente la hipótesis, objetivos y alcances del presente estudio. Igualmente, explica la metodología de solución propuesta para las problemáticas planteadas y los aportes científicos que surgen de la misma.

1.1. Introducción.

1.1.1. Recolección de energía.

La recolección de energía (*energy harvesting*) se define como la “conversión de la energía presente en el medio ambiente en energía eléctrica” [1] y, en principio, no difiere de manera fundamental de la generación de energía renovable a gran escala, tales como la energía solar o eólica. La diferencia reside en que las energías renovables se concentran en la generación de potencias en el orden de MW, mientras que la recolección de energía en el orden de mW o μW .

Además de la sustentabilidad ambiental de los sistemas, la recolección de energía abre la

posibilidad de el diseño de sistemas autónomos energéticamente que, de manera ideal, serían capaces de funcionar de manera permanente libres de mantenimiento. Lo cual es considerado como el objetivo por excelencia de esta tecnología.

Los principales tipos de energía disponibles para recolección son [2]:

- Solar.
- Gradientes de temperatura.
- Piezoeléctrica
- Bioquímica.
- Cinética.
- Radio frecuencia.

Cada uno de estos tipos de energía está relacionado con una serie de medios de transducción para su recolección con una determinada gama de propiedades y características. La métrica usada para evaluar la concentración de un tipo de energía en un entorno es la densidad de energía [3]. Sin lugar a dudas, la energía solar ofrece la mayor densidad de energía disponible, estando en el rango de 1 kW/m^2 . Mientras que la energía generada por gradientes de temperatura exhibe $\approx 600 \text{ mW/m}^2$ y aquella generada por efecto piezoeléctrico se acerca a los 250 kW/m^3 .

Por el contrario, la densidad de energía recolectada por medio de ondas electromagnéticas se constituye como una de las más bajas, estando en el rango de $2 \mu\text{W/m}^2$ a 100 mW/m^2 aproximadamente, mientras que otras referencias mencionan un rango de $1 - 10 \mu\text{W/m}^2$ a una distancia 8 m [4]. A pesar de ello, una ventaja importante de la recolección de energía electromagnética es que los sistemas pueden ser diseñados para transmitir información en conjunto con la energía, la cual, aunque con una baja magnitud, tendrá una potencia relativamente constante. Hecho que los hace muy atractivos para tecnologías de comunicaciones y redes [5].

En 2012 Gudan *et al.* se proponen evaluar de manera directa los niveles de potencia que son asequibles por medio de recolección RF [6]. Utilizan dos arreglos de seis antenas direccionales que cubren 360° , uno de los cuales utiliza polarización vertical mientras que el segundo una polarización horizontal. Ambos arreglos son montados en un sistema portable

que cuenta con un analizador de espectro y un amplificador que se utilizan para medir la potencia existente a la frecuencia de 2.40 GHz. Los resultados del trabajo son resumidos en la Tabla 1.1 en conjunto con otros estudios equiparables, la información presentada permite establecer una referencia general de los niveles de potencia esperados en un sistema de recolección por RF.

Tabla 1.1: Potencia electromagnética disponible para distintas frecuencias y distancias.

Fuente	Potencia Tx (W)	Frecuencia (MHz)	Distancia (m)	Potencia Rx (μ W)
Isotrópica [7]	4	902 – 928	15	5.5
Isotrópica [7]	1.78	868	25 – 27	2.3 – 2
TX91501* [7]	3	915	5 – 11	189 – 1
Torre TV [7]	960 k	674 – 680	4.10 k	60
Isotrópica [6]	–	2400	2	2.7 – 3.8
WiFi AP [6]	–	2400	2	0.14 – 36.6
WiFi AP [6]	–	2400	10	0.03 – 5.94
Torre GSM [8]	–	952	–	0.017
Torre GSM [8]	–	939	–	0.038
Isotrópica [9]	–	2400	0.5	5

Los resultados presentados en la Tabla 1.1 son sensibles a la frecuencia utilizada, tipo y propiedades de las antenas de transmisión y recepción y la distancia entre ellas. En general, la transferencia de energía en sistemas de esta índole estará determinada principalmente por los requerimientos y condiciones de operación del receptor, por lo que los resultados mencionados pueden cambiar sustancialmente. De tal suerte que algunos autores sostienen la factibilidad comercial de estos sistemas [10].

En las siguientes secciones se expone a detalle la transmisión inalámbrica de energía, la cual puede entenderse como una particularidad de la recolección de energía electromagnética.

1.1.2. Transmisión inalámbrica de energía

A diferencia de la recolección de energía, la transmisión inalámbrica de potencia (WPT, *wireless power transfer*) se diseña considerando una fuente de energía dedicada capaz de garantizar una determinada potencia en el receptor. En términos simples, se utiliza con el propósito de eliminar cables de interconexión eléctrica entre dos puntos. Esta tecnología consta de dos vertientes: transmisión en campo cercano y transmisión en campo lejano.

A. Transmisión en campo cercano.

Utiliza acoplamiento magnético entre dos bobinas para transmitir la energía, de manera similar a la operación de un transformador con núcleo de aire. Existen dos modos de operación: acoplamiento magnético (Fig. 1.1a) y acoplamiento en resonancia magnética (Fig. 1.1b).

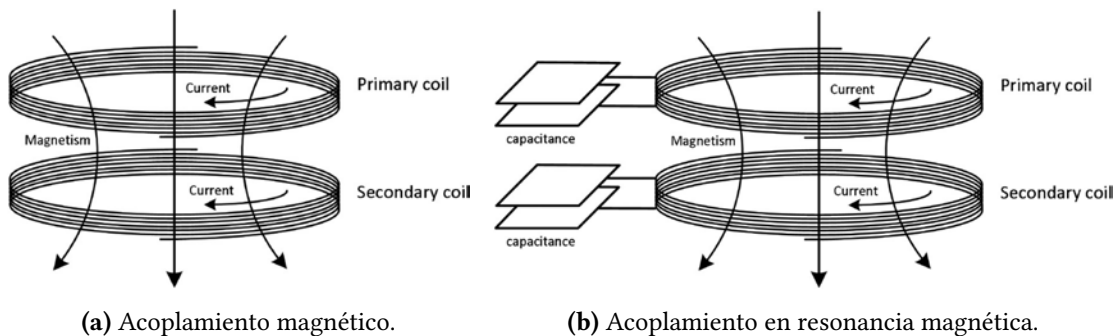


Figura 1.1: Modos de acoplamiento para WPTs en campo cercano, tomado de [11].

Esta tecnología ha tenido un éxito comercial importante en dispositivos móviles tales como celulares y relojes inteligentes. Aunque existen varios protocolos propuestos, indudablemente el de mayor uso es el estándar Qi¹, capaz de transmitir hasta 5 W a una frecuencia de 110 – 205 kHz o 120 W a una frecuencia de 80 – 300 kHz ambos a una distancia de 40 mm [11]. Versiones comerciales recientes de cargadores inalámbricos pueden llegar a los 15 W [12].

Una de las principales desventajas de este método de WPT es que la distancia de transmisión es muy corta, además del calentamiento de las bobinas cuando la potencia comienza a incrementarse. De manera alterna, la transmisión de potencia en campo lejano presenta obvias ventajas, aunque con sus propias limitantes.

B. Transmisión en campo lejano.

La transmisión en campo lejano utiliza acoplamiento electromagnético a través de antenas para la transmisión de energía. La principal ventaja reside en incrementar la distancia de transmisión, de unos cuantos centímetros, en el caso de acoplamiento magnético, a algunos

¹Pronunciado como “chi”.

pares de metros. Además, como se menciona anteriormente, la energía utilizada para la transmisión de información puede ser aprovechada para la operación de los dispositivos.

En 1899 Nikola Tesla propuso la idea de transmitir energía inalámbrica a través de la denominada “Torre de Tesla” [13]. Tesla construyó una bobina de ≈ 1 m de diámetro la cual resonaba a 150 kHz y la alimentaba con 300 kW para transmitir la energía. Desafortunadamente, el experimento fracasó debido a que la energía transmitida era difundida utilizando una longitud de onda de 21 km.

Los primeros experimentos exitosos realizados con este principio fueron realizados por William C. Brown en 1963 [14], después realizó avances en conjunto con Richard Dickson en 1967. A pesar del éxito de los experimentos, el tamaño y costo de la infraestructura necesaria para llevarlo a una aplicación comercial eran muy elevados, debido a lo cual el proyecto fue abandonado. Luego de este periodo, el concepto de transmisión inalámbrica fue retomado hasta el siglo XXI considerando la viabilidad comercial por medio del acoplamiento magnético [14].

Por supuesto, los sistemas compatibles con transmisión inalámbrica de potencia en campo lejano son específicamente aquellos que pueden operar a muy bajas potencias, por lo general en el orden de μW . Un esquema general de estos sistemas se presenta en la Fig. 1.2.

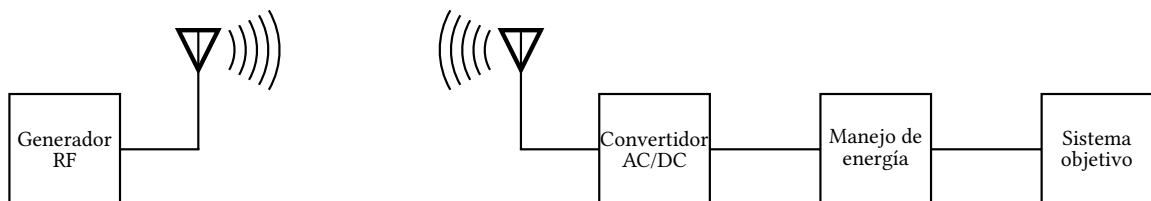


Figura 1.2: Esquema general de un sistema WPT en campo lejano.

WPT en campo lejano es una tecnología aún en desarrollo y existen muchos factores que se deben de resolver antes que se pueda considerar como “comercialmente viable”. Entre otros:

- Tipos y propiedades de antenas.
- Frecuencia de operación.
- Estándares de operación.
- Tipos de sistemas compatibles.

Uno de los avances más significativos previstos para esta tecnología es la integración de la identificación por radiofrecuencia (RFID) y las redes inalámbricas de sensores. Esta integración permitiría, entre otras cosas: comunicaciones multisalvo, sensado inteligente y programación remota de nodos, monitoreo remoto de productos así como la integración en la nube de toda la información [15].

Las dos principales limitantes de WPT en campo lejano son: las grandes pérdidas asociadas a la radiación de la energía y la baja eficiencia en los convertidores AC/DC.

El presente trabajo se enfoca en sistemas de transmisión de energía inalámbrica orientados a redes inalámbricas de sensores. En la siguiente sección se presentan los fundamentos de dicha tecnología.

1.2. Redes inalámbricas de sensores.

Los sistemas derivados de la tecnología de semiconductores, tales como MEMS (*micro electro-mechanical systems*), avances en tecnologías inalámbricas e ingeniería de materiales así como la reciente distribución de redes de comunicación inalámbrica han permitido que existan sistemas con dimensiones en el orden de los μm o nm los cuales, además de otras ventajas, cuentan con un consumo de potencia en el orden de los mW o μW .

Los hechos anteriores permiten la distribución de sensores en un área o volumen determinado, los cuales sean capaces de proveer información del entorno a una estación de manera inalámbrica. Dicha distribución de nodos es conocida como red inalámbrica de sensores (WSN, *wireless sensor networks*).

1.2.1. Aplicaciones.

Se estima que las WSNs pertenecen al grupo de las tecnologías de mayor impacto tecnológico [16]. La cualidad más sobresaliente reside en que abren la posibilidad a la integración de nodos de sensores dentro de estructuras, animales o vehículos prescindiendo de baterías o cables de conexión. A continuación, se listan las principales aplicaciones previstas [16]:

Monitoreo de variables: en circunstancias en las que sensar una variable en un área o volu-

men suministre información relevante del entorno, por ejemplo:

- temperatura,
- humedad,
- movimiento de vehículos,
- condiciones de iluminación,
- presión,
- composición de suelos,
- nivel de ruido,
- presencia de objetos,
- estrés mecánico,
- movimiento de objetos y personas.

Integridad estructural: En edificios o viviendas, además de vehículos de transporte como autos o aviones.

RFID: Pueden ser sustituidas las tarjetas de identificación pasivas (*tags*) por tarjetas activas o semiactivas para fines de transporte, inventario, localización y existencia de productos. Lo cual permite también el monitoreo y localización de productos y personal.

Medicina: Para el rastreo de equipos y personas, monitoreo y tratamiento de pacientes y el control de prótesis robóticas.

Electrónica de consumo: Para comunicación de alta velocidad a corta distancia así como el aislamiento eléctrico en etapas de potencia [17].

Seguridad: En entornos industriales o domésticos mediante la colocación de sensores de: presencia, fuego, inundaciones y terremotos.

Internet de las cosas: Avances recientes en las redes de comunicación permiten la colocación de nodos de red en aparatos domésticos para fines de automatización, asistencia y seguridad.

Aunque ya se han mencionado, cabe resaltar a las aplicaciones médicas como dentro de las más importantes para WSN, dado que pueden verse altamente beneficiadas personas con condiciones de salud específicas, por ejemplo: monitoreo de presión sanguínea en pacientes con hipertensión [18], procesamiento en tiempo real de tramas de electrocardiogramas para

pacientes con condiciones del corazón [19] y el control en la administración de insulina en pacientes diabéticos [18].

Sin importar el tipo de energía captada, normalmente es necesario producir señales de corriente directa, lo cual se logra por medio de rectificadores. La calidad de los elementos de rectificación dictan las pérdidas que existirán durante la conversión de energía y por consecuencia la potencia disponible para la aplicación. De tal manera que el óptimo diseño de los circuitos de rectificación es crítico para maximizar la energía disponible y, de esa manera, impulsar la omnipresencia de los sistemas de recolección de energía inalámbrica.

1.2.2. Protocolos y arquitecturas.

Distintas arquitecturas y protocolos han sido propuestos para su uso en WSNs y, con ello, definir una estructura de operación que pueda interactuar con el resto. En 2013 Zhang *et al.* [20] proponen un protocolo para las redes de nodos que admite la operación en dos modos: un modo síncrono en donde se recolecta la energía y se procesa la información de manera simultánea a través de un divisor de potencia RF y un modo de intermitencia por tiempo (*time switching*) en donde el sistema recolecta energía durante un periodo de tiempo y procesa información al siguiente periodo.

En 2009 Sample *et al.* [21] diseñan una plataforma inalámbrica de identificación y sensado la cual utiliza elementos discretos para su operación. A una distancia de 4.10 km de una torre de TV, la cual transmite 960 kW a una frecuencia de 680 MHz, logran recibir 60 μ W los cuales utilizan para alimentar un sensor de temperatura y emitir con modulación FSK la medición de temperatura. La lógica de operación es realizada mediante un microcontrolador.

Una arquitectura de circuito integrado para nodos es presentada por Navaii *et al.* en 2012. La arquitectura consiste en: *a)* un limitador RF para prevenir picos de voltaje, *b)* un rectificador para recolección de energía, *c)* un regulador de voltaje apoyado por una referencia de corriente y *d)* un demodulador ASK. El sistema es diseñado en tecnología CMOS de 0.18 μ m y el sistema es capaz de entregar 3.30 V a una corriente de 1.20 mA.

Zhang *et al.* presenta en 2013 un SoC (sistema en chip) para nodos inalámbricos el cual está formado por: *a)* un rectificador de potencia y un elevador de voltaje para la captación de energía, *b)* un bloque de manejo de energía y una unidad de procesamiento de señal, *c)*

una interfaz de entrada analógica y *d*) un transmisor RF de arquitectura superheterodina. El sistema es fabricado en tecnología CMOS de 130 nm y es capaz de operar con señales de entrada tan bajas como 30 mV y consume sólo 19 μ W.

En la siguiente sección se establecen las consideraciones tomadas en este trabajo con el objetivo de contribuir al campo de la transmisión inalámbrica de energía.

1.3. Planteamiento del proyecto.

1.3.1. Definición del problema.

Los sistemas de transmisión inalámbrica de energía electromagnética en campo lejano cuentan con una serie de limitantes que reducen sus posibles aplicaciones. En primer lugar, la energía disponible se encuentra en el orden de los μ W lo que implica que la reducción de las pérdidas en los circuitos de rectificación sea una tarea crucial. En el mismo sentido, existe una relación directa entre la potencia de entrada al rectificador y la eficiencia del mismo, debido a lo cual se debe maximizar la potencia mencionada.

Por otra parte, el modelado matemático de rectificadores, como se explica en la sección 2.3, posee dos obstáculos considerables. Primero, la salida de una antena es una fuente de potencia no regulada lo que implica que la extracción de potencia es delimitada por la impedancia de carga. Aún más, la naturaleza de los rectificadores hace que la impedancia del circuito esté en función de la polarización de entrada, causando una dependencia mutua. En segundo lugar, dado que los circuitos no presentan un voltaje de entrada regulado, el comportamiento es altamente no lineal, por lo que el modelado se complica aún más.

Finalmente, en la literatura existente los sistemas WPT se analizan como bloques aislados y no como sistemas completos. Lo cual deriva en que los criterios de evaluación de desempeño difieran significativamente y por consecuencia no puedan discernirse claramente los avances de la tecnología.

1.3.2. Hipótesis.

Surgiendo de la problemática establecida se plantea la siguiente hipótesis:

“Es posible incrementar la **energía recibida** y la **eficiencia** de un receptor de energía inalámbrica en campo lejano utilizando múltiples antenas así como un análisis integral del sistema.”

Al finalizar este trabajo quedan establecidos los medios por los que podrá concluirse que las conjeturas planteadas son correctas.

1.3.3. Objetivos.

A. Objetivo general.

Se busca analizar, diseñar y validar **sistemas de transmisión inalámbrica de potencia** de forma que pueda establecerse una metodología para su diseño, de tal manera que presenten un desempeño superior con respecto a aquellos diseñados tradicionalmente. La metodología deberá de emplear un análisis integral del sistema de rectificación, así como ser compatible con múltiples fuentes (antenas).

B. Objetivos específicos.

Los objetivos específicos son:

- **Análisis electromagnético:** Definir los criterios, modelos y condiciones que maximicen la potencia disponible. Asimismo, denotar las fronteras físicas de la tecnología que permitan evaluar la viabilidad del sistema.
- **Análisis electrónico:** El análisis de los circuitos electrónicos destinados a la rectificación debe establecerse de tal manera que puedan estimarse las pérdidas y los efectos eléctricos sobre la energía recibida. Los modelos, consideraciones y métodos serán claramente establecidos dentro del trabajo presentado.
- **Validación:** Por medio de experimentación deberá de ser posible establecer que los métodos y modelos de análisis presentan un margen de error tolerable. De forma que los resultados y el análisis de los mismos puedan tomarse como auténticos.

1.3.4. Alcances.

Los alcances definidos para el proyecto son:

- Definición de los criterios, modelos y métodos necesarios para el diseño de sistemas WPT.
- Propuesta de una metodología de análisis para rectificadores orientada a sistemas WPT la cual incremente el desempeño bajo las condiciones establecidas.
- Establecer la metodología correcta para la utilización de múltiples antenas en un sistema.
- Publicación de los resultados de la metodología propuesta para su presentación en una revista indizada a través del indicador JCR.

1.3.5. Metodología de solución.

La metodología de solución del proyecto se presenta en la Fig. 1.3. La metodología comienza estableciendo el marco teórico dentro del cual se centra el proyecto, lo cual da pie a la selección de las características que serán consideradas. Luego, se procede al análisis electromagnético de los sistemas WPT a partir de donde puede evaluarse la compatibilidad con los sistemas requeridos, de ser así se procede al análisis de los rectificadores o de lo contrario se continúa con el análisis previo.

El análisis del rectificador tendrá el propósito de cotejar si existe un incremento en el desempeño del sistema, de ser así se procede a la etapa de integración o de lo contrario se continúa con el análisis. Dado el caso que la integración requiera un análisis adicional es recomendable la evaluación desde el aspecto electromagnético, de lo contrario se procede al análisis de resultados y finalmente puntualizar las conclusiones.

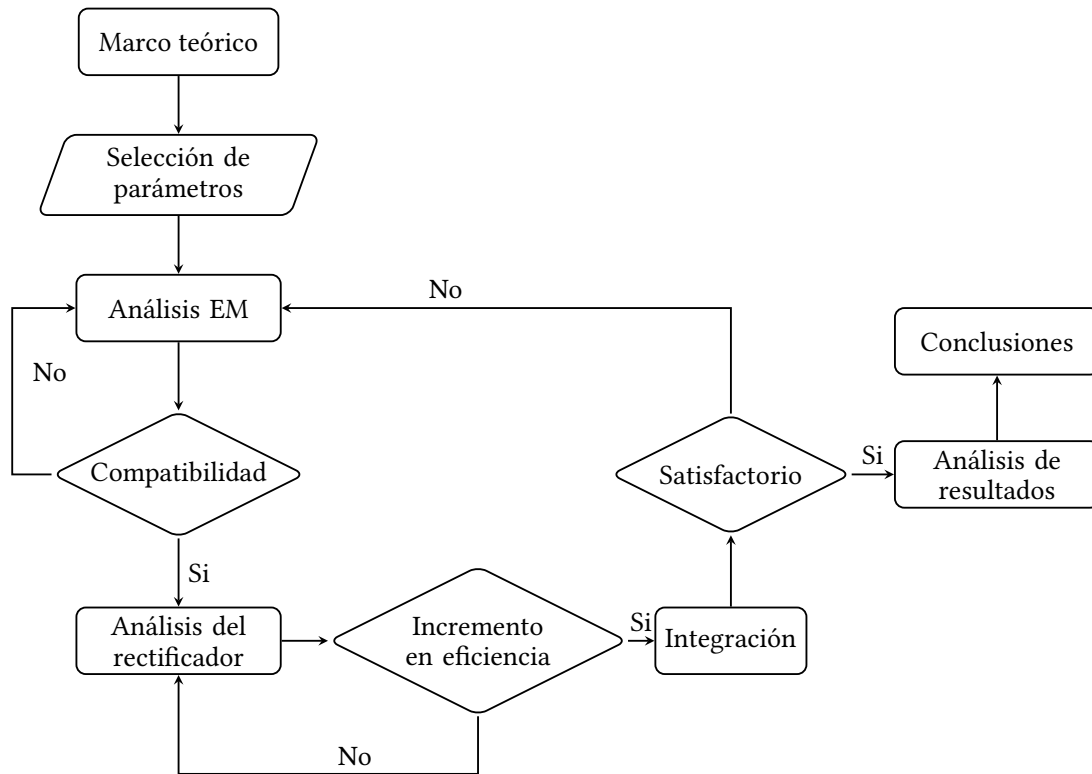


Figura 1.3: Metodología de solución del problema.

1.3.6. Resultados y entregables esperados.

A. Resultados.

Los resultados esperados son la **confirmación de la hipótesis** además de establecer una **metodología de diseño** verificable.

B. Entregables.

Los entregables del proyecto son:

- Análisis completo de sistemas WPT.
- Metodología de diseño de rectificadores.
- Publicación.
- Tesis.

§

De esta manera se establecen los principios, objetivos y métodos previstos para el trabajo presentado. La demostración de la hipótesis se hará evidente a lo largo del documento y en la sección de las conclusiones serán destacados los resultados.

Capítulo 2

Antecedentes

En este capítulo se detallan los fundamentos teóricos que rodean el análisis de los sistemas WPT, haciendo hincapié en el análisis de rectificadores. La primera sección expone de manera concisa los problemas que surgen al comenzar a analizar rectificadores para WPT. La segunda sección resume las arquitecturas de rectificadores comúnmente utilizadas así como los principios de operación de cada una de ellas. Se detallan también algunas de las propiedades y características constitutivas de las mencionadas arquitecturas.

La tercer sección presenta los modelos de rectificadores existentes así como sus ventajas y limitaciones. Los modelos de rectificadores estiman sólo el estado estacionario y toman suposiciones que les permitan la obtención de un modelo cerrado. En este trabajo no se utiliza un modelado de este tipo ya que se pierde la generalidad del análisis y existen alternativas que proveen ventajas adicionales. Las secciones cuatro y cinco se centran en el uso de transistores CMOS como elementos de rectificación, tanto en su uso como diodos y los tipos de configuración hasta las alternativas para la compensación del voltaje de umbral que ayudan a la reducción de las pérdidas de energía.

El último capítulo presenta el estado del arte de los sistemas WPT. Avances recientes en el diseño y tipos de antenas así como propuestas y criterios para la rectificación son discutidos. Esta información se encarga de dar contexto al capítulo 3 y las contribuciones ahí presentadas.

2.1. Análisis de rectificadores.

En sentido general, todos los circuitos eléctricos son no lineales [22], principalmente cuando se incluyen condiciones extremas de operación. La premisa anterior es especialmente relevante para el caso de rectificadores. A lo largo de las siguientes secciones se estipula la complejidad del análisis de los circuitos de rectificación.

2.1.1. Diodos en DC.

Considere el circuito de la Fig. 2.1, en el cual un diodo de unión PN¹ y una resistencia forman un divisor de voltaje. La solución más simple del circuito es asumir un voltaje de umbral constante $V_{th}=0.7\text{ V}$ para un diodo de silicio.

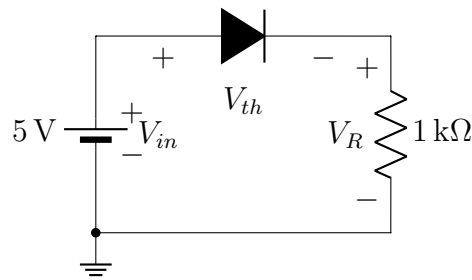


Figura 2.1: Divisor de voltaje con diodo simple.

Usando las Ec. (2.1) es posible determinar los voltajes en los elementos y la corriente del circuito, mostrados en la Fig. 2.2. Esta solución ignora efectos relevantes de la operación del diodo, especialmente la relación no-lineal entre corriente y voltaje.

$$V_R = V_{in} - V_{th} \quad \text{y} \quad I = \frac{V_R}{R}. \quad (2.1)$$

Para tomar en consideración los efectos no lineales del diodo es necesario utilizar la ecuación de Shockley [23], la cual se expresa como la Ec. (2.2):

$$I_D = I_S \left(\exp \left(\frac{V_D}{nkT/q} \right) - 1 \right), \quad (2.2)$$

¹El diodo 1N4001 por ejemplo.

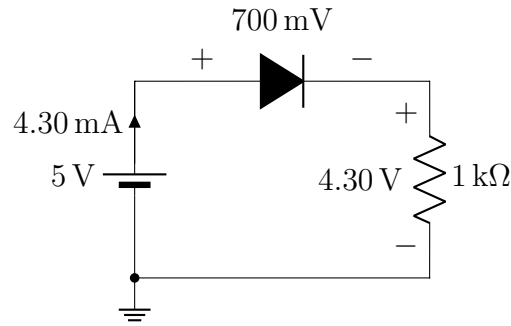


Figura 2.2: Solución básica de un circuito con diodo simple.

donde: V_D es el voltaje del diodo (V), I_D es la corriente del diodo (A), I_S es la corriente de saturación (A), n es el factor de idealización en el rango [1,2], k es la constante de Boltzmann (1.38×10^{-23} J/K), T es la temperatura (K) y q representa la carga del electrón (-1.60×10^{-19} C).

De esta forma, la ecuación para la solución del circuito es la Ec. (2.3), donde $V_D = V_{in} - V_R$. Para determinar la solución, cualquier técnica de solución de ecuaciones no lineales es factible de ser utilizada. La Fig. 2.3 presenta la solución de las ecuaciones utilizando los parámetros $I_S=10.97$ nA y $n=1.78$, los cuales modelan los diodos de la familia 1N4XXX.

$$I_{R_L} = \frac{V_{in}}{R_L} - \frac{V_R}{R_L} = I_S \left(\exp \left(\frac{V_D}{n k T / q} \right) - 1 \right). \quad (2.3)$$

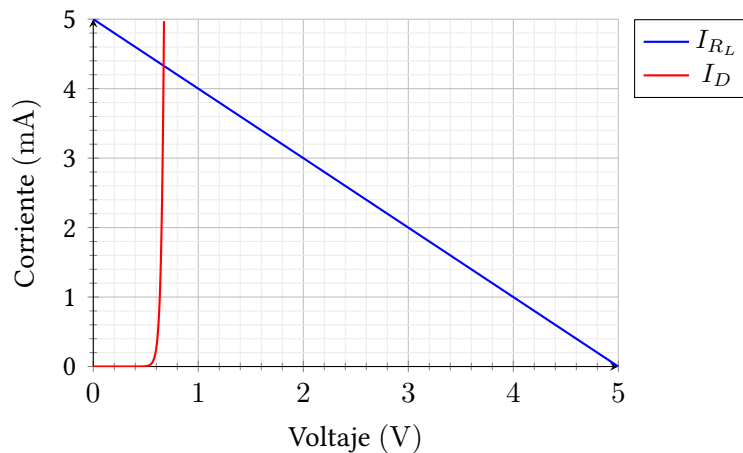


Figura 2.3: Solución requerida para el circuito utilizando la ecuación de Shockley.

Determinando la solución se encuentra que el voltaje en la resistencia es $V_R=4.51$ V lo cual corresponde a un voltaje de diodo de $V_{th}=490.70$ mV, por debajo del voltaje supuesto en el primer análisis. Finalmente, la corriente del circuito equivale a $I_{R_L}=4.51$ mA.

Si bien la diferencia entre los resultados de ambos análisis no parece tan relevante, el análisis no lineal permite resolver el circuito aún en casos en que la polarización del diodo está por debajo del V_{th} nominal, por lo que es preferible en casos en los que la señal de entrada es cercana a dicho valor. Debido a que este problema es muy común, se ha desarrollado un método utilizando funciones de Bessel [24] por medio del cual puede obtenerse una solución cerrada.

2.1.2. Diodos en AC.

El rectificador más simple es denominado rectificador de media onda, mostrado en la Fig. 2.4. Asumiendo el voltaje pico de entrada como conocido, es posible determinar la ecuación diferencial que describe el circuito. Por medio de un análisis por nodos se determina la Ec. (2.4).

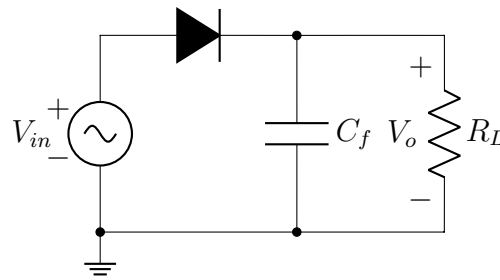


Figura 2.4: Rectificador de media onda.

$$I_D(V_{in}(t) - V_o(t)) = C_f \frac{dV_o(t)}{dt} + \frac{V_o(t)}{R_L}, \quad (2.4)$$

considerando:

$$V_{in}(t) = V_p \sin(\omega t + \phi), \quad (2.5)$$

donde: $I_D(V_D(t))$ es la corriente en el diodo con respecto al voltaje (el cual a su vez es una función del tiempo), al igual que en el análisis en DC, el voltaje de diodo está representado por la diferencia entre el voltaje de entrada y el voltaje en la resistencia. Por supuesto, la Ec. (2.4) representa una ecuación diferencial no lineal cuya solución debe ser obtenida por métodos numéricos.

En última instancia, se considera el hecho que las antenas son una fuente de potencia no reguladas en voltaje, lo que concluye en una dependencia mutua entre la impedancia de entrada y la energía extraída de la fuente. En la mayoría de los casos se debe considerar una red de acoplamiento cuyo objetivo es alterar los niveles de polarización y por consecuencia la impedancia del rectificador.

En la sección 3.2 se presenta una descripción más a detalle de los efectos mencionados. Los modelos analíticos de rectificadores existentes en la literatura desprecian dichas variaciones, por lo que pueden ser utilizados como una primer aproximación, aunque un diseño final debe necesariamente utilizar resultados de SPICE.

2.2. Arquitecturas de rectificadores.

Debido a los bajos niveles de potencia a la entrada, se utilizan duplicadores de voltaje multietapa con la finalidad de obtener niveles de potencial utilizables a la salida de los rectificadores para WPT. Existen tres arquitecturas principales.

2.2.1. Duplicador de voltaje de media onda.

El duplicador de media onda, mostrado en la Fig. 2.5, es el más comúnmente utilizado en la mayoría de los sistemas de rectificación.

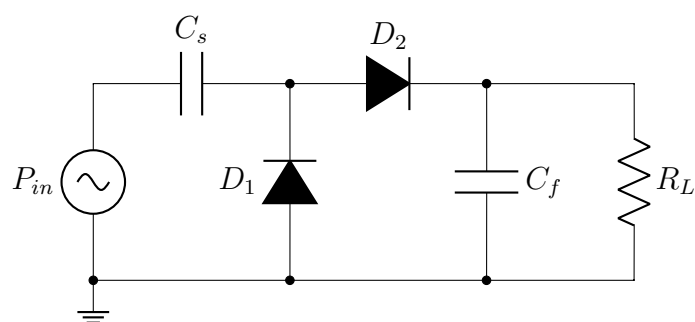


Figura 2.5: Duplicador de media onda.

Dada la configuración de los diodos, la manera más directa de lograr el estado estacionario es asumiendo que la señal de entrada comienza con el ciclo negativo. La alternativa implicaría invertir la dirección de los diodos con la consecuencia de obtener un voltaje negativo

en la salida. Así pues, la señal de entrada se asume como en la Fig. 2.6.

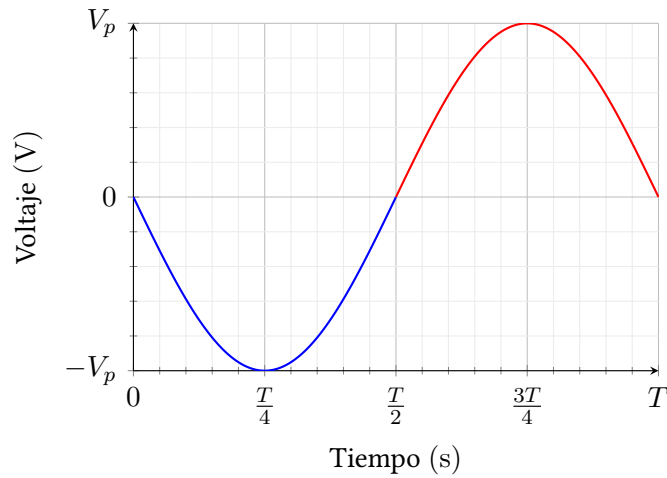
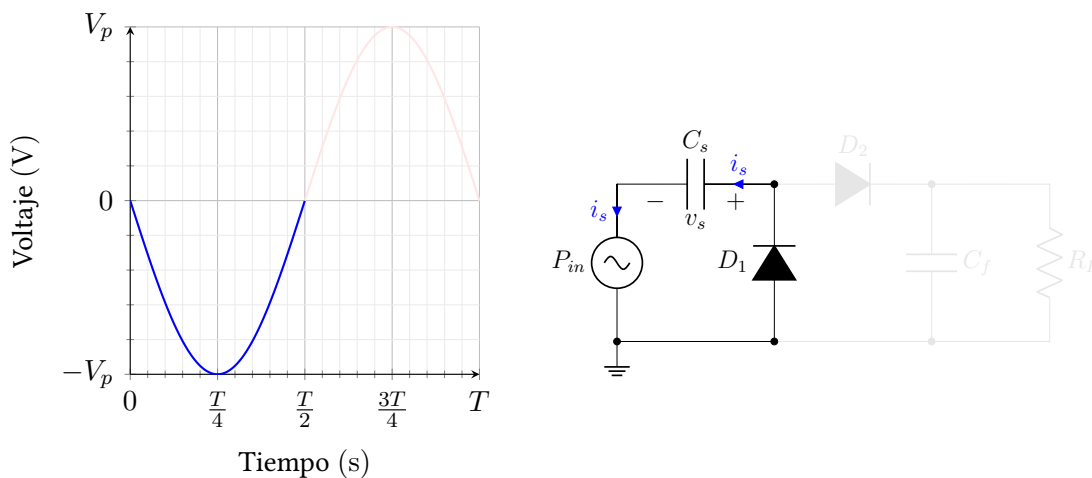


Figura 2.6: Señal de entrada al duplicador de voltaje.

El duplicador de media onda presenta dos modos de operación: **modo sujetador** durante el ciclo negativo y **modo rectificador** durante el ciclo positivo.

Modo sujetador: En el intervalo $[0, T/2]$, como se muestra en la Fig. 2.7, D_2 se encuentra en polarización inversa y por simplicidad se considera como un circuito abierto. D_1 se encuentra en polarización directa y genera una corriente de sujeción i_s la cual carga al capacitor C_s a un voltaje v_s , el cual, idealmente, es igual al voltaje de entrada pico V_p .



(a) Parte negativa de la señal de entrada

(b) Parte activa del duplicador de media onda.

Figura 2.7: Duplicador en modo sujetador.

Modo rectificador: En el intervalo $[T/2, T]$, como señala la Fig. 2.8b, D_1 se encuentra en polarización inversa y se considera circuito abierto. D_2 está en polarización directa y genera una corriente de rectificación i_r . El voltaje V_p de la fuente es sumado al voltaje v_s almacenado durante el modo de sujeción, lo cual genera que el voltaje trasladado al capacitor C_f corresponda a $V_o = v_s + V_p$ que, de manera ideal es $2 V_p$.

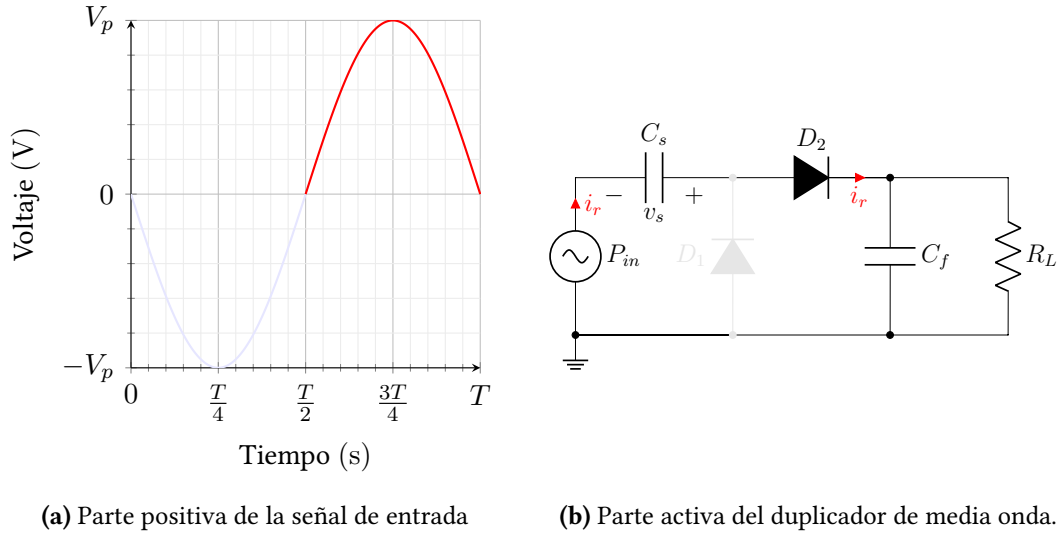


Figura 2.8: Duplicador en modo rectificador.

Por medio de este proceso se logra la “duplicación” del voltaje de entrada para obtener un incremento en el voltaje de corriente directa a la salida. La respuesta ideal del rectificador de media onda se muestra en la Fig. 2.9 que, como puede observarse, en el mejor de los casos el rectificador tendrá un tiempo de respuesta de $3T/4$, evidenciando que aún con elementos ideales no es posible obtener un tiempo de respuesta de cero.

Considerando que existe una caída de potencial V_{th} en los elementos rectificadores, el proceso de rectificación se puede describir por medio de la Ec. (2.6), aunque, como se expone en la sección 2.1, la determinación de la salida es un proceso mucho más complejo.

$$V_o = 2 V_p - V_{th1} - V_{th2},$$

si $V_{th1} = V_{th2}$:

$$V_o = 2 (V_p - V_{th}). \tag{2.6}$$

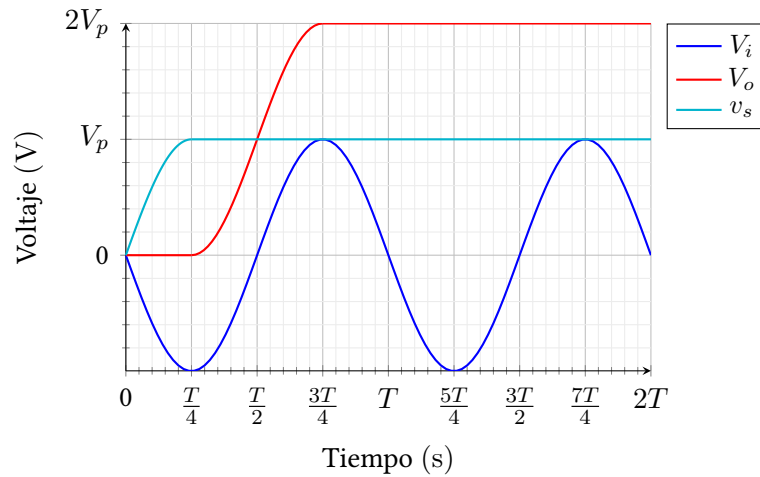


Figura 2.9: Respuesta ideal del rectificador de media onda.

En la práctica, los duplicadores manifiestan una respuesta cíclica de operación, implicando que el incremento en voltaje se da de manera gradual. Este hecho se debe principalmente a que los diodos exhiben una resistencia equivalente R_{on} cuando son polarizados directamente, lo cual deriva en un tiempo de carga distinto de cero en los capacitores. La sección 3.2.1 detalla este comportamiento más a fondo.

2.2.2. Duplicador de voltaje de onda completa.

El duplicador de onda completa, mostrado en la Fig. 2.10, es el menos utilizado de los rectificadores. Fue propuesto en 1983 por Scott Wetenkamp [25] principalmente como detector de potencia RF.

A diferencia del duplicador de media onda, esta arquitectura no cuenta con una etapa de sujeción, por lo que la duplicación de voltaje se hace al sumar los voltajes de DC almacenados en los capacitores de salida.

Ciclo positivo: Durante el primer ciclo positivo de la señal, ver Fig. 2.11, sólo se polariza directamente D_1 y genera una corriente i_1 la cual transfiere carga al capacitor C_1 . Dado que D_2 se encuentra en polarización inversa, C_2 está descargado y es un circuito abierto y por lo tanto R_L también se encuentra en circuito abierto. De manera ideal, C_1 se carga al voltaje pico de la señal de entrada V_p , que en la figura se representa con un voltaje v_1 .

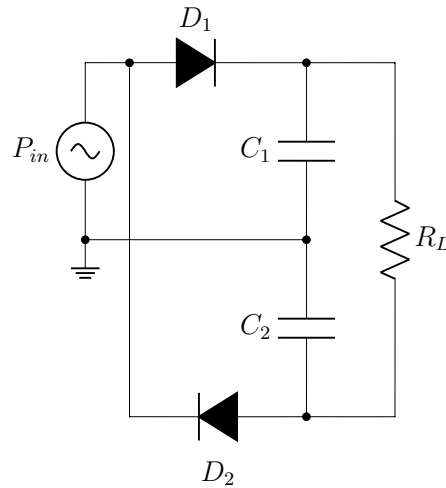
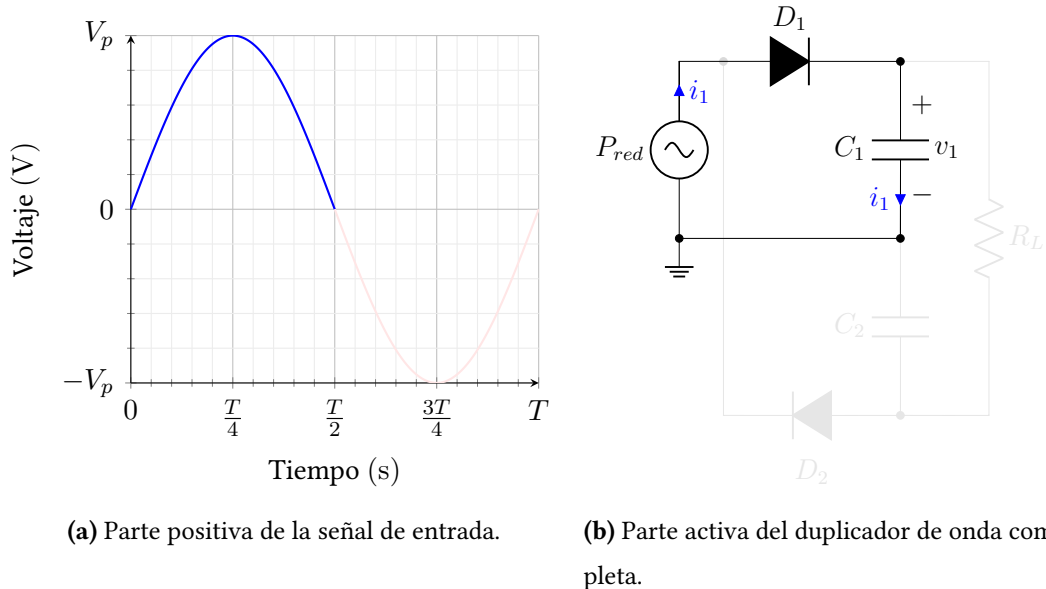


Figura 2.10: Duplicador de voltaje de onda completa.



(a) Parte positiva de la señal de entrada.

(b) Parte activa del duplicador de onda completa.

Figura 2.11: Duplicador de onda completa durante el ciclo positivo de la señal.

Ciclo negativo: Durante el ciclo negativo, D_1 se encuentra en polarización inversa y se induce una corriente i_2 la cual se encarga de cargar C_2 a un voltaje v_2 , el cual idealmente corresponde a V_p . Los voltajes v_1 y v_2 se suman de manera directa para inducir un voltaje $2V_p$ en la resistencia de carga y de esta manera se determina la operación de duplicación de voltaje.

La respuesta ideal del rectificador de onda completa se muestra en la Fig. 2.13. El tiempo de respuesta, al igual que el rectificador de media onda es de $3T/4$, además v_2 es negativo con respecto a tierra y se suma al voltaje v_1 . Nótese que para fines prácticos en el periodo

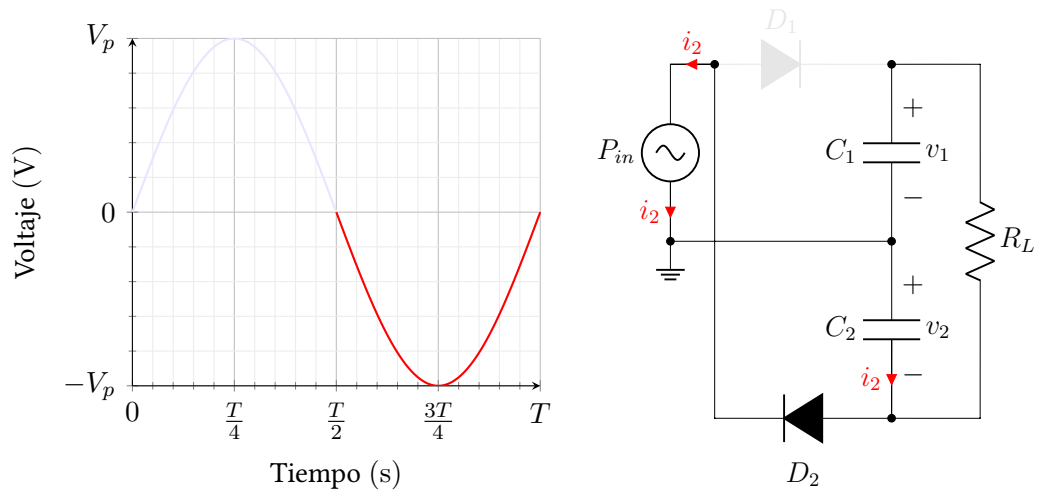


Figura 2.12: Duplicador de onda completa durante el ciclo negativo de la señal.

de $T/4$ ya se cuenta con al menos V_p a la salida, mientras que en el de media onda no se cuenta con un potencial de salida suficiente hasta $3T/4$.

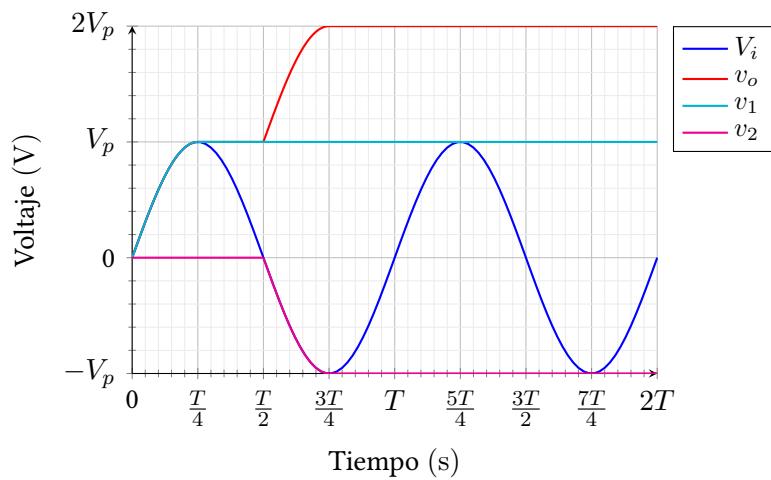


Figura 2.13: Respuesta ideal del rectificador de onda completa.

2.2.3. Puente de actuación diferencial.

El puente de actuación diferencial, mostrado en Fig. 2.14, se trata de un puente de diodos con la adición de capacitores de aislamiento $C_1 - C_4$, los cuales permiten que sean colocados en cascada para la multiplicación de voltaje.

Esta arquitectura, duplica el número de elementos de rectificación por etapa y puede, en teoría presentar más pérdidas que las configuraciones mencionadas anteriormente. En el mismo sentido que los rectificadores anteriores, el tiempo de respuesta ideal es de $3T/4$.

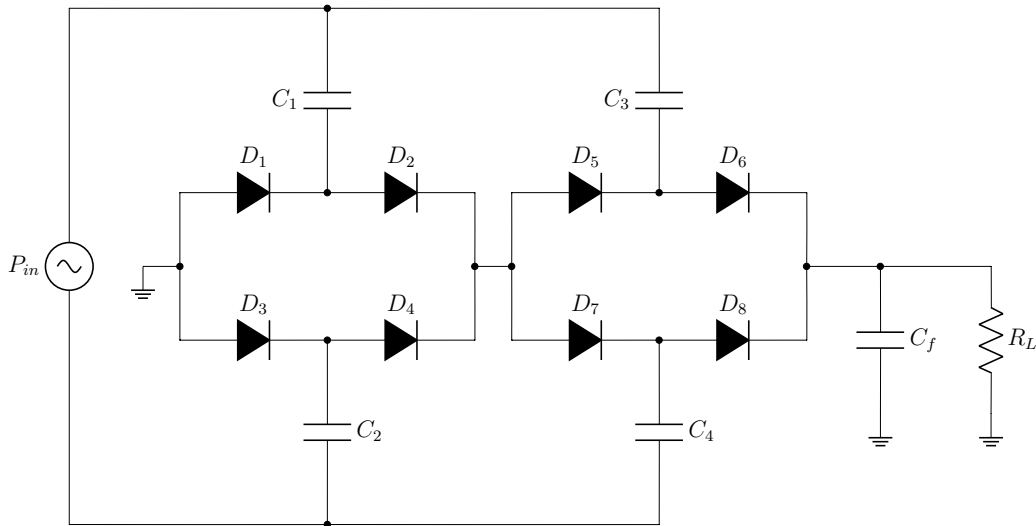


Figura 2.14: Puente rectificador de 2 etapas.

En la sección 3.3.1 se detallan los medios para seleccionar la arquitectura de rectificación adecuada para la aplicación objetivo. Otras alternativas de rectificación han sido propuestas para aplicaciones de WPT, pero se trata de modificaciones funcionales de alguna de las tres arquitecturas presentadas en este apartado. La siguiente sección expone una breve mención de dichas arquitecturas.

2.3. Modelado de rectificadores.

La naturaleza no lineal de los rectificadores ha hecho del proceso de modelado de rectificadores una tarea compleja. A pesar de ello, se han hecho una serie de propuestas, las cuales modelan el estado estacionario de alguna arquitectura en específico tomando distintas suposiciones. A continuación se describen algunos de los modelos propuestos.

2.3.1. Modelo de Dickson.

Es uno de los modelos de rectificadores más antiguos propuesto por John F. Dickson en 1976 [26]. El modelo está pensado para un multiplicador de voltaje tipo Cockcroft-Walton,

mostrado en la Fig. 2.15, aunque se considera válido para duplicadores de media onda y onda completa. Las entradas denominadas como ϕ y $\bar{\phi}$ son pulsos cuadrados utilizados para la conmutación de las entradas y así lograr la multiplicación de voltaje.

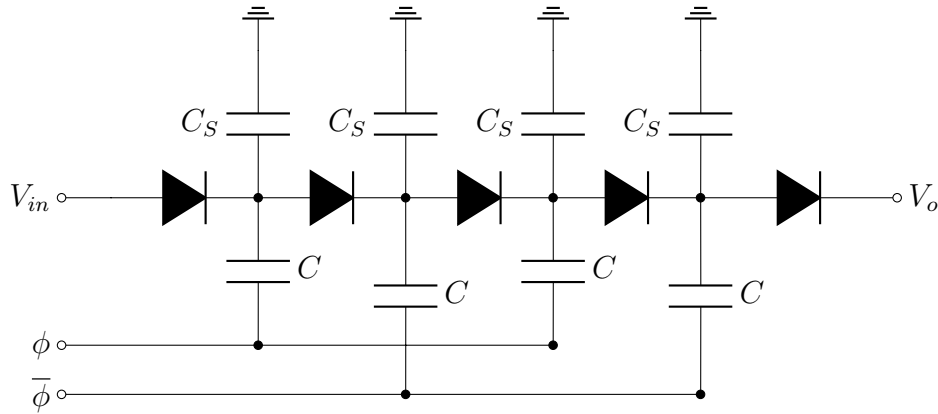


Figura 2.15: Multiplicador de voltaje tipo Cockcroft-Walton de dos etapas.

De esta manera el modelo propuesto se describe por medio de la Ec. (2.7).

$$V_o = V_{in} - V_D + N \left[\left(\frac{C}{C + C_S} \right) \cdot V_\phi - V_D \right] - N \frac{I_o}{(C + C_S)f}, \quad (2.7)$$

donde: V_D es el voltaje de umbral de los diodos, N es el número de etapas, C y C_S son los capacitores internos, f es la frecuencia de operación y V_ϕ es el voltaje pico-pico de los pulsos. Si a la salida se tiene un capacitor en paralelo como filtro pasa-bajas, el voltaje de rizo estará determinado por la Ec. (2.8):

$$V_{rizo} = \frac{V_o}{R_L C_f f}, \quad (2.8)$$

donde: R_L es la resistencia de carga, C_f es el capacitor de filtrado y f es la frecuencia de operación.

2.3.2. Modelo de Ashry.

En 2008 Ashry *et al.* [27] proponen un modelo para rectificador de media onda (Fig. 2.4). Utilizando el principio de conservación de carga, el cual indica que $Q_{in} = Q_{out}$ en donde Q_{in} y Q_{out} son las cargas de entrada y de salida respectivamente transferidas al circuito en cada

ciclo de carga. El problema es simplificado mediante el uso de picos de corriente triangulares y utilizan el modelo de transistor en modo diodo clásico, mostrado en la Fig. 2.16a. De esta manera proponen el modelo de la Ec. (2.9):

$$V_o = V_p - V_{th} - \sqrt{\frac{2\pi I_o}{K}}, \quad (2.9)$$

donde: V_o es el voltaje de salida en DC, V_p es el voltaje pico de entrada, V_{th} es el voltaje de umbral del diodo, I_o es la corriente de salida y $K = \frac{\mu_p C_{ox}}{2} \frac{W}{L}$. La ecuación puede ser expandida para obtener la eficiencia del rectificador de manera directa.

2.3.3. Modelo de Barnett.

En 2009 Barnett *et al.* [28] proponen un modelo para el duplicador de media onda basado en el modelo de Dickson. Consideran la variación no-lineal del V_{th} de los diodos, además de las capacitancias parásitas causadas por el proceso de fabricación de los diodos Schottky utilizados. Así, proponen el modelo de la Ec. (2.10).

$$V_o = \left(V_{in} \cdot \left(\frac{C}{C + C_S} \right) - n \cdot V_{th} \cdot \ln \left(\frac{\chi \cdot I_o}{I_s} \right) \right) \cdot N - \frac{N I_o}{(C_C + C_P) f}, \quad (2.10)$$

en donde: I_s es la corriente de saturación del diodo y χ es un factor de proporcionalidad, el resto de los parámetros son los mismos que en el modelo de Dickson.

2.3.4. Modelo de Curty.

Para facilitar el diseño de sistemas WPT Curty *et al.* desarrollan en 2005 [29] un modelo en estado estacionario en el dominio del tiempo para analizar el comportamiento de sistemas rectificadores multietapa. Proponen un factor de normalización para determinar la impedancia ideal de la antena y modelan la relación entrada/salida de un rectificador de media onda tomando las siguientes consideraciones:

- El voltaje pico de entrada es conocido,
- el rectificador opera en estado estacionario,

- la corriente de salida es constante,
- todos los diodos son idénticos y
- los capacitores internos son corto circuito a la frecuencia de trabajo.

Presentan un modelo iterativo utilizando las ecuaciones integrales del balance de corrientes del circuito en conjunto con modelos numéricos de capacitancias y corrientes de diodo. Presenta un análisis completo del sistema de rectificación incluyendo eficiencia y potencia disponible a partir del modelo. Validan el modelo por medio de la fabricación de los rectificadores en un proceso de silicio sobre zafiro (SoS, *silicon-on-sapphire*) de 500 nm.

2.3.5. Modelo de Yi.

En 2007 Yi *et al.* [30] presentan un modelo para rectificadores que utilizan transistores CMOS en modo diodo. Considera las distintas regiones de operación del transistor extrayendo algunas ecuaciones del modelo BSIM3 [31]. De esa manera, presentan que el voltaje de salida en un duplicador de una etapa equivale a Ec. (2.11):

$$\bar{V}_o = V_a - V_{th} - \left(\frac{15\pi}{8} \frac{I_o \sqrt{2V_a}}{\mu_n C_{ox} \frac{W}{L}} \right)^{2/5}, \quad (2.11)$$

y:

$$I_{oeff} = I_o + \frac{I_{so} W}{\pi L} (1 - e^{-V_a/V_T})(1 + \lambda_{sub} V_a), \quad (2.12)$$

donde: V_a es el voltaje pico de entrada, I_o es la corriente de salida. I_{oeff} es la corriente de salida efectiva, λ_{sub} es la modulación de canal en la región de subumbral y V_T es el voltaje térmico.

Sin embargo, establecen que estas ecuaciones presentan un error significativo con respecto a la simulación y definen parámetros de compensación basados en simulaciones para reducir el error.

2.3.6. Modelos adicionales.

Adicionalmente, otros tipos de modelos de rectificadores han sido presentados. En [32] utilizan pulsos rectangulares para aproximar la corriente de los diodos en un puente rectificador utilizando funciones de Fourier para definir la conversión AC/DC. Para integrar los resultados, utiliza un análisis de Shwartz [33] para determinar los armónicos generados por la conmutación de los diodos.

Modelos a partir de ajuste de curvas los cuales utilizan datos extraídos de simulaciones han sido propuestos [34], en [35] proponen un modelo para el duplicador con compensación ITC, tratado en la sección 2.5.5, el cual utiliza una técnica de conservación de carga y picos de corriente triangulares.

Se han utilizado funciones de Bessel modificadas del primer tipo para dar una solución cerrada de las ecuaciones no lineales para rectificadores de media onda [36]. Empleando un rectificador en modo *shunt*, Guo *et al.* [37] utilizan terminaciones armónicas para aumentar la eficiencia de los rectificadores y modelan la potencia de salida con respecto a la entrada. Mencionan que al diseñar un acoplamiento de impedancia adecuado la eficiencia del rectificador se aproxima a la eficiencia del diodo.

Una ecuación implícita para rectificadores, la cual relaciona la potencia de entrada con el voltaje y la corriente de salida, es propuesta en [24]. Dicha ecuación utiliza funciones modificadas de Bessel para obtener los resultados presentados. Las componentes armónicas de la respuesta del rectificador son obtenidas mediante métodos de Ritz-Galerkin en [38], apoyados por funciones de Bessel.

Asumiendo una salida de voltaje senoidal de baja amplitud y componentes de DC relativamente altas, se propone un modelo para estimar el voltaje de salida en circuito abierto de un rectificador [39], dicho modelo requiere factores de corrección para entregar una estimación aceptable. En [40] utilizan modelos de diodo simplificados para determinar la eficiencia teórica de rectificadores, es decir es un modelo basado en potencias. Al mismo tiempo proponen técnicas de optimización de forma de onda que pueden mejorar la cantidad de energía recibida.

2.3.7. Modelo de la impedancia de entrada.

De manera alternativa, otros autores han propuesto el modelado de la impedancia de entrada del rectificador con la finalidad de mejorar el acoplamiento de impedancia. Un método estadístico para determinar la impedancia de entrada es formulado por Hameed *et al.* en 2017. El método considera una distribución de probabilidad y estima la impedancia de entrada adecuada para maximizar la eficiencia en un rango esperado de potencias de entrada.

En [41] utilizan el rectificador en modo inverso, es decir invierten la entrada con la salida, de tal modo que al introducir un voltaje de DC obtienen una señal de AC, en otras palabras un oscilador. Argumentan que cuando la frecuencia en modo oscilador coincide con la frecuencia de entrada en modo rectificador se podrá obtener un acoplamiento apropiado, aunque los resultados presentados demuestran que el concepto tiene aplicación limitada.

En 2017 Shieh *et al.* [42] sugieren modelar la impedancia de entrada de los rectificadores considerando los estados de polarización de cada diodo y de esa manera obtener una expresión cerrada con respecto a dichos parámetros. Proponen dos impedancias equivalentes: $Z_{in,ON}$ la cual representa la impedancia de entrada promedio cuando sólo uno de los diodos está “encendido” y $Z_{in,OFF}$ que expresa la impedancia de entrada promedio cuando ambos diodos están “apagados”. En la Ec. (2.13) y (2.14) se expresan ecuaciones de las impedancias equivalentes.

$$Z_{in,OFF} = \frac{Z_{D,off}}{2} + \frac{1}{j\omega_m C_s}, \quad (2.13)$$

$$Z_{in,ON} = \frac{Z_{D,OFF}Z_{D,ON}}{Z_{D,OFF} + Z_{D,ON}} + \frac{1}{j\omega_m C_s}. \quad (2.14)$$

De esta forma, determinan que la impedancia de entrada equivalente puede estimarse por medio de la Ec. (2.15).

$$Z_{in} = \frac{T}{2} \left[\frac{1}{Z_{in,OFF}} \left(\frac{T}{4} + t_1 - \frac{1}{2\omega_m} \sin(2\omega_m t_1) \right) + \frac{1}{Z_{in,ON}} \left(\frac{T}{4} - t_1 + \frac{1}{2\omega_m} \sin(2\omega_m t_1) \right) \right]^{-1}, \quad (2.15)$$

y:

$$t_1 = \frac{1}{\omega_m} \sin^{-1} \left(\frac{V_{th} + V_{out}/2}{V_m} \right), \quad (2.16)$$

donde: t_1 es el instante de tiempo en que se presenta el cambio en la polarización de los diodos, V_m es voltaje pico de entrada, C_s es el capacitor de sujeción, $\omega_m=2\pi f$, $Z_{D,ON}$ y $Z_{D,OFF}$ son las impedancias equivalentes en modo apagado y encendido de los diodos y V_{out} es el voltaje de salida. Estas expresiones pueden ser utilizadas para el cálculo de la impedancia de entrada siempre y cuando el voltaje de entrada sea un valor constante conocido.

Finalmente, las referencias [43]-[45] utilizan el *software Keysight Advanced Design Systems (ADS)* [46] para acoplar de manera directa la operación de la antena al rectificador o, en su defecto, optimizar el acoplamiento de impedancia. Esta práctica conlleva muchas ventajas aunque depende de un software comercial específico, lo que puede quitar generalidad de aplicación para el diseño de rectificadores.

Los modelos previamente mencionados dan una percepción invaluable acerca de los distintos aspectos de la operación de rectificadores. Sin embargo, las diferentes suposiciones requeridas para obtener los modelos (impedancia constante, igualdad en los elementos rectificadores, niveles de voltaje o corriente fijos, cero voltaje de rizo y arquitectura de rectificador fija) obstaculizan severamente el uso práctico de estos modelos. Especialmente cuando métodos de simulación en estado estable como el balance armónico [47] no imponen suposiciones de comportamiento y pueden dar aún más información mientras presentan tiempos de cómputo bajos.

2.4. Transistores CMOS conectados como diodo.

El uso de tecnologías CMOS para fines de recolección de energía conlleva ciertas ventajas, sobre todo desde la perspectiva de la utilización de técnicas de cancelación del voltaje de umbral, descritas en la sección 2.5. La basta disponibilidad de los procesos de fabricación en conjunto con la reducción del costo en masa de los dispositivos es otra de las razones por las que la tecnología CMOS es preferida, aunque en algunos trabajos se ha propuesto la implementación de diodos Schottky en procesos CMOS estándar [48].

De manera tradicional, un transistor en modo diodo se logra conectando la compuerta con drenaje mientras que el sustrato está conectado a la fuente, como los muestran las Fig. 2.16a y 2.16b. Sin embargo, el desempeño como diodo de esta configuración es muy pobre, especialmente en aplicaciones en las que la conducción en subumbral es relevante. Por ello, para este tipo de aplicaciones se utiliza una modificación a dicha configuración en la que el sustrato también es conectado al drenaje, llevando a cero el voltaje de sustrato a compuerta y así mejorando el desempeño como diodo.

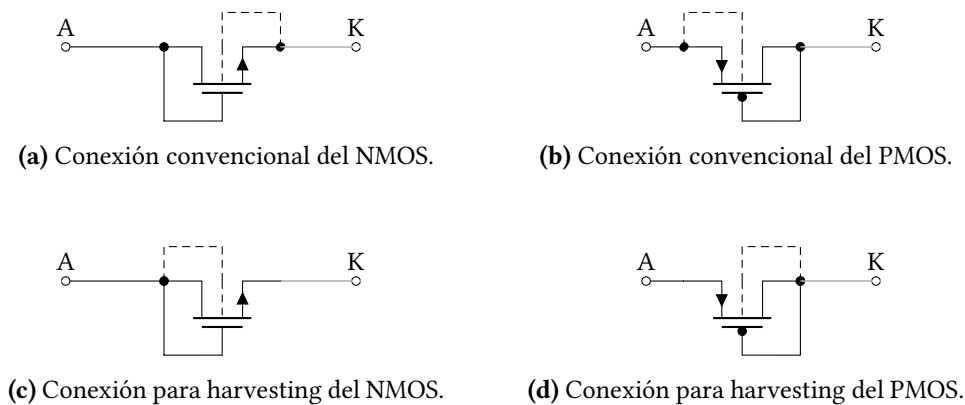


Figura 2.16: Tipos de conexiones de los transistores MOS.

Dada la forma en la que los transistores son utilizados, es necesario proveer la información que permita a SPICE calcular los efectos de la unión PN adicional para el modelo de transistor BSIM3v3², lo cual requiere de la información de las áreas de difusión del transistor. La sintaxis para agregar dichos parámetros se detalla en el apéndice B.2.

Para evaluar la diferencia de respuesta entre las dos configuraciones de diodo se hace un barrido en DC (DC SWEEP) para generar las gráficas I-V en ambas configuraciones utilizando la tecnología TSMC de 0.18 μm . El *netlist* de HSPICE se muestra en el Código 2.1, en donde los cuatro diodos utilizados se manejan de manera independiente, es decir sin tierra acoplada, con el fin de eliminar interferencias entre las configuraciones. Se agregan las áreas y perímetros de los transistores de manera paramétrica con el fin de que se calculen de manera dinámica a partir del ancho del drenaje y la fuente `ldxx`, el ancho de canal `lxx` y la longitud de canal `wxx`. Por simplicidad, se asume que el ancho del drenaje y la fuente son el mismo.

²En HSPICE corresponde al modelo nivel 49, en PSPICE corresponde al modelo nivel 7. Otras versiones de SPICE pueden usar otras nomenclaturas.

```

* Barrido de DC para diodos CMOS

.inc "C:/synopsys/models/TSMC_0.18u.txt"
.opt ingold = 1 lis_new=1 measform = 2 runlvl=6 post=2
.param vd = 0

r1 9 0 1e9
vx 9 0 1

***** Diodos convencionales
.param ln1 = 0.18u wn1 = 5u ldn1 = '2*ln1'
mn1 1 1 2 2 nmod l=ln1 w=wn1
+      ad = 'ldn1*wn1' as = 'ldn1*wn1' pd = '2*ldn1 + wn1' ps = '2*ldn1 + wn1'
v1 1 2 vd

.param lp1 = 0.18u wp1 = 5u ldp1 = '2*lp1'
mp1 4 4 3 3 pmod l=lp1 w=wp1
+      ad = 'ldp1*wp1' as = 'ldp1*wp1' pd = '2*ldp1 + wp1' ps = '2*ldp1 + wp1'
v2 4 3 '-vd'

***** Diodos modificados
.param ln2 = 0.18u wn2 = 5u ldn2 = '2*ln2'
mn2 5 5 6 5 nmod l=ln2 w=wn2
+      ad = 'ldn2*wn2' as = 'ldn2*wn2' pd = '2*ldn2 + wn2' ps = '2*ldn2 + wn2'
v3 5 6 vd

.param lp2 = 0.18u wp2 = 5u ldp2 = '2*lp2'
mp2 8 8 7 8 pmod l=lp2 w=wp2
+      ad = 'ldp2*wp2' as = 'ldp2*wp2' pd = '2*ldp2 + wp2' ps = '2*ldp2 + wp2'
v4 8 7 '-vd'

***** Análisis
.op
.dc vd 0 3.3 0.001
.print dc i(mn1) i(mp1) i(mn2) i(mp2)
.end

```

Código 2.1: Código de HSPICE utilizado para la comparación entre las dos configuraciones de diodo.

Se utilizan los mismos tamaños de transistor, con $L=0.18\ \mu\text{m}$ y $W=5\ \mu\text{m}$, además, los anchos de fuente y drenaje son de $2L$, es decir $0.34\ \mu\text{m}$. Adicionalmente el barrido se hace entre 0 y 3.30 V, que corresponde al voltaje máximo permitido para esta tecnología.

De este modo se obtienen las Fig. 2.17a y 2.17b que muestran la comparación directa entre los niveles de corriente con respecto al voltaje para cada tipo de diodo. Las Fig. 2.17c y 2.17d muestran el error entre las conexiones convencionales y modificadas para cada tipo de diodo. El error de $240\ \mu\text{A}$ corresponde a un incremento en la conductividad del diodo del 11.41 %.

Por lo tanto, es conveniente utilizar la configuración de diodo modificada para aplicaciones de baja potencia con la finalidad reducir las pérdidas los elementos de rectificación. El si-

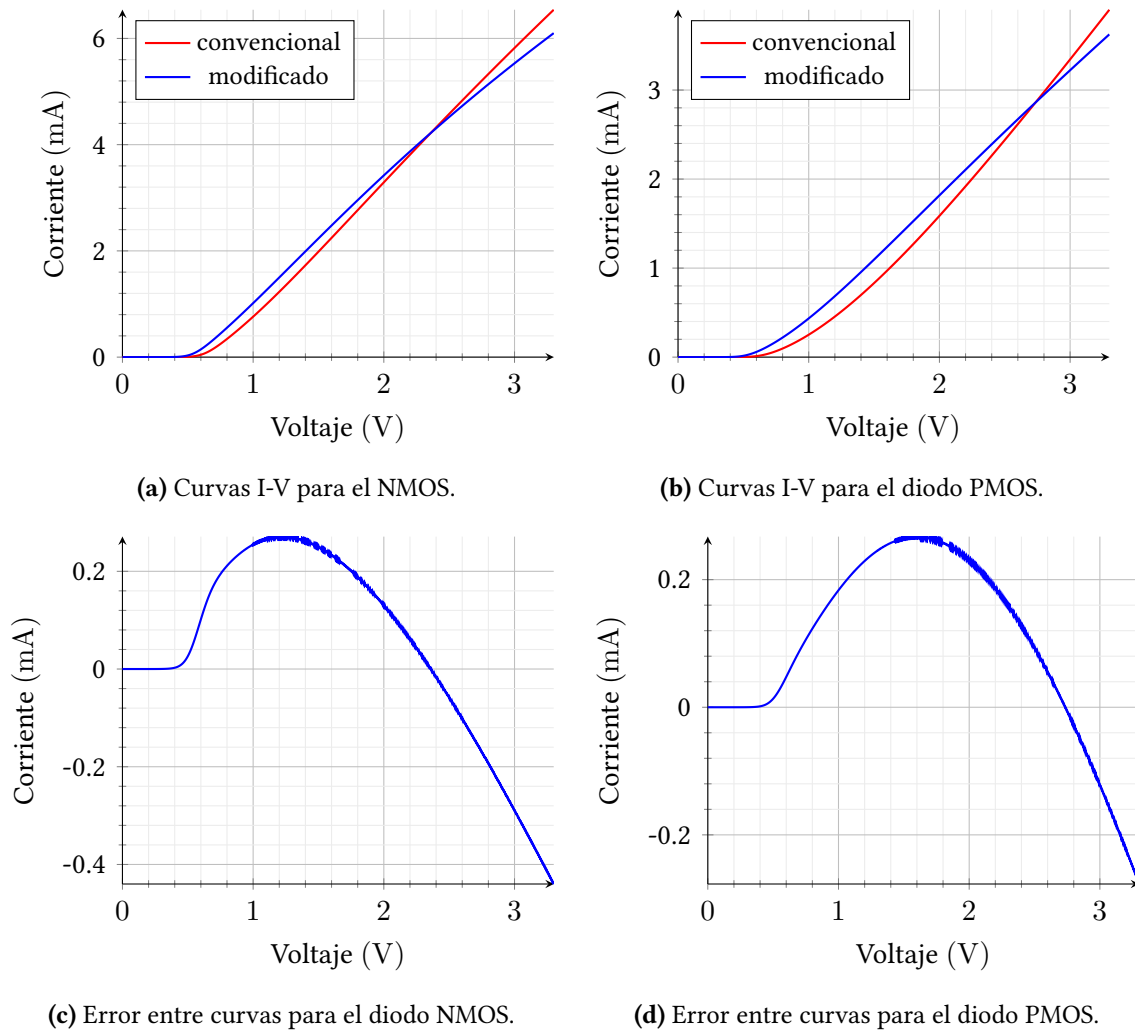


Figura 2.17: Curvas I-V para ambos tipos de transistor.

guiente paso es utilizar las terminales de conducción en los transistores CMOS para reducir, y en algunos casos eliminar el voltaje de umbral.

2.5. Técnicas de cancelación de voltaje de umbral.

El voltaje de umbral en un elemento rectificador representa la mayor parte de las pérdidas existentes en un rectificador, seguidas por el desacoplamiento de impedancias y la corriente de fuga en reversa. La utilización de una tecnología con transistores de $V_{th}=0$ [30] no es necesariamente la opción adecuada en términos generales. La existencia de una relación entre el voltaje de umbral y la corriente de fuga en reversa implica que un transistor con un V_{th} cercano a cero tendrá una corriente en reversa superior, reduciendo la eficiencia. Por

lo tanto, como muchas otras partes del diseño de rectificadores, existe un compromiso de diseño para la compensación del voltaje de umbral.

2.5.1. Cancelación ideal.

Utilizando una fuente de voltaje adicional es posible eliminar por completo el V_{th} de un transistor [49], la metodología para ello se muestra en la Fig. 2.18. El voltaje de compensación, denominado como V_b^3 , debe de corresponder al V_{th} del transistor, el cual es positivo para transistores NMOS y negativo para los PMOS. Note que la fuente de compensación surge del voltaje entre la compuerta y el drenaje V_{GD} y la diferencia de potencial entre la compuerta y el sustrato se hace cero.

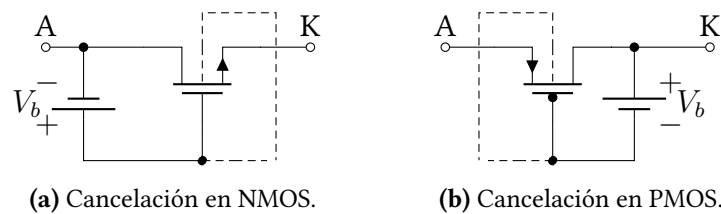


Figura 2.18: Cancelación ideal del voltaje de umbral en transistores CMOS.

Algunos autores han propuesto la utilización de compensadores externos [50], [51] los cuales utilizan esta técnica, aunque sólo logran un dispositivo semiautónomo, logran generar un voltaje de 1.50 V a una distancia de 10 m para aplicaciones en *tags* RFID.

2.5.2. Autocancelación de voltaje de umbral (SVC).

Esta técnica de cancelación denominada *Self- V_{th} Cancellation* (SVC) es reportada en 2007 por Kotani *et al.* [52]. Utilizando un duplicador de media onda con transistores CMOS conecta las compuertas a la terminal más negativa y más positiva para el transistor PMOS y NMOS respectivamente, como se muestra en la Fig. 2.19. Con ello, se logra una polarización adicional a la compuerta incrementando la corriente en el transistor, lo que reduce la resistencia equivalente R_{on} de los transistores y por lo tanto el voltaje de umbral.

El uso de esta técnica debe de ser correctamente analizado, ya que para entradas de potencia

³Por tratarse de un voltaje de polarización o *bias*.

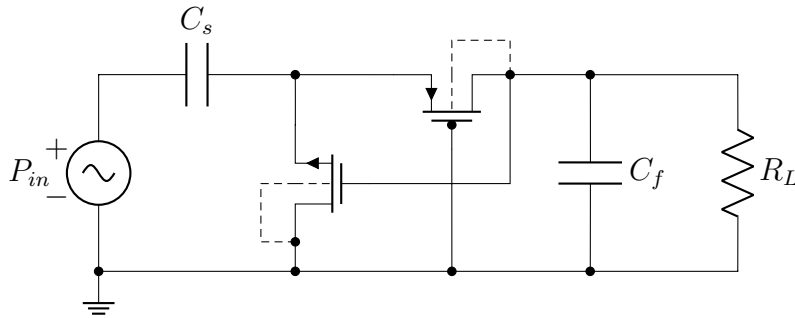


Figura 2.19: Auto-cancelación del voltaje de umbral.

relativamente altas (por encima de los -10 dBm) la compensación puede llegar a ser mayor a la necesaria, provocando pérdidas adicionales por conducción en reversa del transistor de salida PMOS.

Algunos autores [5], [49] utilizan esta técnica utilizando ordenes de compensación superior en rectificadores multietapa. Es decir, compensan utilizando la salida del rectificador no sólo en la etapa inmediata siguiente sino que utilizan la segunda, tercera o enésima etapas adelante para la compensación.

2.5.3. Cancelación interna de voltaje de umbral (IVC).

Es denominada *Internal V_{th} Cancellation* y fue propuesta por Nakamoto *et al.* [53] en 2007. La Fig. 2.20 muestra esta configuración implementada en un duplicador de media onda. Los transistores M_{p2} y M_{n2} se encuentran conectados en modo diodo y en paralelo con los capacitores C_1 y C_2 respectivamente, de forma que dichos capacitores son cargados al voltaje de umbral de cada transistor. Las resistencias R_{c1} y R_{c2} son utilizadas como un divisor de voltaje y limitan la corriente en M_{p2} y M_{n2} . El voltaje inducido en los capacitores es alimentado como un voltaje V_{GD} en los transistores M_{p1} y M_{n1} y se suma directamente al voltaje de la fuente para inducir la compensación. Por supuesto, se asume que ambos transistores tipo N y ambos tipo P son iguales con el fin de que exhiban el mismo voltaje de umbral.

Al contrario del SVC, esta técnica es más adecuada para potencias de entrada relativamente altas, en el orden de los -3 dBm [54], debido principalmente a que las resistencias internas utilizadas provocarían pérdidas adicionales. Dichas resistencias se encuentran generalmente en el orden de las decenas de $k\Omega$, y corresponden a un parámetro adicional de optimización.

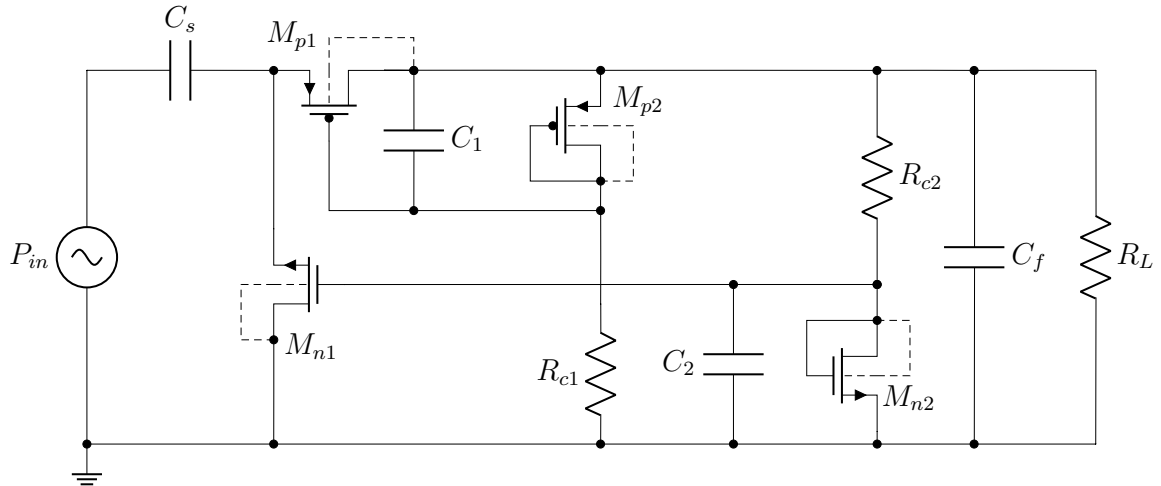


Figura 2.20: Cancelación interna del voltaje de umbral.

Un valor demasiado alto tomará demasiado tiempo en arrancar la compensación en los transistores, mientras que una resistencia muy baja provocará demasiadas pérdidas.

2.5.4. Cancelación por actuación diferencial.

El puente de actuación diferencial presentado por Facen *et al.* en 2006 [55], además en [56], [57], emplea una arquitectura de puente rectificador implementado con transistores CMOS en combinación con la autocancelación del voltaje de umbral. Utilizando una tecnología CMOS de 180 nm reportan una eficiencia del 67% a una potencia de entrada de -12.50 dBm.

Como se menciona en la sección 3.3.1, esta arquitectura es comúnmente utilizada en aplicaciones de RFID y se han reportado distintas variantes de la técnica [58]-[62] con distintas propiedades y características.

2.5.5. Compensaciones alternas.

La arquitectura propuesta por Rastmanesh *et al.* [63] se muestra en la Fig. 2.22a. Es un duplicador de media onda con la adición de dos transistores PMOS los cuales reducen la corriente de fuga en reversa del circuito y utiliza el capacitor de compensación C_c para aumentar el voltaje entre compuerta y fuente del transistor PMOS de salida. Utilizando una tecnología CMOS de 90 nm reportan una potencia de salida de $8.10 \mu\text{W}$ cuando existe un

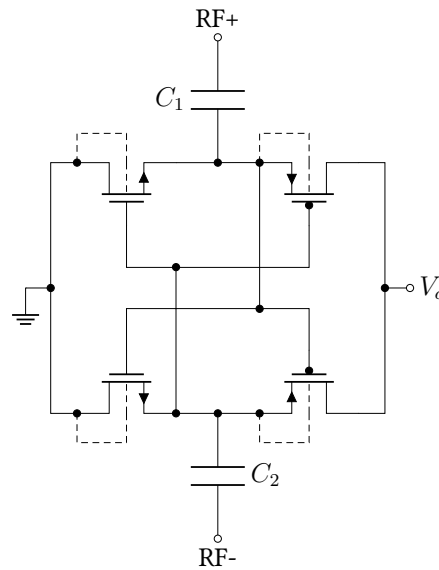


Figura 2.21: Cancelación de V_{th} por puente de actuación diferencial.

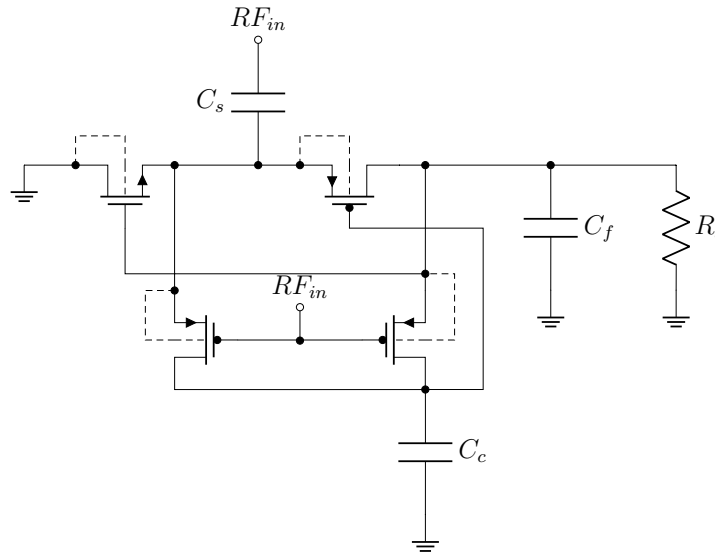
voltaje de entrada de 190 mV, equivalente a una eficiencia del 36 %.

El sistema propuesto por Chouhan *et al.* [64] se muestra en la Fig. 2.22b y el concepto es similar al de Rastmanesh, excepto que utilizan sólo un transistor para la compensación. Utilizando una tecnología de 0.18 μm reportan una eficiencia del 35 % para una potencia de entrada de -8 dBm.

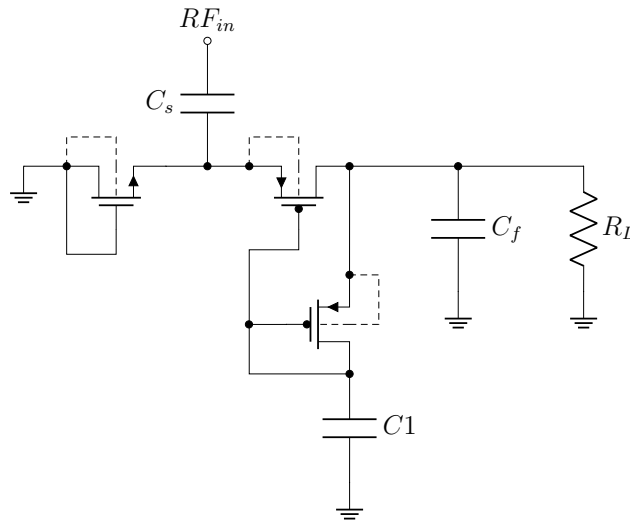
Debido al incremento en el número de elementos, ambas arquitecturas tienen un desempeño más adecuado para potencias de entrada intermedias, además son compatibles con rectificadores multietapa.

Pese a que son alteraciones de las técnicas ya mencionadas, en [65]-[67] se pueden encontrar otras configuraciones para cancelación de V_{th} . Otros autores proponen redes de ajuste adicionales para mejorar ya sea el acoplamiento de impedancia o la reducción de la corriente en reversa [68], [69].

Alternativas a circuitos con cancelación de V_{th} incluyen la implementación de diodos Schottky en procesos CMOS estándar [48] o el uso de transistores FET de efecto túnel [70], aunque estas opciones están fuera del alcance de este trabajo.



(a) Compensación de Rastmanesh



(b) Compensación de Chouhan

Figura 2.22: Compensaciones de V_{th} alternas.

2.6. Estado del arte.

Dentro de la literatura existente para sistemas WPT, una de las primeras cosas que se hace evidente es que existen dos vertientes muy definidas: aquellas que se centran en el diseño de antenas y las que se enfocan en diseño de rectificadores. Esto se debe al nivel de complejidad que ambas áreas de especialización presentan, ya que un estudio que aporte información relevante en ambos campos de estudio podría volverse demasiado extenuante. Si bien este trabajo se centra en el diseño de rectificadores, una breve reseña de los nuevos aportes en el diseño de antenas y sus distintas características será presentada. En la sección posterior

se describen las propuestas más recientes y relevantes dentro del diseño de rectificadores.

2.6.1. Antenas para recolección de energía: Rectennas.

El concepto de **rectenna**, el cual surge de la contracción de los términos *rectifier* y *antenna*, se refiere a la integración de una antena receptora de energía con un circuito rectificador, de tal manera que el sistema en conjunto es un recolector de energía. En la literatura, existe un sinnúmero de diseños de antena para la recolección de energía. Además, algunas de ellas proponen técnicas para el acoplamiento a la parte electrónica.

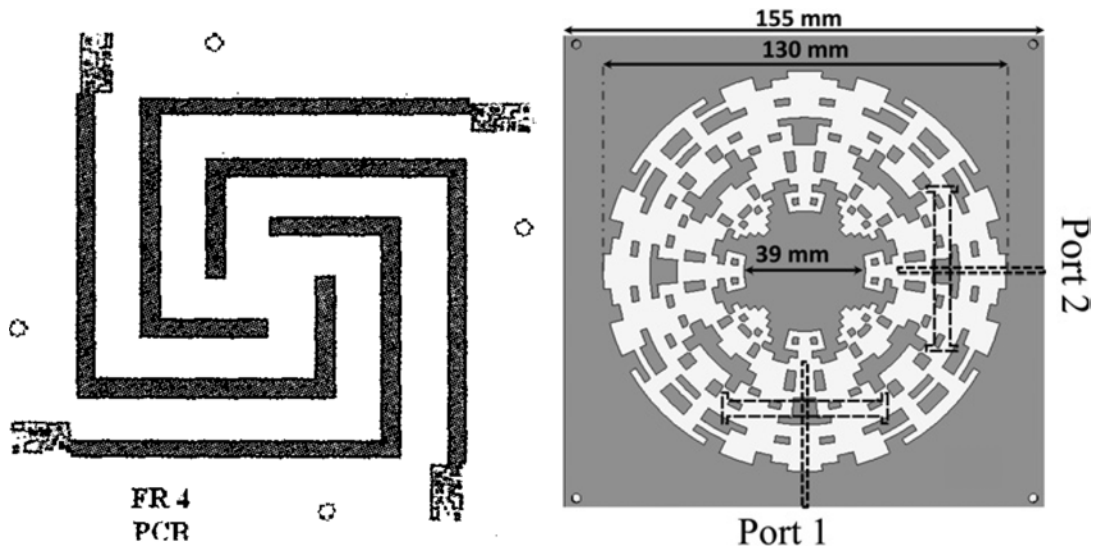
En 2005 Mi *et al.* [71], utilizan múltiples antenas en el mismo espacio para incrementar el nivel de energía recibida sin aumentar en la misma proporción el área utilizada. La configuración de antenas que presentan se muestra en la Fig. 2.23a. Sin embargo, no emplean una integración adecuada con la parte electrónica y sólo miden voltajes por separado a la salida de duplicadores de media onda. Utilizan antenas monopolo en espiral a 915 MHz y logran capturar 320 mW, sumando la energía de cuatro antenas, a una distancia de 20 cm del transmisor, el cual radia 5 W desde una antena isotrópica.

Otra propuesta para la utilización de múltiples antenas puede encontrarse en [72]. Utilizan una antena tipo fractal Koch, la cual provee un incremento en el patrón de radiación y logra una ganancia de casi 5 dBi a una frecuencia de 2.45 GHz. Utilizan un arreglo de cuatro antenas de polarización lineal y, con una antena fuente de 1 W y ganancia de 10 dBi a una distancia de 2.50 m, alcanzan una eficiencia del 68 % con una potencia recibida de -5 dBm utilizando un mezclador de RF de cuatro vías.

Una antena tipo Yagi-Uda de polarización circular a 4 GHz es presentada en 2011 por Yang *et al.* [73] empleando un proceso de optimización por algoritmo genético. En [74] se encuentran diseños de antenas de lazo miniaturizadas para aplicaciones de WPT. Estudian la posibilidad de integrar dichas antenas dentro del chip con un proceso CMOS además de antenas externas al chip. Para las antenas en chip, logran una ganancia de -29.50 dBi a 5.80 GHz, mientras que las antenas fuera de chip presentan una ganancia de -30 a -2.40 dBi a la misma frecuencia.

En [75] presentan una antena tipo dipolo plegado de radiación isotrópica a 900 MHz empleando una geometría de dimensiones reducidas. Alcanza una ganancia de 2.10 dBi con una longitud de 40×15 mm. Empleando optimización por algoritmo genético, Masotti *et*

al. [76] presentan el diseño de una antena para recolección de energía para la banda GSM de 900 MHz, mostrada en Fig. 2.23b. Utilizando un teléfono celular a una distancia de 500 mm logran generar un voltaje de 2.50 V siempre y cuando exista una llamada telefónica en curso.



(a) Integración de múltiples antenas en el mismo espacio, tomado de [71]. (b) Antena optimizada por algoritmo genético, tomado de [76].

Figura 2.23: Antenas en el estado del arte.

Kumar *et al.* [77] presentan en 2014 una antena de parche diseñada en un sustrato biocompatible de cerámica de alúmina capaz de ser implantada en el cuerpo humano. La antena presenta una ganancia de -13 dBi a una frecuencia de 2.50 GHz. En [78] proponen una antena tipo Fabry-Perot de polarización circular, que muestra una ganancia de 17 dBi a 35 GHz. La antena es acoplada a un diodo por medio de circuitos de microcinta para formar un rectificador. El sistema tiene una eficiencia de 63.80 % con una carga de 430Ω y una potencia de entrada de 77.30 mW.

Una metodología para la eliminación de la red de acoplamiento es propuesta en 2017 por Song *et al.* [79]. Mediante la utilización de dipolos asimétricos, como se muestra en la Fig. 2.24, plantean que es posible sintonizar la impedancia de salida de la antena para el acoplamiento directo con el rectificador. Esta metodología necesita de *software* con la capacidad de integrar el análisis electromagnético con simulación SPICE, como es el caso de ADS [46] o HFSS [80].

En [81] presentan una antena de banda doble reconfigurable por medio de un diodo PIN

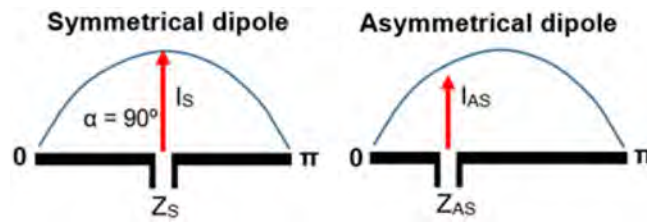


Figura 2.24: Dipolos asimétricos para la eliminación de la red de acoplamiento, tomado de [79].

en modo interruptor en el rango de frecuencia de 4.50 GHz, la cual tiene en promedio una ganancia de ≈ 5 dBi y una eficiencia del 57.30 % a una potencia de entrada de 35.90 dBm.

2.6.2. Rectificadores.

En esta sección se resumen los aportes más relevantes en materia de sistemas de rectificación para WPT con el interés de destacar la relevancia de la información presentada en el capítulo 3. Los trabajos presentados se seleccionan basándose en su relación con el trabajo presentado y la importancia en el campo de la transmisión inalámbrica de potencia.

En 2014 Agrawal *et al.* [82] presentan un estudio para distintas configuraciones de rectificadores utilizando elementos discretos y determinan algunos lineamientos de diseño que pueden tomarse como referencia. En primer lugar, el uso de una red de acoplamiento en L incrementa el factor de calidad Q por lo que aumenta la eficiencia. En cambio, el uso de una red en configuración Π incrementa el ancho de banda. Logran diseñar un rectificador de una etapa con una eficiencia del 79 % a una potencia de entrada de -10 dBm, aunque para ello hacen una sintonización de la resistencia de carga R_L .

Empleando tecnología CMOS de 90 nm Papotto *et al.* [5] reportan en 2011 un recolector de energía electromagnética con una eficiencia del 16 % a una potencia de -15.83 dBm y una frecuencia de 900 MHz. La eficiencia reportada considera las pérdidas en la antena y el desacoplamiento de impedancia, por lo que aparenta ser más baja con relación a otros trabajos. Implementa un rectificador de Dickson de diecisiete etapas con compensación SVC de orden 6, es decir, las compuertas de los transistores se conectan a las salidas de la sexta etapa siguiente con el objetivo de maximizar la sensibilidad del circuito, la cual es reportada como de -24 dBm para alcanzar 1 V a circuito abierto.

Apoyados de una perspectiva de diseño con ADS, Stoopman *et al.* plantean el diseño de una

antena de lazo en conjunto con un rectificador de actuación diferencial de cinco etapas. La antena es fabricada en un sustrato GML1000 con una máquina de prototipado de placas electrónicas mientras que el circuito es implementado en tecnología CMOS de 90 nm. Reportan una eficiencia máxima de 40 % cuando existe una potencia de -17 dBm a la entrada del rectificador y una sensibilidad de -27 dBm para la generación de 1 V. Adicionalmente, utilizan un lazo de control para conmutar la alimentación de la energía recolectada al circuito de carga, con el fin de que el sistema WPT opere en modo *charge-burst*.

Abouzied *et al.* en 2015 [83] se encargan de estudiar los compromisos de diseño de redes de acoplamiento integradas en *chip* o externas al mismo en rectificadores implementados en tecnología CMOS de $0.18 \mu\text{m}$ a una frecuencia de 790 MHz. Demuestran que la utilización de una red de acoplamiento externa provee un mejor acondicionamiento, al permitir un factor de calidad Q más elevado. En sentido alterno, una red embebida en el *chip* tiene un mejor desempeño en sistemas multibanda, debido al incremento en el ancho de banda de la red. Para redes integradas en *chip* sugieren la utilización de redes en cascada para reducir el tamaño de los elementos y por consecuencia el área utilizada. Dentro del análisis considera la resistencia equivalente de los alambres de conexión dentro del IC, la cual se encuentra en el rango de 4Ω .

En 2016 Arrawatia *et al.* [84] presentan el diseño de un sistema WPT de ancho de banda amplio en un rango de frecuencias de 0.8 a 2.50 GHz. Proponen el incremento de la impedancia de la antena para mejorar el acoplamiento de impedancia y por lo tanto la eficiencia. A la salida del rectificador, reemplazan el filtro pasa bajas con un convertidor de impulso auto-oscilante (*self oscillating boost converter*). Utilizando un transmisor de ≈ 16 dBm de potencia y a una distancia de 2.35 m logran cargar una batería a 3.80 V, aunque este proceso lleva 3 hrs.

La utilización de una red de compresión de resistencia (RCN) a la entrada de un rectificador diferencial en espejo (*mirror-stacked*) es presentada por Lin *et al.* en 2016 [85]. El propósito de la red, la cual es diseñada por medio de circuitos de microcinta, es reducir los cambios en la impedancia de entrada del rectificador debida a la variación de la potencia de entrada. Logran que un cambio en la impedancia de 5:1 se convierta en un cambio de 1.37:1, para una variación de potencia de 0 a 30 dBm. En términos prácticos, logran un cambio de 42.70 a 58.50Ω en el rango de potencia mencionado lo cual conlleva a un incremento en la eficiencia de ≈ 10 %.

Un duplicador de corriente de media onda, el cual sustituye los capacitores internos por inductores, es reportado por Ibrahim *et al.* en 2018 [86] empleando elementos discretos. Argumentan que la ventaja de este tipo de sistema es que, en teoría, un sistema de recolección de energía recibirá señales pulsadas en lugar de un flujo constante de energía, lo que conlleva a que las constantes de tiempo de entrada y de salida influyan en el desempeño del circuito. Utilizando pulsos de 10 ns con un periodo de repetición de 100 ns a una frecuencia de 2.40 GHz alcanzan una eficiencia del 64 % considerando una potencia incidente de 4 dBm.

Collado *et al.* [87] resumen las características que limitan el desempeño de los rectificadores para WPT. Resaltan tres puntos: los sistemas de banda ancha o multibanda están limitados por la naturaleza RC de los rectificadores, los sistemas con arreglos de antenas quedan condicionados por la variación en la resistencia de carga óptima para maximizar la eficiencia y finalmente, todas las arquitecturas de rectificación están restringidas en su respuesta por las variaciones en la potencia de entrada lo que implica desacoplamientos de impedancia. Finalmente, presenta algunas referencias que han presentado estudios para solventar dichos problemas.

En 2017 Moghaddam *et al.* [66] proponen un rectificador diferencial de acoplamiento cruzado el cual utiliza una técnica de auto polarización de sustrato para la reducción del V_{th} . La principal ventaja de esta arquitectura es que se puede reducir el V_{th} aumentando (o reduciendo, dependiendo si son NMOS o PMOS) el V_{ds} , al mismo tiempo que no se incrementa la corriente de fuga en reversa. Emplean tecnología CMOS de 130 nm y a una potencia de entrada de 5 dBm en la banda de 953 MHz alcanzan un 73.90 % de eficiencia, equivalente a un voltaje de salida de 3.50 V.

En Zhang *et al.* [43] proponen una metodología de optimización de rectificadores. Utilizan ADS con un rectificador simple en modo sujetador utilizando un diodo Schottky comercial. Es un método iterativo que sólo optimiza la red de acoplamiento y el filtro pasa bajas. Aprovechan la herramienta de cálculo de acoplamiento de impedancias provisto por el *software* de diseño.

En [3] presentan una reseña de la tecnología de receptores para WPT con un enfoque en el análisis de la eficiencia, mientras que en [7] puede encontrarse una estimación reciente de la cantidad de energía disponible para ser recolectada bajo diferentes condiciones. Un informe de las alternativas generales de diseño para sistemas WPT puede encontrarse en [88].

Finalmente, Hemour *et al.* [89] presentan una evaluación de los dispositivos de rectificación discretos disponibles a nivel comercial.

En la Tabla 2.1 se presentan las características de algunos rectificadores reportados en la literatura.

Tabla 2.1: Resumen de rectificadores en el estado del arte.

Autor	Año	CMOS (nm)	Esquema	Freq. (MHz)	Sens. (dBm)	Eff. (%@dBm)
Papotto [5]	2011	90	Mlt. 17 Et.	915	-24	11@ -14
Li [54]	2013	130	IC	900	-19.3	9@-19.3
Pham [90]	2013	NA	HW 4 Et.	2400	-14.5	43@16
Li [91]	2014	180	DD	2400	-5	47@8.9
Beheshti [92]	2014	180	Ml. 13 Et.	900	350 mV	10
De Vita [93]	2005	NA	Mlt. 4 Et.	868	11 m	-
Kotani [52]	2007	350	SC	860	-9.9	29 @ -9.9
Nakamoto [53]	2007	350	IC	953	-6.1	36.6 @ -6.1
Le [94]	2008	250	Mlt.36 Et.	916	-22.6	62 @ -7.5
Kotani [56]	2009	180	F Diff.	953	-12.5	67.5 @-12.5
Paing [95]	2011	350	-	1930	1.5	35@-28.2
Reinisch [96]	2011	130	Mlt. 3 Et.	900	-19.7	32@-19.7
Broutas [97]	2012	NA	Mlt. 4 Et.	430	-21	49@-12
Rastmanesh [63]	2013	90	Mlt. Mod.	920	-14.3	36.3@-14.3
Stoopman [44]	2014	90	F 5 Et.	868	-16.5	40@-16.5
Chouhan [64]	2014	180	Dpl. Mod	433	-8	35@-8
Shokrani [98]	2014	180	Mlt. 5 Et.	900	-18	58.2@+7
Hameed [99]	2014	130	Mlt. 16 Et.	915	-22.5	22.6@-16.8
Hameed [49]	2015	130	Mlt. 12 Et.	928	-15	32@-15
Ouda [68]	2016	180	Dff Drive	1000	-18	65@-18
Chang [100]	2016	180	DD. 3 ET.	915	-5	28.8@-9
Huang [101]	2016	65	Dff Drive	13.56	NA	94.6@17
Cheng [102]	2016	350	Dff Drive	13.56	NA	91.4@21
Gharehbaghi [69]	2017	180	Mlt. 4 Et.	433	-17	34@-17
Moghaddam [66]	2016	130	DD 6 Et.	2000	-7	74@6
Ouda [62]	2017	180	DD	433	-15.2	65.3@32
Chouhan [61]	2017	180	DD 2 Et.	13.56	-	65.5@-10

Cabe destacar que la eficiencia no puede definirse como una característica que haya mejorado con el paso del tiempo. La significativa variación en la eficiencia es una consecuencia de las distintas condiciones de operación (potencia de entrada, resistencia de carga, archi-

itectura) que cada uno de los autores decide tomar y es prácticamente imposible discernir objetivamente cuál de los diseños reportados representa un avance significativo en el campo de los rectificadores para sistemas WPT. No obstante, cuando se trabaja en un diseño se tendrán ciertas condiciones predefinidas y sólo un par de opciones de tecnología de fabricación disponible, lo cual ayuda a discernir la información relevante para el caso particular.

§

En conclusión, la tecnología de rectificadores y el estado de la técnica han sido establecidos; dando cabida al apartado principal de la tesis dentro del siguiente capítulo.

Capítulo 3

Diseño de sistemas WPT.

Este capítulo presentan las consideraciones, así como la metodología de diseño de rectificadores para WPT propuesta en esta tesis. La primera sección describe las condiciones de operación mínimas que se deben de considerar antes del comienzo del diseño, así como las posibles alternativas que pueden ser tomadas para cada una de ellas. En la segunda sección se introducen a detalle los mecanismos por los cuales los rectificadores presentan características no lineales, así como el impacto que estas producen en la cantidad de energía utilizable.

La tercera sección detalla la metodología de diseño propuesta, la cual produce sistemas con mayor eficiencia en comparación con circuitos optimizados de manera tradicional. El método propuesto utiliza una perspectiva de diseño bilateral la cual explota el conocimiento de la operación de rectificadores del diseñador como una evaluación cualitativa al mismo tiempo que utiliza los precisos resultados de SPICE como un cómputo cuantitativo de la respuesta del sistema. Los compromisos considerados por los modelos matemáticos en estado estacionario existentes en la literatura limitan su uso práctico para el diseño de rectificadores. En su lugar, se propone la utilización de métodos de simulación en estado estacionario no lineales, en específico **balance armónico**, el cual obtiene resultados con mayor exactitud sin comprometer la generalidad del método.

Por claridad, las siguientes abreviaciones serán utilizadas para las funciones HSPICE utilizadas: TR para análisis transitorio, SW para barrido de parámetros, HB para balance armónico, MEAS para mediciones y OPT para optimización, otras funciones serán explícitamente descritas.

Con la misión de resaltar las ventajas de la metodología de diseño propuesta, la cuarta

sección toma un diseño reportado en la literatura que cuenta con suficiente información para reproducir los resultados y comparar los resultados con la metodología propuesta. Las restricciones que una comparación directa con resultados de la literatura conllevan son también expuestos en esta sección.

Finalmente, la quinta sección acota las características y condiciones sugeridas por el autor para el logro exitoso de un sistema de recepción de energía electromagnética de forma inalámbrica. Ello en conjunto con propiedades generales que los circuitos que harán uso de la energía recolectada pueden utilizar para racionar el uso de dicha energía.

3.1. Sistemas WPT.

El desempeño de los sistemas WPT está en función de un determinado número de factores, con los cuales el sistema puede ser óptimamente diseñado. Sin embargo, existen obstrucciones tanto físicas como teóricas que impiden que dichos sistemas logren un desempeño, en el mejor de los casos, aceptable. En el capítulo 2 se resumen las propuestas existentes en la literatura para resolver algunas de las restricciones en el diseño de WPTs. A pesar de ello, existen aún un gran número de cuestiones que un estudio debe considerar. Un resumen de los retos existentes en esta área son presentados en [87].

En primer lugar, las condiciones de operación deseadas deben ser establecidas, considerando la aplicación objetivo, potencia requerida, interfaces, sensibilidad y distancia de operación. Estas condiciones darán pie a las especificaciones mínimas que el receptor de energía, punto principal de esta tesis, deberá alcanzar. Dichas especificaciones son:

- Frecuencia.
- Potencia de entrada.
- Impedancia de la fuente (antena).
- Voltaje de rizo.
- Voltaje de salida mínimo.
- Resistencia de carga.

Los sistemas WPT pueden considerarse **críticamente estables**, es decir, una vez que las

condiciones de operación listadas anteriormente son establecidas, la variación en alguna de estas condiciones puede cambiar de manera significativa la respuesta del sistema. Por este motivo, es de suma importancia que estas condiciones sean propiamente determinadas con el propósito de no establecer requisitos subóptimos. En la siguiente sección se detallan las estrategias para seleccionar las condiciones de operación.

3.1.1. Frecuencia.

La frecuencia juega un papel significativo en la cantidad de energía disponible en la antena. De la ecuación de Friis [103] puede determinarse que la potencia recolectada será directamente proporcional al cuadrado de la longitud de onda. En otras palabras, las pérdidas por radiación se incrementan conforme aumenta la frecuencia. A pesar de esto, estudios recientes en este ámbito generalmente utilizan frecuencias en la banda UHF (300 MHz – 3 GHz) [104].

El uso de la banda UHF se debe principalmente a dos motivos: reglamentaciones gubernamentales limitan el uso y los niveles de potencia que pueden ser utilizados para uso comercial o personal, éste debido a que se establecen frecuencias de uso exclusivo (militar, radio y televisión), en segundo lugar, la tecnología de sensores inalámbricos existentes está dominada por la banda ISM (*industrial scientific medical*) que tiene uso libre siempre y cuando la potencia transmitida se mantenga por debajo de los 4 W EIRP¹. Otra cuestión a considerar son las dimensiones de la antena, las cuales están en función de la longitud de onda, i.e. la utilización de frecuencias muy bajas requiere dimensiones de antenas muy extensas.

De tal manera que la banda de 850 MHz – 950 MHz se considera como la frecuencia de trabajo objetivo para sistemas WPT. En [52], [53] justifican que este rango de frecuencias es el ideal si se toma en cuenta que la frecuencia será portadora de información, ya que la velocidad de transmisión de la información aumenta junto con la frecuencia.

Otras frecuencias que pueden ser consideradas son 430 MHz (UHF) y 2.40 GHz (WiFi). Para este trabajo se utiliza la frecuencia de 850 MHz con la finalidad de presentar resultados comparables con investigaciones previas, tales como las presentadas en la Tabla 2.1.

¹Potencia efectiva radiada isotrópicamente.

3.1.2. Antena

La antena es el elemento que se encarga de convertir las ondas electromagnéticas en energía eléctrica. La potencia transmitida entre dos antenas se describe teóricamente por medio de la ecuación de Friis [103]. Para los fines de diseño de sistemas WPT se considera la versión simplificada para obtener la potencia, expresada en la Ec. (3.1):

$$P_r = EIRP_t e_{cdr}(1 - |\Gamma|^2) \left(\frac{\lambda}{4\pi R} \right)^2 D_r(\theta_r, \phi_r) |\hat{\rho}_w - \hat{\rho}_a|^2, \quad (3.1)$$

donde: $EIRP_t$ es la potencia efectiva radiada por el transmisor, $(1 - |\Gamma|^2)$ es la pérdida de potencia por desacoplamiento de impedancia entre la antena y el rectificador, $\left(\frac{\lambda}{4\pi R} \right)^2$ representa las pérdidas por radiación, $D_r(\theta_r, \phi_r)$ representa las pérdidas por directividad de la antena y $|\hat{\rho}_w - \hat{\rho}_a|^2$ son las pérdidas por polarización.

Una de las cuestiones más críticas en el diseño de estos sistemas es que el término $\left(\frac{\lambda}{4\pi R} \right)^2$ implica que la densidad de energía se reduce proporcionalmente al cuadrado de la distancia entre las antenas, aunque en circunstancias en las que no existe línea de vista las pérdidas pueden ser incluso mayores [3]. Esta es una de las principales limitantes para la implementación global de esta tecnología.

De lo anterior podemos concluir que la potencia disponible P_{av} en la antena receptora está en función de la distancia entre el transmisor y receptor, la eficiencia, polarización y directividad de la antena. Esta potencia disponible se disipa, en forma de re-radiación en la misma antena receptora en un 50 %, además de las pérdidas causadas por el siempre existente desacoplamiento de impedancia de ésta al rectificador.

La selección del tipo y geometría de la antena dependerá en gran medida de la aplicación buscada. En la sección 2.6.1 se presentan algunos diseños de antenas para recolección de energía y WPT.

3.1.3. Potencia disponible.

De la sección 1.1.1 se sabe que los niveles de potencia esperados para recolección de energía están en el orden de -30 dBm o menores, aunque ya se ha establecido que existen técnicas

para incrementar esta potencia. A pesar de ello, aún existen autores que argumentan que la recolección de energía electromagnética no puede ser considerada como una tecnología viable [105].

Para el presente estudio, se consideran potencias que han sido reportadas para sistemas WPT, las cuales se encuentran en el rango de -20 a 0 dBm.

3.1.4. Impedancia característica Z_0 .

En sistemas de radiofrecuencia es por lo general muy complejo hacer mediciones de los niveles instantáneos de voltaje o corriente. En su lugar, los sistemas son diseñados asociando niveles de potencia, generalmente expresados en dBm y relacionados con una impedancia característica denominada Z_0 . De manera tradicional, se utiliza una impedancia característica de 50Ω dado que en conexiones coaxiales representa la menor cantidad de pérdidas en la red [106].

Para WPT algunos autores han propuesto el uso de impedancias distintas a 50Ω , en [29] argumentan que el aumentar la impedancia de salida de la antena aumentará el voltaje de salida para una potencia determinada. En la sección 3.3.5 se demuestra que, al considerar la red de acoplamiento, la impedancia de la fuente no influye de manera directa en la eficiencia del sistema. Por otro lado, en [5] utilizan la antena por debajo de su frecuencia de resonancia, generando una impedancia de salida inductiva, lo que ayuda a compensar la impedancia capacitiva del rectificador. Para la optimización de la antena y su respectiva impedancia utilizan ADS. Para este trabajo se tomará en cuenta una impedancia $Z_0=50 \Omega$.

3.1.5. Rectificadores

Un rectificador es un sistema capaz de convertir señales de voltaje alterno en señales de corriente directa. En esta sección se describen las métricas utilizadas para caracterizar un rectificador.

A. Eficiencia.

La eficiencia se define como el cociente entre la potencia de salida en DC y la potencia de entrada RMS, descrita matemáticamente por la Ec. (3.2):

$$\eta = \frac{P_o}{P_{in}} = \frac{V_o^2/R_L}{V_{in,RMS} \cdot I_{in,RMS}}. \quad (3.2)$$

donde: P_o es la potencia de salida de DC, P_{in} es la potencia de entrada RMS, V_o el voltaje de salida de DC, R_L la resistencia de carga del rectificador, $V_{in,RMS}$ el voltaje RMS de entrada y la corriente RMS de entrada $I_{in,RMS}$.

Para obtener una eficiencia del 100 % la potencia de DC en la carga debe ser igual a la potencia (RMS) de entrada (P_{in}), es decir, $P_{in} = P_o$. Esto se logra al definir que:

$$\begin{aligned} P_{in} = P_o &= \frac{V_o^2}{R_L} \\ V_o &= \sqrt{P_{in} \cdot R_L} \end{aligned} \quad (3.3)$$

Esta ecuación implica que sólo para una combinación específica de voltaje salida y resistencia de carga es posible alcanzar un 100 % de eficiencia, despreciando por supuesto los voltajes que implican una eficiencia mayor al 100 %.

B. Pérdidas

Un rectificador ideal está formado por diodos ideales, así como elementos pasivos (capacitores y bobinas) con un factor de calidad $Q \rightarrow \infty$. En el caso de los diodos, deberán de ser conductores ideales al estar polarizados directamente y aislantes perfectos en polarización inversa. El factor de calidad se define como la razón entre la reactancia del elemento y su resistencia en serie equivalente [107].

$$Q = \frac{X}{R_{eq}}, \quad (3.4)$$

donde: X es la reactancia inductiva o capacitiva, R_{eq} es la resistencia en serie equivalente y Q es el factor de calidad. Por lo tanto, cuando la resistencia en serie tiende a cero, el factor de calidad tiende a infinito para generar elementos ideales.

Dado que no existen componentes eléctricos ideales, cada elemento tendrá en mayor o menor medida una resistencia equivalente asociada, la cual disipa energía térmicamente.

C. Tiempo de respuesta

El tiempo de respuesta se define como el periodo que se tarda en alcanzar el *estado estacionario*. De manera general, el estado estacionario se define como el punto en que la señal es estable periódicamente, es decir, cada periodo T de la señal de salida es igual al anterior [108], expresado matemáticamente por la Ec. (3.5).

$$V_o(t + T) = V_o(t) \quad \forall t \in \mathbb{R}, \quad (3.5)$$

donde T es el periodo de la señal de entrada.

Esta definición implica que aún señales con un voltaje de rizo considerable pueden entenderse como en estado estable. De manera alternativa, el tiempo de respuesta para rectificadores se puede entender como el tiempo desde el instante que se introduce la potencia a la entrada del rectificador hasta que existe una señal utilizable de DC. Este periodo es directamente afectado por los capacitores tanto de sujeción (o *clamping*) como de filtrado.

3.1.6. Voltaje de rizo.

Al convertir una señal de AC a DC siempre existe, en mayor o menor medida, una oscilación de el voltaje de salida puesto que el filtro pasa bajas utilizado siempre será de orden finito. A esa oscilación se le denomina *voltaje de rizo*. Dicho voltaje se define como la diferencia entre el voltaje máximo y el voltaje mínimo de la salida, expresado en la Ec. (3.6). De manera alternativa, se puede definir la razón entre el voltaje de rizo y la componente de DC de la salida como *factor de rizo* y se expresa matemáticamente por medio de la Ec. (3.7).

$$V_{\text{rizo}} = \max(V_o) - \min(V_o), \quad (3.6)$$

$$r = \frac{V_{\text{rizo}}}{V_{\text{DC}}} \times 100 \%, \quad (3.7)$$

donde r es el factor de rizo, V_{rizo} es el voltaje de rizo, V_o el voltaje de salida oscilante y V_{dc} es la componente de DC de la salida, es decir $V_{\text{dc}} = \overline{V_o}$.

El definir el máximo factor de rizo como criterio de diseño permite diseñar el filtro del rectificador de manera independiente al resto de los parámetros. Como criterio general, es favorable diseñar el filtro con el mayor factor de rizo que la aplicación permita, dado que si el factor es muy pequeño el tiempo de respuesta se incrementa significativamente.

3.1.7. Voltaje de salida y resistencia de carga.

La relación corriente-voltaje del circuito de carga del rectificador se representa eléctricamente por medio de una resistencia R_L . Por supuesto, los sistemas WPT y en aún mayor medida los sistemas de recolección de energía están pensados para aplicaciones de ultra bajo consumo. Algunos sistemas para esta aplicación se listan a continuación con el fin de establecer un rango de resistencia de carga realizable.

Sensor STLM20 [109]: requiere un voltaje de entrada de 2.40 V a una corriente de 4.80 μA , equivalentes a una resistencia de carga de 500 k Ω .

ADC de aproximaciones sucesivas [110]: con un consumo de 850 nW a un voltaje de 500 mV, análogo a una resistencia de carga de 294.12 k Ω .

Transmisor de alto ancho de banda [111]: requiere 650 μW a 1 V que puede representarse por medio de una resistencia de carga de 1.54 k Ω .

ASIC para WSNs [112]: el cual tiene un microcontrolador, una unidad de manejo de potencia y una interfaz adaptable para sensores la cual requiere 3 V a una corriente menor a 10 μA , lo cual equivale a una resistencia de carga de 300 k Ω .

Una vez seleccionadas las condiciones de operación del sistema, se puede comenzar a definir las características que permitirán lograr dichas condiciones.

3.2. Efecto de las no linealidades.

Las no linealidades representan el principal motivo por el cual el análisis de rectificadores es una tarea compleja. En la sección 2.1 se presenta un análisis simple del comportamiento de rectificadores de media onda. En esta sección, un análisis más concreto es presentado con el fin de cimentar la utilización de los métodos de diseño propuestos en este trabajo.

3.2.1. Impedancia del rectificador

Un sistema de rectificación sólo puede ser óptimo para un determinado conjunto de condiciones de operación, es decir, si alguna de las condiciones es modificada, entonces los parámetros del sistema tendrán que ser modificados para considerar dicho cambio. En caso contrario el rectificador tendrá un desempeño por debajo del óptimo.

La dependencia mutua entre la impedancia de entrada del rectificador y el voltaje de entrada representa una de las principales causas de la complejidad del diseño. En otras palabras, la impedancia de entrada del rectificador es una función del voltaje de entrada, que a su vez está en función de la impedancia de entrada del rectificador. Para poder analizar este fenómeno cualitativamente, se utiliza un rectificador de media onda simple mostrado en la Fig. 3.1a. El diodo puede ser representado por el paralelo de una resistencia R_D y un capacitor C_D cuyos valores equivalentes son funciones no lineales del voltaje de polarización del diodo v_D , es decir $R_D(v_D)$ y $C_D(v_D)$. Las no linealidades en los elementos son representadas por las líneas diagonales en los elementos de la Fig. 3.1b.

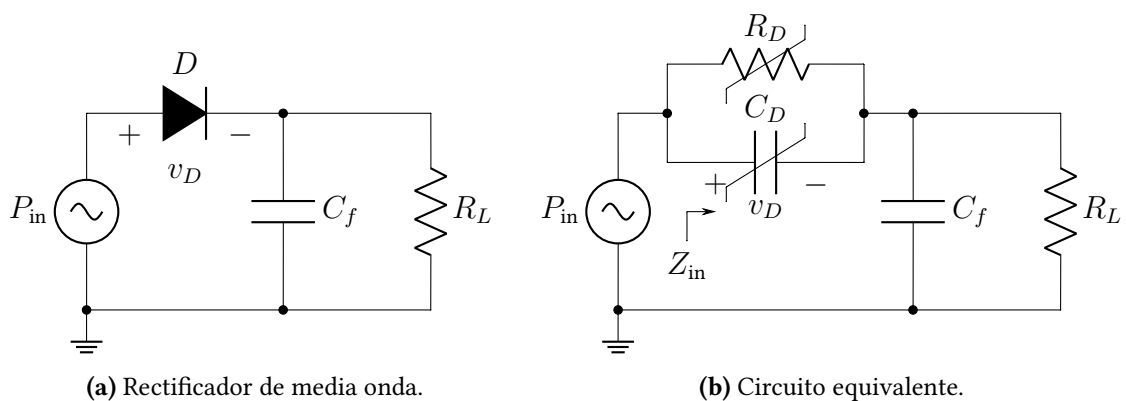


Figura 3.1: Circuito equivalente de un rectificador de media onda.

La impedancia de entrada puede ser expresada mediante la Ec. (3.8). De donde se hace evidente que la impedancia de entrada es una función del voltaje de polarización.

$$Z_{in} = R_D(v_D) \left\| \frac{1}{s C_D(v_D)} + \frac{1}{s C_f} \right\| R_L. \quad (3.8)$$

En [29] mencionan que el voltaje de entrada se puede determinar por la Ec. (3.9):

$$v_{in} = 2\sqrt{2R_{ant}P_{in}} \frac{R_{in}}{R_{in} + R_{ant}}. \quad (3.9)$$

Sin embargo R_{in} es función de v_{in} y la expresión sólo es aplicable en casos en los que se tiene una fuente de voltaje regulado a la entrada del rectificador.

3.2.2. Voltaje en la fuente.

Una fuente de potencia no regulada tiene siempre asociada una impedancia de salida, la cual determina qué tanta energía es transferida hacia la carga. El **teorema de máxima transferencia de potencia** [108] establece que, para transferir el 100 % de la potencia disponible se debe garantizar que la impedancia de carga sea igual al complejo conjugado de la impedancia de la fuente, expresado en las Ec. (3.10) y (3.11):

$$Z_s = \overline{Z_L}, \quad (3.10)$$

es decir:

$$R_s + X_s = R_L + X_L, \quad (3.11)$$

y:

$$X_L = -X_s, \quad (3.12)$$

donde: $Z_s = R_s + X_s$ es la impedancia de la fuente y $Z_L = R_L - X_L$ es la impedancia de la carga. La Fig. 3.2 muestra el concepto considerando sólo la parte real de las impedancias.

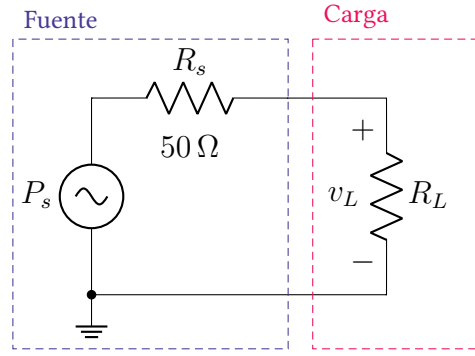


Figura 3.2: Fuente de potencia con una carga no acoplada.

Si se desea conocer el voltaje generado v_L , debe calcularse por medio de la Ec. (3.13):

$$v_L = v_s + \Gamma v_s, \quad (3.13)$$

donde:

$$\Gamma = \frac{R_L - R_s}{R_L + R_s}, \quad (3.14)$$

y:

$$v_L = \sqrt{8 P_s R_s}, \quad (3.15)$$

dado que:

$$P_s = \frac{v_{rms}^2}{R_s}, \quad \text{y} \quad v_{rms} = \frac{v_{pp}}{2\sqrt{2}}. \quad (3.16)$$

Con lo cual se puede concluir que el voltaje inducido por una fuente de potencia es función de la impedancia de carga, es decir, $v_L(Z_L)$.

Integrando las Ec. (3.8) y (3.13) es obvio que la relación entre la polarización del rectificador y la impedancia de entrada es mutuamente dependiente por lo que es altamente complejo predecir la respuesta del rectificador de manera cerrada. Aún más, cuando se considera la red de acoplamiento entre la fuente y la carga existe una variación en el potencial de entrada que dificulta aún más el modelado del sistema.

3.3. Metodología de diseño de rectificadores.

Para diseñar un rectificador, es necesario analizar a detalle cada una de las etapas que lo conforman con la finalidad de garantizar el funcionamiento óptimo del sistema. Hasta el momento, se han descrito de manera cualitativa las consideraciones de diseño que deben tomarse para definir los parámetros internos del rectificador. En las siguientes secciones se utiliza HSPICE como herramienta de evaluación cuantitativa de los circuitos y motor de optimización para definir de manera integral los parámetros del diseño.

Un rectificador de RF puede entenderse como una secuencia de cinco partes distintas, mostradas en la Fig. 3.3: antena fuente, red de acoplamiento, rectificador, filtro pasa bajas y resistencia de carga.

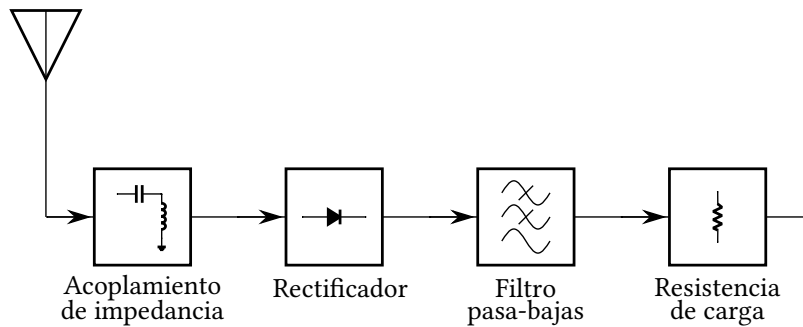


Figura 3.3: Partes de un rectificador.

Para exponer a detalle una aplicación del método propuesto, las siguientes características serán consideradas a lo largo de esta sección:

- Frecuencia (850 MHz).
- Potencia de entrada (-10 dBm).
- Impedancia de la fuente (50Ω).
- Filtro pasa-bajas ($V_{rizo} < 2 \%$).
- Voltaje de salida deseado (1 V).
- Resistencia de carga ($100 \text{ k}\Omega$).

Como se ha mencionado anteriormente, si alguna de las especificaciones establecidas requiere alguna modificación, entonces el diseño debe ser reevaluado para lograr un sistema

óptimo. Si la aplicación objetivo requiere de un rango de operación, el análisis debe de implementar las tolerancias permitidas y el proceso de optimización debe evaluar los límites necesarios. Para esos casos el comando ALTER de HSPICE puede ser utilizado para modificar los parámetros del diseño.

3.3.1. Selección del rectificador.

El primer paso del diseño es seleccionar la arquitectura de rectificador que cumpla con las características buscadas. Cada arquitectura conlleva ventajas y desventajas que se deben de tomar en cuenta dependiendo de la aplicación prevista. El desempeño final de cada una de las arquitecturas depende en mayor medida de las condiciones de operación y de la correcta selección de los elementos del mismo. A continuación se presentan algunas de las propiedades de cada una de las principales arquitecturas.

A. Duplicador de media onda.

Es el más comúnmente utilizado en aplicaciones de recolección de energía. Por consecuencia, la mayoría de las técnicas de cancelación de voltaje de umbral han sido desarrolladas para esta arquitectura, las cuales son discutidas en la sección 2.5. Tiene la cualidad única de mantener la terminal de tierra de la fuente a la carga, aspecto importante en casos en que la energía de la antena también se utiliza como portadora de información para el circuito de carga.

Dado que cuenta con dos modos de operación, durante el arranque la impedancia de entrada cambia dependiendo de si el duplicador se encuentra en modo sujetador o rectificador, lo cual lo hace más complejo de analizar. Este hecho se manifiesta por medio de una diferencia en amplitud entre la parte positiva y la parte negativa del voltaje de entrada del rectificador.

B. Duplicador de onda completa.

Es la menos común de las arquitecturas de rectificación, al contrario del duplicador de media onda, la referencia de voltaje no es transferida de la entrada a la salida. Para casos en los que la señal de entrada no porta datos, este circuito tiene un tiempo de estabilización más corto con respecto al duplicador de media onda. Por otra parte, algunas de las técnicas de

cancelación de voltaje de umbral pueden ser adaptadas a esta arquitectura, es específico SVC tratada en la sección 2.5.2.

Debido a que no cuenta con distintos modos de operación, la impedancia de entrada es consistente entre la parte positiva y la parte negativa de la señal de entrada.

C. Puente de actuación diferencial.

Es el más utilizado en aplicaciones de RFID, se le considera muy robusto además de ser modular. Debido a que se requieren al menos dos etapas para la duplicación de voltaje utiliza al menos ocho elementos rectificadores (cuatro por cada etapa), mientras que otras arquitecturas requieren sólo dos. Por consecuencia, presenta pérdidas mayores, aunque se ha desarrollado un esquema de cancelación de voltaje de umbral en donde se reporta una eficiencia del 67% [56].

Una vez seleccionada la arquitectura, la metodología propuesta utiliza una perspectiva de atrás hacia adelante para analizar y optimizar el circuito utilizando HSPICE. En el apéndice B.1 se presenta la descripción de las opciones utilizadas a lo largo del trabajo.

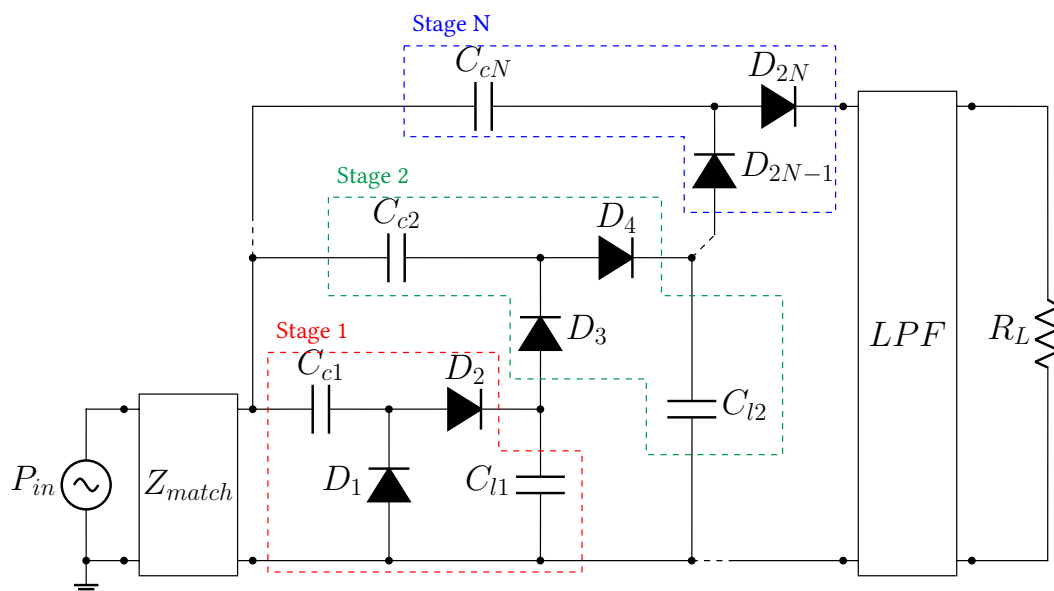


Figura 3.4: Duplicador de media onda de N etapas.

En las secciones posteriores, se considera el diseño de un duplicador de media onda multi-etapa, el diagrama general del circuito se muestra en la Fig. 3.4. El circuito se diseña utilizando la tecnología CMOS TSMC de $0.18 \mu\text{m}$. Con el objetivo de dar generalidad al análisis,

durante el diseño no serán consideradas técnicas de compensación de V_{th} ni configuraciones *mirror-stacked*.

El duplicador de media onda implementado con transistores se muestra en la Fig. 3.5. Con la finalidad de reducir capacitancias parásitas el transistor de sujeción M_{n1} es tipo N y el transistor de rectificación M_{p1} es tipo P [53]. Por claridad, el circuito no incluye red de acoplamiento y considera sólo un capacitor en paralelo como filtro pasa bajas.

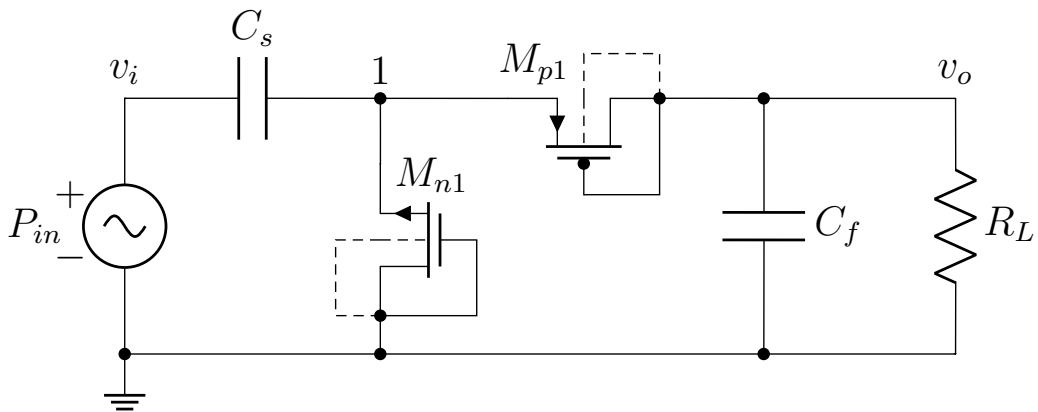


Figura 3.5: Duplicador de media onda implementado con transistores MOS.

La respuesta típica de un rectificador de este tipo se muestra en la Fig. 3.6 y en el Código 3.1 se muestra el *netlist* de HSPICE del circuito. En el apéndice B se presenta una breve descripción de las opciones utilizadas y la sintaxis del *software*.

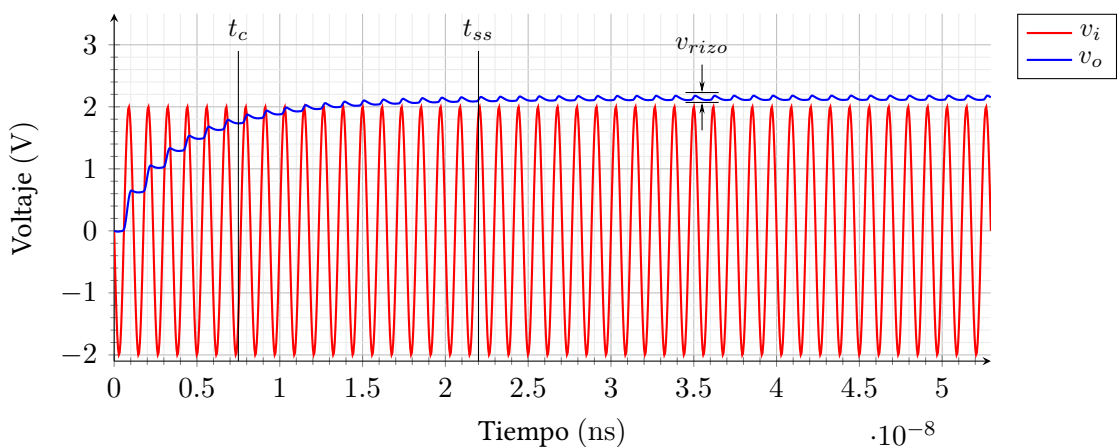


Figura 3.6: Respuesta típica de un rectificador.

Dentro de la respuesta de la Fig. 3.6, se marcan los tiempos de concavidad t_c (cuyo significado se explica en la sección 3.3.4), tiempo de estabilización t_{ss} y el voltaje de rizo v_{rizo} .

Los parámetros utilizados para la simulación son: $C_s=100$ fF, $C_f=150$ fF, $R_L=200$ k Ω y para ambos transistores $L=180$ nm y $W=960$ nm. Note que en el *netlist* se agregan las áreas y perímetros de difusión AS, AD, PS y PD.

```
* Respuesta típica de un rectificador
.inc "c:/synopsys/models/TSMC_0.18u.txt"
.opt ingold = 1 lis_new=1 measform = 2 runlvl=6 post=2
.param freq = 850x $ Frecuencia utilizada
+ T = '1/freq' $ Calcular el periodo
+ ns = 25 $ Número de muestras por ciclo
+ nc = 45 $ Número de ciclos
+ tstep = 'T/ns' $ Tiempo del paso de simulación
+ tstop = 'nc*T' $ Tiempo de paro de simulación
.set_sample_time twindow 0 tstop period tstep $ Forza los pasos dados
.param amp = 2 cs = 0.1p cl = 0.15p rl = 200k

***** Duplicador de media onda
cs vi 1 cs
.param ln1 = 180n wn1 = 960n ldn1 = '2*ln1'
mn1 gnd gnd 1 gnd nmod l=ln1 w=wn1
+ ad = 'ldn1*wn1' as = 'ldn1*wn1' pd = '2*ldn1 + wn1' ps = '2*ldn1 + wn1'
.param lp1 = 180n wp1 = 960n ldp1 = '2*lp1'
mp1 vo vo 1 vo pmod l=lp1 w=wp1
+ ad = 'ldp1*wp1' as = 'ldp1*wp1' pd = '2*ldp1 + wp1' ps = '2*ldp1 + wp1'
cl vo gnd cl
rl vo gnd rl
***** Fuente
v1 vi gnd 0 sin (0 amp freq 0s 0Hz -180d)

***** Análisis
.tr tstep tstop
.print tr v(vi) v(vo)
.end
```

Código 3.1: Netlist de la respuesta típica de un rectificador.

Por simplicidad, por ahora se considera una entrada de voltaje constante de 2 V. A diferencia de la respuesta ideal presentada en la sección 2.2.1, los efectos de la carga parcial en cada ciclo de los capacitores se hacen presentes durante la simulación. En otras palabras, los efectos RC entre la resistencia equivalente R_{on} de los transistores y los capacitores determinan el periodo transitorio del circuito. En el mismo sentido, la resistencia de carga R_L ocasiona una caída de potencial en el voltaje de salida durante cada ciclo negativo de la señal de entrada.

La metodología propuesta utiliza una perspectiva de atrás hacia adelante para analizar y optimizar el circuito utilizando HSPICE. De forma que el método comienza con el diseño del filtro pasa bajas, aunque antes de ello se presenta una breve discusión respecto a la resistencia de carga.

3.3.2. Carga.

Aun cuando la mayoría de los circuitos electrónicos presentan una impedancia RC, la carga en el rectificador se representa sólo como una carga resistiva. Esto se debe a que la parte capacitiva puede ser absorbida por el capacitor de filtrado C_f . Se debe tomar en cuenta que la salida del rectificador es una fuente no regulada y si se presenta un rango de condiciones de carga entonces se debe diseñar el sistema para soportar el rango requerido. Algunos sistemas incluyen algún tipo de regulador de voltaje a la salida del rectificador, este bloque no será considerado como parte de este trabajo.

Algunos autores ajustan la resistencia de carga para maximizar la eficiencia una vez terminado el diseño. Esta es una práctica que puede llevar a conclusiones erróneas, ya que supone que el circuito de carga tiene una impedancia de entrada controlable. Una premisa incorrecta en la mayoría de los casos.

Para este trabajo se supone que la resistencia de carga es fija, y por consecuencia un mayor voltaje de salida implica mayor eficiencia.

3.3.3. Filtro pasa bajas

Para obtener una señal de DC a la salida del rectificador es necesario un filtro pasa bajas (LPF, *low-pass filter*). En muchos casos el filtro se asume solamente como un capacitor en paralelo con la resistencia de carga, sin embargo, un filtro LC aumenta el orden del filtro al mismo tiempo que reduce el tiempo de respuesta del rectificador. El requerimiento del factor de rizo y la resistencia de carga determinan el filtro. Afortunadamente, el filtro y el factor de rizo son independientes de las condiciones de polarización del rectificador y se pueden determinar al inicio del diseño. Además, un filtro LC reduce los efectos capacitivos a la entrada del rectificador, ya que el capacitor del filtro C_f resuena con la inductancia en serie L_f .

El filtro se muestra en la Fig. 3.7. De ser necesario, múltiples etapas pueden colocarse en cascada para incrementar el orden del filtro.

El LPF se calcula por medio de la Ec. (3.17) en donde la inductancia del filtro queda en función del capacitor C_f y la frecuencia de corte f_c del filtro. La frecuencia de corte f_c se

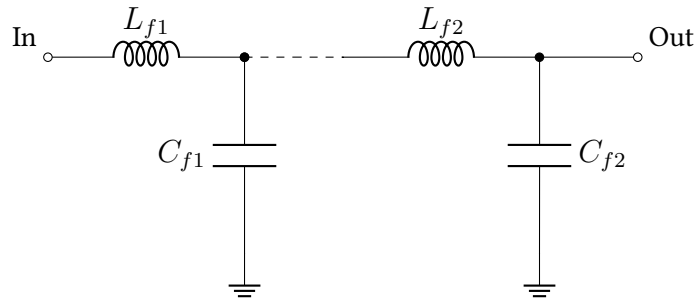


Figura 3.7: Filtro pasa-bajas.

sugiere que sea la frecuencia de operación del rectificador con el fin de resonar los efectos reactivos en estado estacionario.

$$L_f = \frac{1}{(2\pi f_{cut})^2 C_f}. \quad (3.17)$$

El capacitor C_f puede ser ajustado para satisfacer el factor de rizo r permitido. El proceso puede ser facilitado si un duplicador de voltaje simple es alimentado por una fuente constante de voltaje con una amplitud de al menos 1 V y se utilizan TR SW en conjunto con MEAS para obtener el par de capacitancia e inductancia más adecuados.

En el Código 3.2 se presentan los cambios necesarios para hacer el barrido paramétrico y los comandos de medición. Para evitar duplicar información, en el código presentado se ignoran las opciones, parámetros y el circuito ya que se encuentran en el Código 3.1 y sólo basta con modificar las partes correspondientes. Note que la mayoría de las operaciones son dejadas a SPICE ya que es capaz de hacer los cálculos tanto de los parámetros como de las mediciones. De ese modo se logra hacer más dinámicas las simulaciones y solo es necesario modificar los parámetros que determinan el desempeño del circuito y no aquellos que son internos al simulador.

Cabe resaltar que el cálculo del inductor L_f se hace de manera dinámica dentro de SPICE, ésto con la finalidad de aplicar un sólo parámetro dentro del barrido. Si se desea extraer el valor del parámetro interno se puede utilizar:

```
.meas [análisis] [salida] param [parámetro]
```

para imprimir al archivo de mediciones.

El resultado del barrido se presenta en la Fig. 3.8, de donde se puede obtener que con

```

** Inicia circuito
** Termina circuito
***** LPF y carga
.param cf=0.15p lf = '1/((2*pi*freq)^2)*cf'
lf   vf   vo   lf
cl   vo   gnd  cf
rl   vo   gnd  rl

***** Análisis
.tr tstep tstop sweep cf lin 200 0.01p 2p
.print tr v(vi) v(vo)
.meas tr vomx max v(vo) from=50n $ Después de 50ns se alcanza estado estacionario
.meas tr vomn min v(vo) from=50n
.meas tr vodc avg v(vo) from=50n
.meas tr rf param=('100*(vomx-vomn)/vodc') $ Se mide el factor de rizo

```

Código 3.2: Barrido en HSPICE para determinar el filtro LC.

$C_f=300$ fF y $L_f=117$ nH se logra el factor de rizo del 2%.

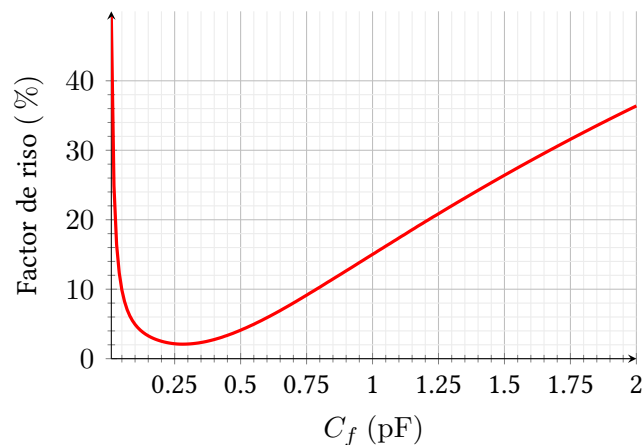


Figura 3.8: Barrido paramétrico para determinación del filtro.

Alternativamente, es factible utilizar HB SW para determinar el filtro. También es recomendable utilizar un voltaje de entrada que permita obtener un voltaje de salida cercano al voltaje esperado del rectificador final con el propósito de eliminar modificaciones finales.

El diseño de inductores en procesos CMOS estándar por lo general no es recomendable, debido principalmente a que presentan mayor ruido, distorsión y consumo de potencia que aquellos inductores hechos de manera discreta [106]. Debido a ello, se recomienda utilizar un filtro capacitivo en los casos en que se busque el diseño integrado o utilizar elementos pasivos externos al IC con la finalidad de evitar dichas limitantes. A pesar de ello, se han presentado estudios en los que se ha diseñado de manera exitosa inductores dentro de los IC [83]. Aunque presentan un factor de calidad muy bajo, recomiendan utilizar redes en

cascada en lugar de elementos de altos valores con el fin de conservar área de trabajo en el chip.

3.3.4. Rectificador

El rectificador, en conjunto con la red de acoplamiento, representan las cuestiones más críticas del sistema de rectificación para WPT. Por ello, es menester un desglose sistemático de los mecanismos de operación del rectificador y sus efectos sobre el desempeño final del sistema. Estos efectos se pueden separar en cuatro categorías:

- **Parámetros internos:** Incluyen capacitores internos, modelos de diodo o transistor y, en su caso, dimensionamiento de transistores. Cada uno de estos tendrá un impacto en el desempeño del rectificador en mayor o menor medida y su selección adecuada es de suma importancia.
- **Tiempo de respuesta:** En algunos casos, el tiempo de respuesta representa un factor a considerar como parte del diseño, especialmente en casos en los que el sistema WPT no opera de manera continua, esta consideración se analiza a detalle en la sección 3.5.
- **Impedancia de entrada:** Es uno de los aspectos más complejos del rectificador. Como se presenta en la sección 3.2, la impedancia es variable con respecto a las condiciones de polarización y la determinación de Z_{in} es sólo un punto de partida para los algoritmos de optimización.
- **Número de etapas N :** Es otro aspecto del diseño que implica un compromiso, cada etapa de duplicación reduce en aproximadamente la mitad la parte real de la impedancia de entrada, hasta un límite y puede ser utilizado para relajar el requerimiento de acoplamiento de impedancia. Por otro lado, un rectificador con un elevado número de elementos tendrá, en términos generales, mayores pérdidas.

A. Parámetros internos

A.1. Modelos SPICE: Elegir los modelos adecuados para la simulación es de suma importancia, dado que de eso dependerá la veracidad de los resultados obtenidos. En el caso de diseños en CMOS, la casa de fabricación se encarga de definir los modelos SPICE

adecuados, sin embargo, distintas versiones de SPICE tienen diferentes definiciones de los modelos de los elementos utilizados, por lo que debe verificarse que los parámetros incluidos en cada modelo estén definidos de manera adecuada para el simulador específico. Para el caso de elementos discretos, la mayor parte de los fabricantes proveen los parámetros de los modelos SPICE y, en algunos casos, el equivalente eléctrico del encapsulado utilizado, con lo que se puede definir un subcircuito para su apropiada consideración. Para este trabajo, se utilizan los modelos nivel 49 de HSPICE que representan el modelo BSIM3v3 [31] de SPICE.

Un aspecto importante que cabe resaltar es que, dado que los transistores no se polarizan de manera tradicional es necesario agregar las áreas y los perímetros de difusión para que se calculen de manera adecuada los efectos de las uniones PN generadas. El método para ello se presenta en el apéndice B.2.

A.2. Tamaños de transistor: Para sistemas WPT, se busca que los elementos activos presenten la menor resistencia equivalente R_{on} posible. En términos generales, se debe de buscar tener la menor longitud de canal L que permita la tecnología, mientras que el ancho de transistor W es directamente proporcional la conductividad. Sin embargo, conforme aumenta el ancho de transistor también aumenta la capacitancia equivalente, por lo que se debe optimizar este parámetro para alcanzar el diseño óptimo.

Durante los procesos de optimización se agregan ambos parámetros para facilitar el acoplamiento de impedancia, aunque por lo general el algoritmo determina el mínimo L .

A.3. Capacitores: El principio de operación de los duplicadores de voltaje supone que los capacitores internos se comportan como un corto circuito durante el periodo de carga, por lo que deben de tener un valor suficientemente grande para que el proceso de multiplicación de voltaje opere como es previsto. Por otro lado, el tener valores muy grandes tiene un impacto directo en la impedancia de entrada del rectificador, incrementando los requerimientos de la red de acoplamiento. De tal manera que encontrar un valor óptimo facilita el diseño de la red de acoplamiento.

Dicho esto, después de un valor determinado que permita el ciclo de carga, el impacto que los capacitores internos tienen sobre el desempeño del rectificador es mínimo y en un sentido práctico se busca su optimización para reducir el tiempo de respuesta.

La respuesta típica de un rectificador tiene, de manera general, una forma exponencial, como se muestra en la Fig. 3.6. Esta respuesta es análoga a la respuesta de carga de un circuito RC cuando se le aplica una señal de DC y por tanto pueden definirse paralelos en cuestión de constante de tiempo τ y tiempo de respuesta.

El punto de concavidad, marcado con el término t_c en la Fig. 3.6, es utilizado para minimizar el tiempo de respuesta. Dado que el tiempo de respuesta de un rectificador sólo puede ser obtenido con TR, para ciertos circuitos puede tomar un tiempo de cómputo muy grande. Por ello, se utiliza un punto transitorio en el cual se maximice el voltaje de salida y, por consecuencia se minimiza el tiempo de estabilización. El punto de concavidad se define de manera heurística y en sentido práctico cualquier otro punto antes del estado estacionario cumple el mismo propósito. Sin embargo, en ese punto se logra una mayor diferencia entre los diferentes tiempos de estabilización.

Entonces, se hace un barrido paramétrico dentro de un análisis transitorio y limitado al punto de concavidad. Los parámetros del barrido pueden incluir los valores de los capacitores internos y los tamaños de transistor. En la Fig. 3.9 se muestra un barrido con cinco diferentes valores para el capacitor de sujeción C_s , por ahora se asume un voltaje de entrada constante y no se considera variación en los tamaños de transistor.

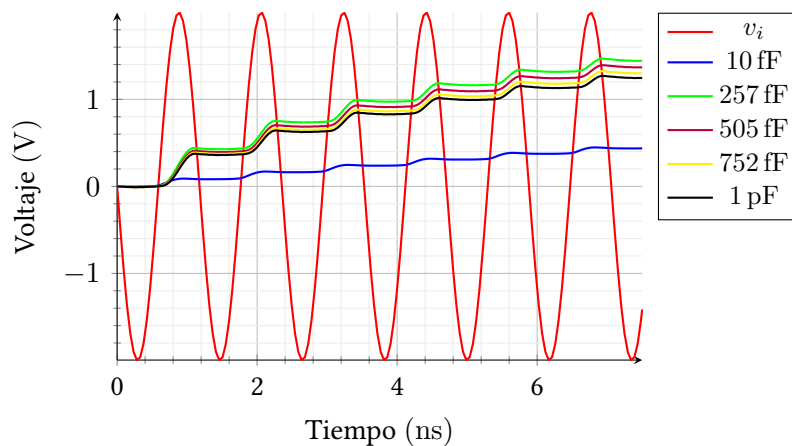


Figura 3.9: Distinción entre diferentes voltajes al punto de concavidad.

Al medir el voltaje máximo en el tiempo de concavidad es posible encontrar de manera directa la combinación de parámetros que minimiza el tiempo de respuesta. Esto se logra por medio de el Código 3.3, en donde la medición vomax contiene el voltaje máximo en el periodo de tiempo definido.

```

** Inicia circuito
** Termina circuito
***** Análisis
.tr tstep 7.5n sweep cs lin 200 0.01p 10p
.print tr v(vi) v(vo)
.meas tr vomax max v(vo)

```

Código 3.3: Barrido paramétrico para la optimización del tiempo de respuesta.

Si se toman suficientes puntos durante el barrido, es posible trazar la variación del voltaje máximo con respecto a la capacitancia C_s . La Fig. 3.10 muestra la gráfica mencionada, de donde puede extraerse el valor de capacitancia que minimiza el tiempo de respuesta, el cual en este caso corresponde a 180 fF.

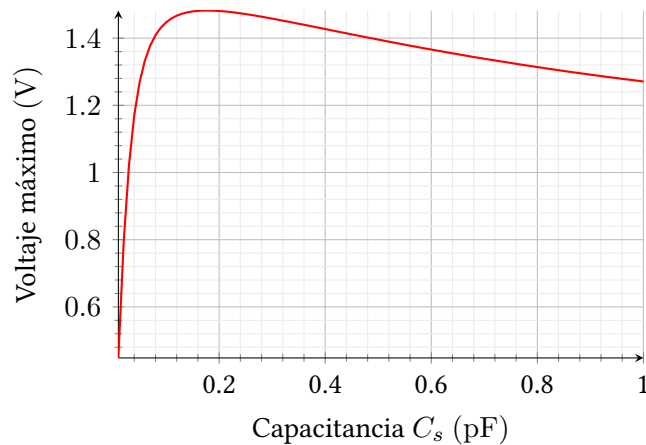


Figura 3.10: Voltaje máximo vs. capacitancia de sujeción C_s en el periodo de concavidad.

El valor obtenido por este método no corresponde al valor final del diseño, sin embargo, representa un punto de partida razonable para el proceso de optimización en las etapas finales del diseño.

A.4. Estado estacionario: El estado estacionario tal cual se define en la sección 3.1.5 es un concepto muy estricto que de manera práctica lleva demasiado tiempo en ser alcanzado. Por ello, se sugieren dos alternativas para estimar el periodo de estabilización, en ambas se requiere un *factor de aproximación* al estado estacionario.

La primera de ellas es utilizando un post procesamiento de los datos de la respuesta transitoria de SPICE utilizando *software* de análisis numérico. En la sección 3.1.5 se define que el estado estacionario se presenta cuando se cumple que:

$$V_o(t + T) = V_o(t).$$

Si en lugar de buscar la igualdad entre ambos valores se busca que exista un determinado porcentaje de error máximo entre ellos es posible estimar una aproximación al estado estacionario. De manera general, el porcentaje de error entre dos variables cualquiera x_1 y x_2 se define como:

$$e\% = \frac{x_1 - x_2}{x_1} \times 100\%. \quad (3.18)$$

Considerando que la respuesta transitoria del voltaje de salida sea v_o , el cual es un vector con n valores y n_s muestras por periodo y $n \gg n_s$. Para estimar el estado estacionario, es necesario tomar dos ventanas del vector v_o del tamaño del muestreo n_s separadas por n_s valores, esto con el objetivo de comparar dos periodos de la señal de salida. Esto se hace avanzando un muestreo por ciclo y se busca el tiempo t que se tarda en alcanzar el porcentaje de error máximo buscado.

$$fctr = \max(\text{abs}(e\%)). \quad (3.19)$$

De esta manera, la función propuesta se presenta en el Código 3.4. Para los propósitos de este trabajo se utiliza Python v.3.x. La selección del lenguaje de programación se hace de manera que el código pueda ser fácilmente traducido al lenguaje de preferencia del lector. Por ello, la metodología para importar los datos al código de Python se considera fuera del alcance de este trabajo.

```
def ssExt(t, vec, ns, tol=0.02):
    ss = 0
    fl = 1
    for i in range(len(t)-2*ns):
        fctr = max(abs((vec[i:i+ns] - vec[i+ns:i+2*ns])/vec[i:i+ns])*100)
        if fctr < tol:
            ss = t[i]
            fl = 0
            break
    if fl:
        print('Estado estacionario no encontrado')
    return ss
```

Código 3.4: Función en Python para obtener el estado estacionario de un vector.

En el Código 3.4 $tol=0.02$ es el factor de aproximación al estado estacionario y ss contendrá el tiempo en el que se ha alcanzado el estado estacionario. La variable $f1$ es una bandera que indica si el estado estacionario fue encontrado, en caso contrario se imprime un mensaje de advertencia.

En resumen, se compara el valor absoluto del máximo porcentaje de error encontrado entre dos ventanas de tiempo separadas por el periodo de la señal. Se toma el valor absoluto dado que un error positivo o negativo es irrelevante.

La segunda alternativa para aproximar el estado estacionario es utilizar HB para determinar el voltaje máximo de salida y después determinar el tiempo que toma en alcanzar dicho valor mediante TR MEAS. El método para ello se muestra en el Código 3.5. Dada la naturaleza de SPICE, no es posible integrar las mediciones de HB y TR, por lo que se tiene que definir el voltaje máximo buscado de manera manual.

```

** Inicia circuito
** Termina circuito
***** Análisis
.hb tones=freq nharms=100
.tr tstep tstop
.meas hb vomax find vm(vo)[0] at=1
.meas tran ss when v(vo)=[vomax]

```

Código 3.5: Determinación del tiempo de respuesta utilizando HB.

Considerando el voltaje constante de 2 V HB determina un voltaje máximo de 2.13 V, el cual es encontrado por HSPICE a 18.575 ns. Tomando el vector de salida de esa simulación y considerando un factor de aproximación del 0.5 % la función de Python encuentra el estado estacionario a los 17.365 ns. Dado que ambos se consideran sólo una estimación, cualquiera de los dos métodos se puede considerar como válido para el análisis.

En ambos casos se debe de obtener una simulación TR que llegue al estado estacionario, lo cual puede llegar a tomar un tiempo considerable. Por lo que es recomendable hacer el cálculo sólo al final del ciclo de diseño.

B. Impedancia de entrada.

La impedancia de entrada es una de las características del rectificador más complejas de analizar debido a que, como se expone en la sección 3.2, es un valor dinámico que depende

de las condiciones de polarización. Con el fin de simplificar el análisis, se considera sólo la impedancia en estado estacionario del rectificador, para ello se propone la utilización del análisis *balance armónico* para la solución.

Balance armónico es un análisis híbrido en el tiempo y la frecuencia que, al solucionar el sistema de ecuaciones entrega la respuesta en el dominio de la frecuencia (Fourier) del estado estacionario del circuito. Este análisis es preferible debido a que considera las no linealidades del circuito mientras que un análisis en frecuencia regular AC es lineal, así como todas las derivaciones de este. Por otro lado, este tipo de análisis no requiere tiempo de cómputo elevado, lo que lo hace un análisis compatible con ciclos de optimización.

De esta manera es posible obtener la magnitud y fase del voltaje y la corriente a la entrada del rectificador, de donde se puede calcular de manera directa la impedancia de entrada en estado estacionario mediante la Ec. (3.20):

$$Z_{in} = \frac{|V_{in}|}{|I_{in}|} \angle \phi_v - \phi_i, \quad (3.20)$$

donde V_{in} es el voltaje pico de entrada, I_{in} la corriente de entrada pico y ϕ_v y ϕ_i son las fases del voltaje y corriente de entrada respectivamente.

Es necesario tener cuidado al utilizar la Ec. (3.20), dado que las fases y magnitudes de HB no están estipulados para cálculo de impedancias. Z_{in} debe ser un número complejo con una parte real positiva y una fase en el rango $[-90^\circ, 90^\circ]$, que indica puramente capacitivo o inductivo respectivamente, de ser necesario se deben considerar los ángulos complementarios.

Por otro lado, debido a la naturaleza del análisis en SPICE la corriente en la fuente aparece como negativa y también debe considerarse para el cálculo de la impedancia, ya sea invirtiendo el signo durante el cálculo o utilizando una resistencia con un valor suficientemente bajo que no afecte la respuesta del circuito. El valor mínimo de resistencia que acepta HSPICE es de $10 \mu\Omega$, por lo que se sugiere este valor. De esta manera, la impedancia se obtiene utilizando una secuencia de MEAS en HB tal cual se muestra en el Código 3.6, en donde zr y zi contienen las partes real e imaginaria de la impedancia respectivamente.

Asimismo, se define la modificación necesaria en la fuente de entrada para formar una fuente de -10 dBm a 50Ω , la cual es la impedancia por defecto de una fuente de potencia

```

** Inicia circuito
** Termina circuito
** Fuente
.param amp = -10
v1 vs gnd 0 sin (0 '(1m)*10^(amp/10)' freq 0s 0Hz -180d) power=w
+ hb '(1m)*10^(amp/10)' 0 1 1
** Análisis
.meas hb vm find vm(vs)[1] at=1 print=0
.meas hb vp find vp(vs)[1] at=1 print=0
.meas hb im find im(rs)[1] at=1 print=0
.meas hb ip find ip(rs)[1] at=1 print=0
.meas hb zm param='vm/im'
.meas hb zp param='vp-ip'
.meas hb zr param='zm*cos((zp)*pi/180)'
.meas hb zi param='zm*sin((zp)*pi/180)'

```

Código 3.6: Mediciones para el cálculo de la impedancia de entrada de un rectificador.

dentro del *software*. Si se desea modificar la impedancia de la fuente es necesario utilizar un elemento PORT. Por otro lado, se utiliza la conversión de dBm a W porque el análisis en HB presenta algunos problemas para trabajar con fuentes de potencia en decibeles.

Finalmente, la impedancia de entrada obtenida por este medio es de $783\text{ m}\Omega - i3.85\text{ k}\Omega$. Esta impedancia dista mucho de ser la impedancia final del circuito, por lo que el rectificador tiene una salida prácticamente de cero volts, este problema será atacado durante el cálculo de la red de acoplamiento.

El número de etapas de duplicación se determina en conjunto con la red de acoplamiento, por lo que se expone después de esta sección.

3.3.5. Red de acoplamiento

Todas las fuentes de energía eléctrica tienen un límite de energía que pueden entregar. Desde el punto de vista eléctrico, este límite se representa por medio de una impedancia de salida [108]. Como se menciona en la sección 3.2.2, para maximizar la energía extraída de la fuente la impedancia de la carga debe igualar al complejo conjugado de la impedancia de la fuente.

La conformidad entre las impedancias de la fuente y la carga por lo general no existe, por lo que se requiere una *red de acoplamiento* entre la fuente y la carga, la cual se encarga que la fuente “vea” una impedancia distinta a la del circuito original [107]. Esto se logra por medio de la resonancia eléctrica entre elementos reactivos, que modifica los niveles de

voltaje y corriente, de tal manera que coincidan con la impedancia esperada por la fuente. Por supuesto, esta resonancia sólo puede lograrse para una frecuencia en específico, en estado estacionario y con un ancho de banda que puede variar con respecto al factor de calidad Q .

La red de acoplamiento es una de las cuestiones más delicadas del diseño. La selección adecuada de los elementos de acoplamiento conlleva a un incremento considerable en la eficiencia del rectificador. Sin embargo, dada la naturaleza no lineal del circuito, es extremadamente complejo calcular la red.

En términos prácticos se sugiere la utilización de los algoritmos de optimización integrados en HSPICE, los cuales están basados en el método de Newton multivariable para la búsqueda de los parámetros. HSPICE utiliza de manera inicial el Método del Gradiente para acelerar el proceso y después usa el método de Levenberg–Marquardt [113]. Ambos son parte de los métodos de solución de mínimos cuadrados. Una gran desventaja de estos métodos es que son propensos a alcanzar mínimos locales, en lugar del mínimo global, por lo que el valor inicial del proceso de optimización es crítico para lograr la máxima eficiencia posible en el sistema.

De la sección B se conoce la impedancia de entrada que el rectificador tiene *antes* que se adicione la red. Con esta información se puede calcular de manera directa una *red inicial*, la cual servirá como punto de entrada para el algoritmo de optimización.

A. Red inicial.

Para reducir el número de elementos, y por lo tanto las pérdidas, se sugiere que la red de acoplamiento sea una red L simple [114]. Para esta red existen cuatro posibles casos para seleccionar el acoplamiento como se muestra en la Fig. 3.11.

Para rectificadores, una señal con componentes de DC (*offset*) no causa ningún problema al desempeño del rectificador, por lo que no se considera necesario el utilizar las redes de rechazo de DC de las Fig. 3.11c y Fig. 3.11d. Así pues, se consideran sólo los dos casos de la parte superior para la red de acoplamiento.

Asumiendo que la impedancia de entrada es conocida, la red se puede calcular con las Ec. (3.21) y (3.22):

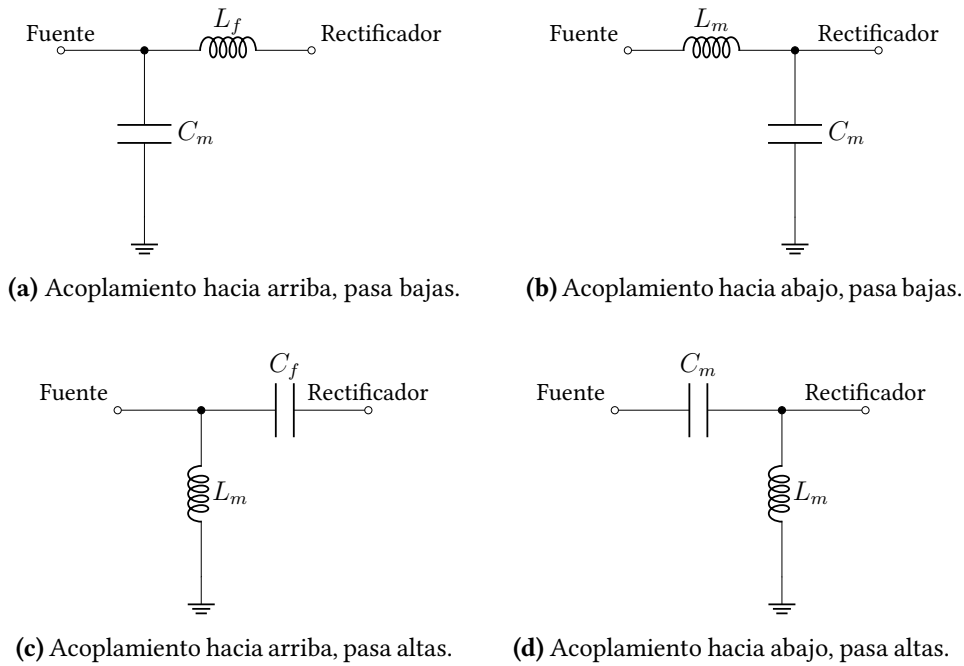


Figura 3.11: Red L para el acoplamiento de impedancia.

$$Q_s = Q_p = \sqrt{\frac{R_p}{R_s} - 1}, \quad (3.21)$$

$$Q_s = \frac{X_s}{R_s}, \quad Q_p = \frac{R_p}{X_p}, \quad (3.22)$$

donde: $Q_s = Q_p$ es el factor de calidad, X_s es la reactancia en serie y X_p es la reactancia en paralelo de la red de acoplamiento. Los términos serie y paralelo se refieren al correspondiente elemento en la red seleccionada, es decir, en la Fig. 3.11a el inductor es la reactancia en serie, dado que se encuentra en serie con el circuito principal, por lo que el capacitor es la reactancia en paralelo.

Finalmente, los valores del capacitor y el inductor se pueden calcular con las Ec. (3.23), en donde se ha omitido el subíndice de la reactancia por generalidad:

$$C = \frac{1}{2\pi f X} \quad \text{y} \quad L = \frac{X}{2\pi f}, \quad (3.23)$$

donde f es la frecuencia de operación del rectificador.

La impedancia de entrada $Z_{in} = 783 \text{ m}\Omega - i3.85 \text{ k}\Omega$ obtenida en la sección anterior se utiliza ahora para el cálculo de la red de acoplamiento. Ya que la parte real de la impedancia del rectificador es menor que la impedancia de la fuente (50Ω en este caso) se considera la red de la Fig. 3.11a. Antes de calcular la red de acoplamiento, se debe de convertir la impedancia de serie a paralelo, con el fin de separar la resistencia de carga de la capacitancia. Lo cual se hace con las Ec. (3.24) [106]:

$$Q = \frac{R_p}{X_p} = \frac{X_s}{R_s} \quad \text{y} \quad R_p = (Q^2 + 1) \cdot R_s. \quad (3.24)$$

Para facilitar la conversión serie/paralelo el Código 3.7 muestra una función que automatiza el proceso para la aplicación específica.

```
def ser2par(zL, f): # Conversión serie a paralelo
    if isinstance(zL, complex):
        Q = zL.imag / zL.real
        Rp = (Q**2 + 1)*zL.real
        Xp = Rp / Q
        if Xp < 0:
            Cp = 1 / (2*pi*f*abs(Xp))
            return Rp, Cp
        else:
            Lp = abs(Xp) / (2*pi*f)
            return Rp, Lp
```

Código 3.7: Función en Python para convertir impedancias de serie a paralelo.

De esta manera la impedancia en estado estacionario es equivalente a una resistencia de $R_{eq}=18.93 \text{ M}\Omega$ en paralelo con un capacitor $C_{eq}=48.63 \text{ fF}$. De donde es lógico que la potencia recibida en estos elementos es prácticamente cero, aunque como ya se ha mencionado, esto es irrelevante en esta etapa del diseño.

El cálculo de la red de acoplamiento utilizando las Ec. (3.21) y (3.22) puede ser automatizado, utilizando el código de el apéndice A.1.

Utilizando este método, se determina que una red en L con acoplamiento hacia abajo y valores $L_m=6.48 \mu\text{H}$ y $C_m=6.09 \text{ fF}$ es adecuada para el acoplamiento del circuito. Sin embargo, como se menciona anteriormente, la red de acoplamiento cambiará la polarización del circuito lo cual provocará que cambie la impedancia de entrada y por consecuencia la red de acoplamiento adecuada.

El cambio en la polarización se ejemplifica en la Fig. 3.12, en donde puede ser observada la diferencia entre los voltajes de entrada antes y después de la red de acoplamiento a la entrada del rectificador. La Fig. 3.13 muestra el circuito simulado considerando una potencia de entrada de -10 dBm.

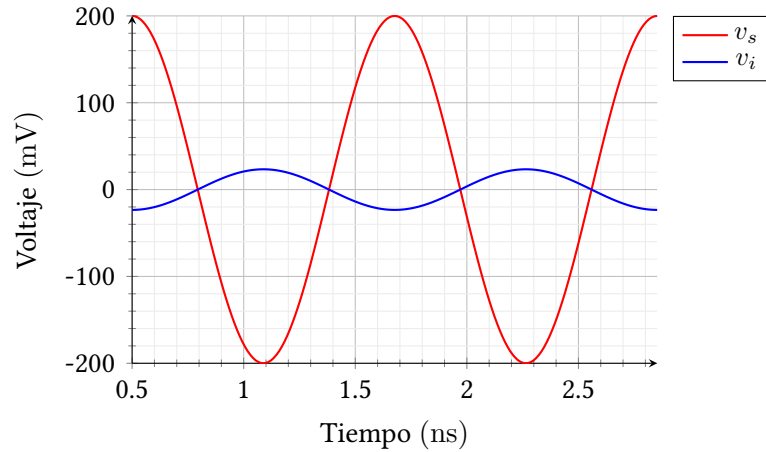


Figura 3.12: Cambio en la polarización de entrada debido a la red de acoplamiento.

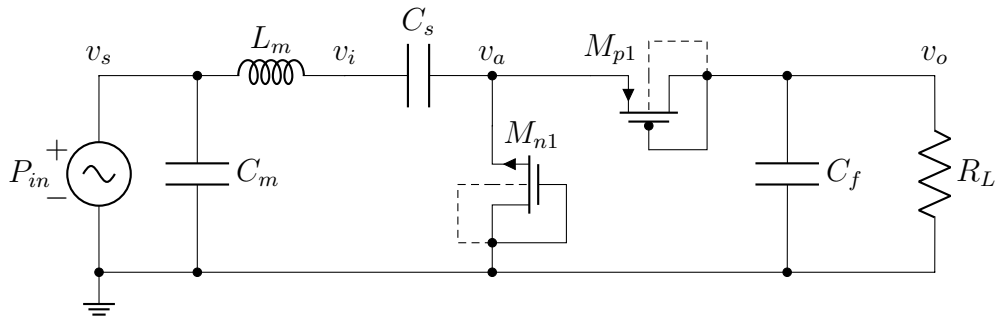


Figura 3.13: Duplicador de media onda con red de acoplamiento.

Dados los cambios en la polarización, el voltaje de entrada al rectificador es incluso menor que el voltaje en la fuente. Por consecuencia, es necesario optimizar los valores de la red de acoplamiento utilizando algoritmos de búsqueda; esto se presenta en la siguiente sección.

B. Red optimizada.

Con el fin de resolver el problema de la variabilidad de la impedancia de entrada del rectificador, se propone el uso de optimización SPICE en conjunto con HB para encontrar el punto óptimo de los parámetros del diseño utilizando como condiciones iniciales los resultados

determinados hasta el momento. La sintaxis de la optimización se presenta en el apéndice B.4.

En el caso de rectificadores, el resultado esperado es el tener una eficiencia del 100 % como se define en la sección 3.1.5, de tal forma que para el ejemplo establecido se busca que a la salida se obtengan:

$$V_o = \sqrt{P_{in} R_L} = \sqrt{10 \mu\text{W} \cdot 100 \text{k}\Omega} = 3.16 \text{ V}. \quad (3.25)$$

De tal forma que 3.16 V será el objetivo de la optimización, el Código 3.8 contiene la implementación del ciclo dentro de HSPICE. Por supuesto, deben de definirse dentro de la red los parámetros de búsqueda deseados, en este caso los elementos de la red de acoplamiento representan los elementos de búsqueda, utilizando como valores iniciales los calculados con las ecuaciones cerradas presentadas anteriormente. De igual manera, se deben agregar como parámetros de búsqueda aquellos elementos que influyan en la impedancia de entrada, es decir, los capacitores internos del rectificador y los tamaños de los transistores.

```
.model opt1 opt level=1

.hb tones=freq nharms=100 sweep optimize=optsize results=vodc,viac model=opt1
.print hb v(vi) v(vo) v(vs)
.print hbtran v(vi) v(vo) v(vs)
.meas hb vodc max vm(vo)[0] goal=3.1622 $ Voltaje de salida
.meas hb viac find vm(vi)[1] at=1 goal=1.5 $ Voltaje a la entrada del rectificador
.meas hb eff param=('(100*vodc^2)/100k/100u') $ Medición de la eficiencia
```

Código 3.8: Optimización en HSPICE con balance armónico.

En el Código 3.8, se agrega como parámetro de optimización el voltaje v_i a la entrada del rectificador, lo cual ayuda a la convergencia y a incrementar la eficiencia total. De esta manera se obtiene un voltaje de salida de 810 mV, el cual equivale a una eficiencia de 6.56 %. Los parámetros obtenidos se presentan en la Tabla 3.1.

En la siguiente sección se presenta la parte final del método propuesto, la cual corresponde al barrido de optimizaciones para la determinación del óptimo número de etapas.

Tabla 3.1: Resultados de optimización con una sola etapa de duplicación.

Parámetro	Valor
L	0.18 μm
W_n	10.40 μm
W_p	10.40 μm
C_m	281.07 fF
L_m	1.80 μH
v_{ip}	1.48 V
v_o	809.50 mV

3.3.6. Número de etapas.

Cada etapa de duplicación tiene, en general, dos consecuencias: la parte real de la impedancia de entrada se reduce en aproximadamente la mitad, hasta cierto punto, y el periodo transitorio es aproximadamente duplicado. La reducción de la impedancia de entrada puede ser utilizada para acercar la impedancia del rectificador a la impedancia de la fuente, de tal forma que se tenga una red de acoplamiento menos demandante (baja Q); en la cual sólo sea necesario resonar la capacitancia de entrada.

Para hacer más eficiente el proceso de modificar el número de etapas es recomendable utilizar condicionantes dentro del *netlist* de HSPICE, tal como se muestra en el apéndice B.5, aunque la modificación del circuito puede ser por cualquier otro medio.

En la Tabla 3.2 se presentan los resultados de el barrido para calcular los valores iniciales de la red de acoplamiento. Los resultados muestran una variación significativa en las primeras etapas de duplicación, mientras que en etapas posteriores la variación es marginal, lo cual es consecuencia de las no linealidades del circuito.

Así pues, utilizando estas condiciones iniciales se utiliza optimización con HB para cada etapa de duplicación N , los resultados de la optimización se resumen en la Tabla 3.3. Debido a las pérdidas generadas por los transistores, el rectificador ideal contiene sólo una etapa de duplicación, alcanzando una eficiencia del 26.26 % y un voltaje de salida de 2.29 V.

La Fig. 3.14 muestra un esquema de la metodología de diseño de rectificadores para recolección de energía. Los ocho pasos, descritos a detalle en las secciones anteriores, pueden ser adaptados para incluir técnicas para el incremento de la eficiencia, tales como esquemas de cancelación de V_{th} , sintonización de la impedancia de la fuente y configuraciones en espejo

Tabla 3.2: Cálculo de la red de acoplamiento inicial para distintas etapas de duplicación.

N	Z_m (k Ω)	Z_p ($^\circ$)	Z_r (Ω)	Z_i (k Ω)	L_m (μ H)	C_m (fF)
1	3.997	-89.982	1.268	3.997	5.788	7.927
2	1.969	-89.985	0.502	1.969	4.301	10.125
3	1.306	-89.987	0.307	1.306	3.575	11.940
4	0.977	-89.987	0.221	0.977	3.122	13.518
5	0.781	-89.987	0.172	0.781	2.806	14.932
6	0.650	-89.988	0.140	0.650	2.570	16.219
7	0.557	-89.988	0.119	0.557	2.384	17.407
8	0.487	-89.988	0.103	0.487	2.235	18.508
9	0.433	-89.988	0.090	0.433	2.112	19.539
10	0.389	-89.988	0.080	0.389	2.008	20.506

Tabla 3.3: Resultados de optimización para cada número de etapas.

	N			
	1	2	3	4
C_m (yF)	0.100	0.100	3347.100	0.100
C_s (fF)	61.896	48.996	47.795	46.302
L_m (μ H)	1.334	0.921	0.952	0.924
L_n (μ m)	0.279	0.255	0.274	0.245
L_p (μ m)	0.380	0.309	0.423	0.320
W_n (μ m)	14.414	11.072	3.503	2.218
W_p (μ m)	14.848	12.093	6.577	5.557
v_o (V _{DC})	2.292	1.753	1.116	0.801
v_i (V _{AC})	3.089	2.076	1.325	1.043
r_{rizo} (%)	1.901	1.427	1.151	1.013
η (%)	26.263	15.363	6.224	3.208

[53].

Utilizando el proceso de la Fig. 3.14 se hace un barrido de la potencia de entrada determinando los parámetros óptimos para cada punto. Los resultados se resumen en la Tabla 3.4. en donde puede ser verificado que los parámetros óptimos dependen en gran medida de las condiciones de entrada. Sólo para potencias de entrada relativamente altas el número óptimo de etapas se incrementa. Evidentemente, los transistores representan pérdidas significativas al sistema y un diseño con este proceso se podría beneficiar de un esquema de compensación de V_{th} .

Para mostrar gráficamente la variación en la eficiencia con respecto a la potencia de entrada la Fig. 3.15a traza la eficiencia disponible con respecto a la potencia de entrada y la Fig. 3.15b

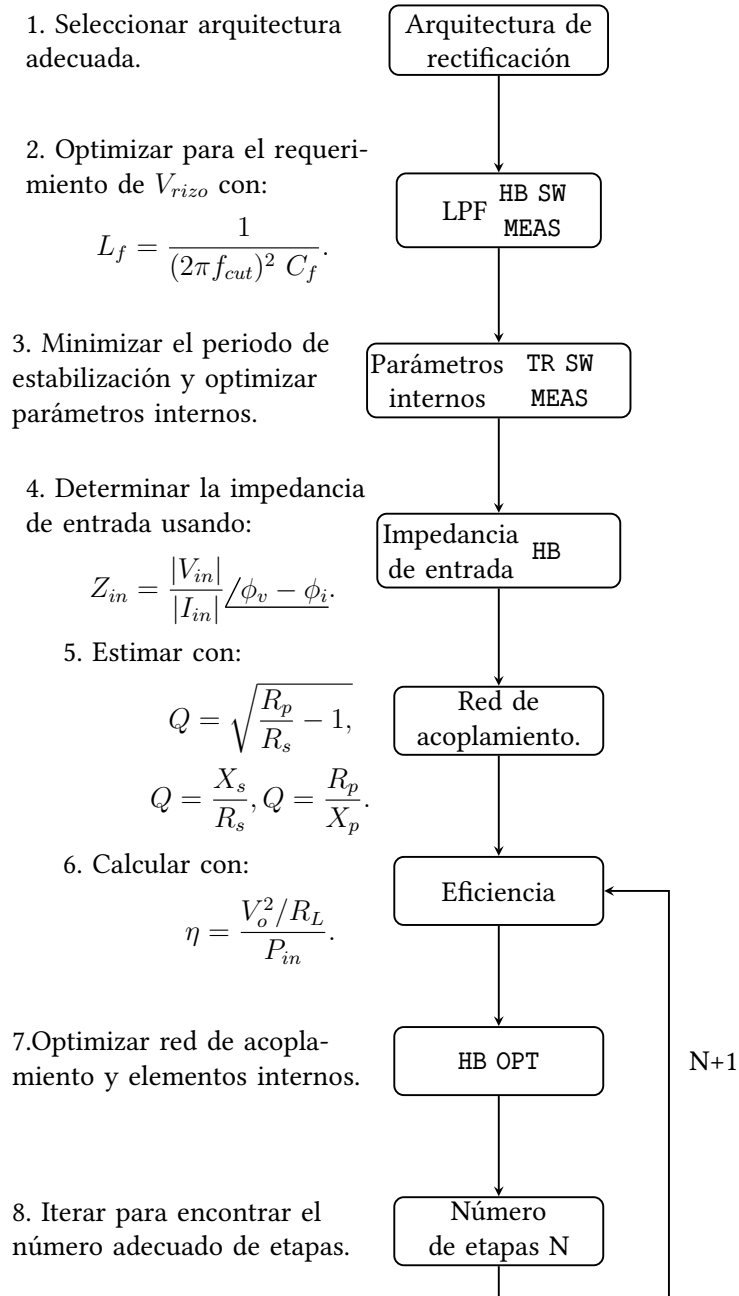


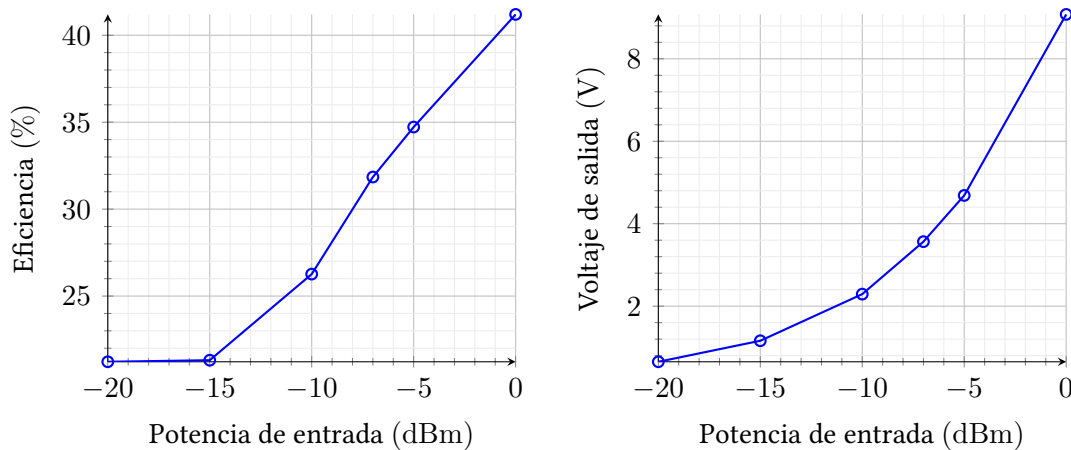
Figura 3.14: Secuencia de diseño SPICE para rectificadores orientados a WPT.

el voltaje de salida máximo disponible con respecto a la potencia de entrada. Por supuesto, la tecnología de 180 nm no es capaz de soportar los voltajes mayores a 3.30 V, por lo que algunos de esos valores son sólo teóricos y sirven de referencia para la evaluación de los diseños.

Las siguientes secciones presentan algunas comparaciones del método propuesto con otras alternativas de diseño para destacar su utilidad.

Tabla 3.4: Resultados de optimización con diferentes potencias de entrada.

	Potencia (dBm)					
	-20	-15	-10	-7	-5	0
N	1	1	1	1	2	2
C_m (yF)	1	1	1	19 217	1	0
C_s (fF)	61.593	64.318	61.896	43.506	20.035	19.083
L_m (μ H)	1.295	1.314	1.334	1.406	1.403	1.414
L_n (μ m)	0.359	0.338	0.279	0.336	0.479	0.438
L_p (μ m)	0.503	0.520	0.380	0.694	0.550	0.428
W_n (μ m)	11.813	12.276	14.414	14.726	14.067	19.319
W_p (μ m)	12.560	13.083	14.848	15.361	14.331	17.377
v_o (V_{DC})	0.651	1.161	2.292	3.565	4.686	9.077
v_i (V_{AC})	1.476	1.990	3.089	5.791	8.386	15.130
r_{rizo} (%)	3.421	2.691	1.901	2.391	1.769	1.533
v_{100} (V_{DC})	1.414	2.515	4.472	6.317	7.953	14.142
η (%)	21.221	21.311	26.263	31.847	34.721	41.199



(a) Eficiencia del rectificador vs. potencia disponible. (b) Voltaje a la salida vs. potencia disponible.

Figura 3.15: Eficiencia y voltaje máximo del rectificador diseñado con el proceso TSMC de 180 nm.

3.3.7. Diseño con elementos discretos.

Como alternativa al diseño en CMOS, es posible utilizar elementos discretos para el diseño de rectificadores. Siguiendo la metodología presentada en la sección anterior se diseña un rectificador con los siguientes requerimientos:

- Frecuencia (800 MHz).
- Potencia de entrada (-10 dBm).
- Impedancia de la fuente (50Ω).
- Voltaje de rizo ($r < 2 \%$).
- Voltaje de salida (1 V).
- Carga ($100 \text{ k}\Omega$).

Se considera un duplicador de media onda multietapa y se selecciona el diodo Schottky HSMS2852 debido a que es común su uso en este tipo de sistemas. Los diodos operan en la región de subumbral, hecho que ayuda a reducir el V_{th} y por consecuencia incrementar la eficiencia. En la Tabla 3.5 se presentan los parámetros de diseño optimizados con respecto al número de etapas.

Tabla 3.5: Parámetros optimizados vs. número de etapas.

N	V_o (V)	η (%)	C_c (pF)	C_l (pF)	L_m (nH)
1	0.83	7.02	10000	10000	100
2	2.58	66.65	454	1642	83.5
3	2.48	61.81	10000	10000	48.8
4	2.33	54.57	309	412	35.7
5	2.21	48.86	230	286	25.7
6	2.07	42.87	180	216	20.6
7	1.93	37.52	130	148	17.1
8	1.77	31.33	116	118	17.0

Se determina que un circuito con dos etapas de duplicación es capaz de alcanzar una eficiencia del 66.60%. En el mismo sentido que el circuito en CMOS, el número de etapas se mantiene bajo debido a las pérdidas al tener un elevado número de elementos. La Fig. 3.16 presenta el circuito final y la Fig. 3.17 presenta la respuesta transitoria del circuito en SPICE.

El inductor de acoplamiento L_m entra en resonancia con la impedancia de entrada del rectificador, incrementando el voltaje en el nodo v_1 conforme se alcanza el estado estacionario. Considerando la entrada de 780 mV, un rectificador ideal entregaría 3.12 V_{DC}. Por lo tanto, los diodos de la Fig. 3.16 presentan un V_{th} promedio de 135 mV, lo cual corresponde a una corriente de 25.80 mA. Esta relación corriente/voltaje es consistente con las mediciones presentadas en la hoja de datos del fabricante.

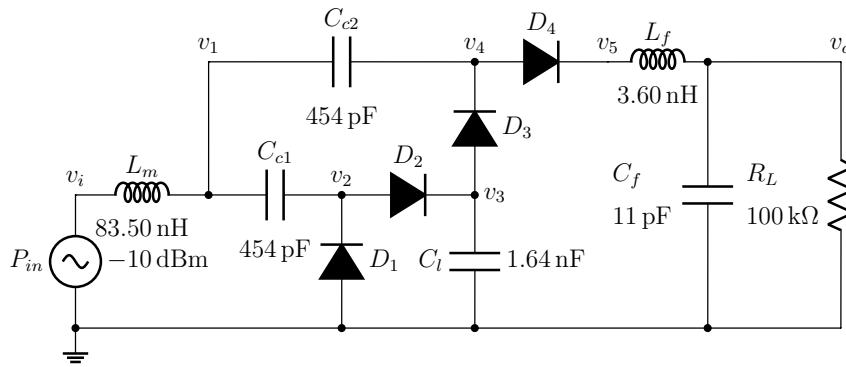


Figura 3.16: Circuito optimizado utilizando el diodo Schottky HSMS2852 y una potencia de entrada de -10 dBm.

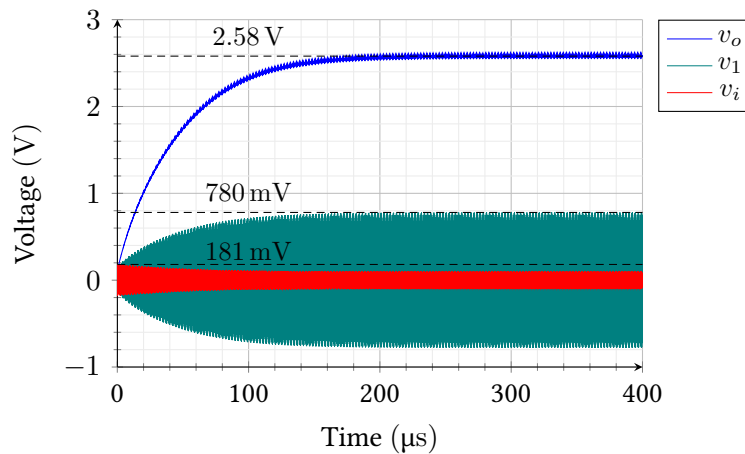


Figura 3.17: Respuesta transitoria de SPICE del circuito de la Fig. 3.16.

La Tabla 3.6 presenta los parámetros optimizados para distintas potencias de entrada, existen diferencias significativas entre los parámetros optimizados y el número de etapas de duplicación, lo cual demuestra que los parámetros óptimos de un sistema cambiarán con las condiciones de polarización.

Tabla 3.6: Parámetros optimizados por el método propuesto.

	P_{in} (dBm)				
	-20	-15	-10	-5	0
N	1	2	2	2	4
η (%)	37.01	50.92	66.65	73.95	79.73
C_c (pF)	9500	308	454	626	1
C_l (pF)	0.001	19.8	1642	1265	10
L_m (nH)	100	75.3	83.5	100	54.7
V_o (V)	0.608	1.26	2.58	4.83	8.92

Con el propósito de destacar la utilidad del método propuesto, se toman los resultados de optimización para distintas potencias de entrada y se evalúan con respecto a un diseño optimizado con valores iniciales arbitrarios. La Tabla 3.7 resume los parámetros optimizados bajo las mencionadas condiciones, donde puede observarse un deterioro en el desempeño general de los sistemas. Las condiciones iniciales arbitrarias se colocan en la columna determinada N_0 y corresponden a valores estimados de manera heurística.

Tabla 3.7: Parámetros optimizados para condiciones iniciales arbitrarias.

	N_0	P_{in} (dBm)				
		-20	-15	-10	-5	0
N		1	2	2	2	4
η (%)		9.69	39.55	56.07	56.17	64.93
Δ_η (%)		27.32	11.37	10.58	17.78	14.8
C_c (nF)	1	10	0.486	10	10	10
C_l (nF)	1	10	0.89	10	10	10
L_m (nH)	1	100	79	90	65.6	76.3
V_o (V)		0.31	1.12	2.37	4.21	8.06

La Fig. 3.18 traza los resultados de la Tabla 3.7 con el objetivo de proveer referencia gráfica de las diferencias entre los resultados de ambas condiciones iniciales. En promedio, se observa un incremento de $\approx 10\%$ y hasta un máximo de 27% entre ambas condiciones. Esto se debe en gran medida a que los algoritmos de búsqueda tienden a alcanzar mínimos y máximos locales y son altamente sensibles a variaciones en las condiciones iniciales.

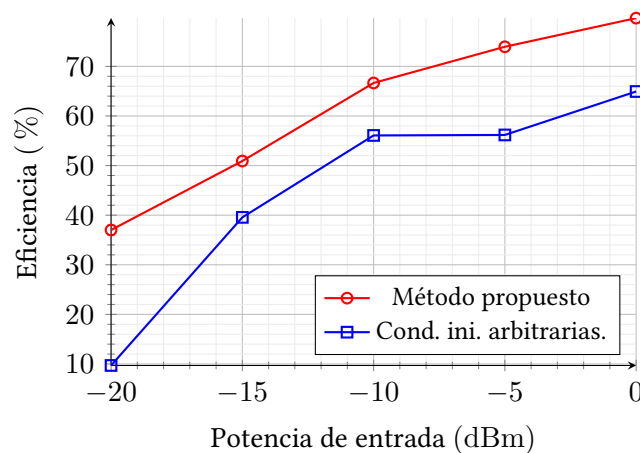


Figura 3.18: Eficiencia vs. potencia de entrada para el método propuesto y condiciones iniciales arbitrarias.

3.4. Comparación con el estado del arte.

Con el fin de verificar las capacidades del método propuesto se elige un artículo que contenga la información necesaria para la reproducción de los resultados presentados. Una de las mayores limitantes al hacer comparaciones directas con resultados de la literatura es la disponibilidad de los modelos de simulación SPICE, los cuales por lo general son provistos sólo bajo un contrato de confidencialidad (*Non-disclosure Agreement*, NDA) debido a que pueden ser utilizados para extraer información de las tecnologías disponibles de la empresa (*foundry*) en cuestión.

3.4.1. Rectificador de Abouzied.

En 2015 Abouzied y Sánchez-Sinencio [83] reportan un rectificador de alta sensibilidad. El diseño y fabricación se hace con tecnología CMOS de 0.18 μm . El objetivo del artículo es presentar un estudio de las diferencias entre la utilización una red de acoplamiento embebida en el chip y una red externa al mismo.

En términos generales, el desempeño de una red de acoplamiento externa es superior en cuestiones de eficiencia, aunque se sacrifica ancho de banda. Las características reportadas se resumen en la Tabla 3.8. La red presentada es de acoplamiento hacia arriba y pasa bajas. El parámetro R_m representa la resistencia equivalente en serie con el inductor de acoplamiento L_m causada por los contactos y vías de conexión utilizadas.

Tabla 3.8: Características del rectificador reportadas en [83].

Parámetro	Valor
Sensibilidad	-27.50 dBm @ 1 V
Tipo de rectificador	Media onda
No. de etapas	6
Red de acoplamiento	Tipo L
L_m	47 nH
C_m	1.20 pF
R_m	4 Ω

Cabe resaltar que la eficiencia no es un dato reportado por los autores, dado que el estudio sólo considera voltajes a circuito abierto. En general un voltímetro tiene una impedancia

de entrada de $10\text{ M}\Omega$, referencia que puede utilizarse para extrapolar información respecto a la eficiencia. De tal forma que con un voltaje de salida de $\approx 950\text{ mV}$, una resistencia de carga de $10\text{ M}\Omega$ y una potencia de $-27.50\text{ dBm}=1.78\text{ }\mu\text{W}$:

$$\eta = \frac{0.95^2/10 \times 10^6}{1.7782 \times 10^{-6}} \times 100\% = 5.08\%.$$

Información fundamental para la reproducción de los resultados también está ausente dentro del artículo, en específico: la casa de fabricación, el dimensionamiento de los transistores, capacitores internos y la frecuencia exacta de los experimentos. De forma que la reproducción de los resultados se complica.

Utilizando el método heurístico en conjunto con métodos de optimización de SPICE es posible encontrar las características faltantes para la reproducción de los resultados utilizando los modelos para la tecnología CMOS TSMC de $0.18\text{ }\mu\text{m}$. Los parámetros encontrados se presentan en la Tabla 3.9 en donde $L_{D,S}$ corresponde a las longitudes de la fuente y drenaje.

Tabla 3.9: Parámetros utilizados para la reproducción de los resultados.

Parámetro	Valor
<i>Foundry</i>	TSMC
Frecuencia	774 MHz
L	$3.80\text{ }\mu\text{m}$
W	$9.80\text{ }\mu\text{m}$
$L_{D,S}$	$7.60\text{ }\mu\text{m}$
C_s	1.30 pF
C_l	3.30 nF

La Fig. 3.19 muestra los resultados obtenidos con los parámetros presentados en las Tablas 3.8 y 3.9. A pesar que los resultados no reproducen exactamente a los presentados en el artículo, para fines de comparación se consideran satisfactorios. A partir de esta información se procederá a utilizar la metodología de diseño propuesta para demostrar que es posible mejorar los resultados presentados en [83].

Al utilizar la metodología propuesta, es posible mejorar el desempeño del rectificador. La Fig. 3.20 muestra los resultados del uso del método propuesto sobre el diseño original. Se alcanza un voltaje de 3.14 V , resultando en una eficiencia del 55.38% .

Así pues, se verifica que la metodología de diseño propuesta representa una herramienta

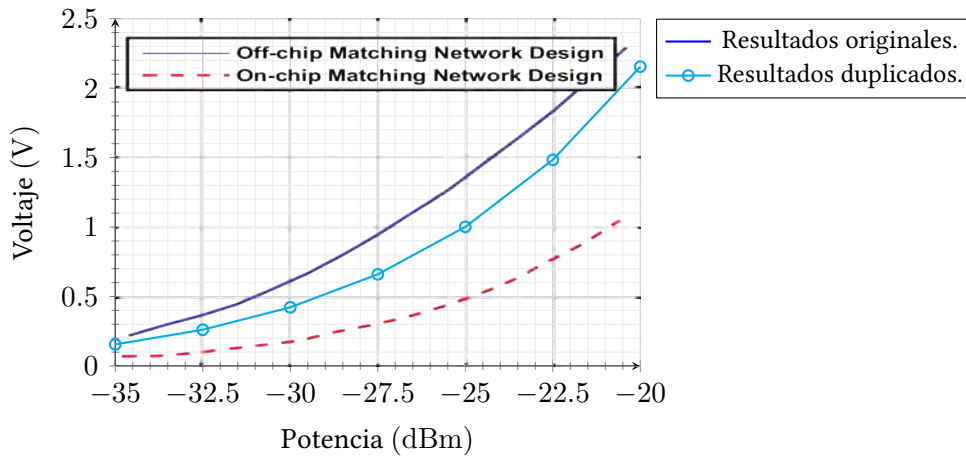


Figura 3.19: Comparación de los resultados reportados en [83] con los resultados reproducidos.

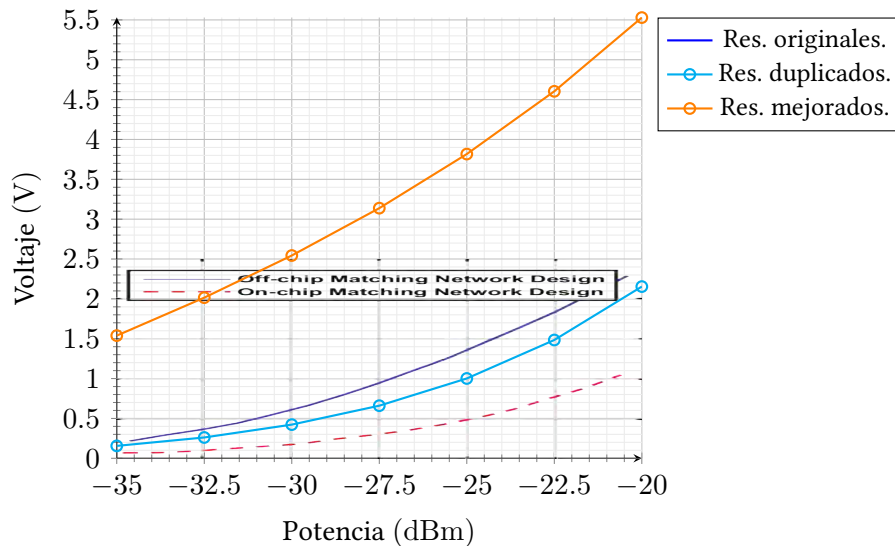


Figura 3.20: Mejora de los resultados de Abouzi.

que permite mejorar la eficiencia de rectificadores. En la siguiente sección se presentan las técnicas de diseño para sistemas WPT que se recomiendan para lograr un diseño útil en términos prácticos.

3.5. Consideraciones de diseño.

Considerando los bajos niveles de energía a los que los sistemas WPT operan, es necesaria la utilización de técnicas de reducción de consumo de energía. En esta sección se resumen

algunas características que pueden ser consideradas al diseñar los sistemas de aplicación (circuito de carga).

Punto de optimización: cuando las condiciones de operación demandan que la potencia de entrada del rectificador sea variable, se recomienda seleccionar la potencia más baja esperada [72] con el fin de garantizar la operación bajo la condición más extenuante.

Bajo ciclo de trabajo: En el caso de sistemas digitales, el consumo de potencia es directamente proporcional al ciclo de trabajo (*duty-cycle*) [115]. De tal manera que un sistema con un bajo ciclo de trabajo puede reducir de manera significativa la energía necesaria para su operación. En [116] se presenta un transmisor RF de ultra bajo ciclo de trabajo con un consumo de potencia de 370 pW.

Operación secuencial: Para casos en los que los niveles de energía son extremadamente bajos con respecto a lo requerido por la aplicación se puede utilizar el modo secuencial [117], también denominado *charge-burst* [44], [118], de manera que el circuito de carga del rectificador sólo opera en una fracción de tiempo, esto se muestra en la Fig. 3.21.

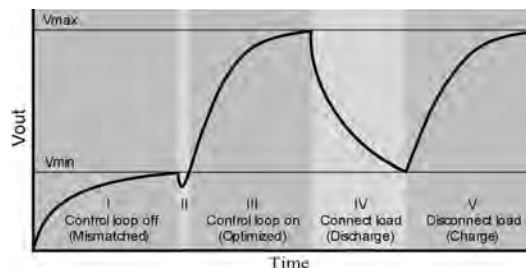


Figura 3.21: Operación en modo *charge-burst*, tomado de [44].

Apilación de circuitos: El apilamiento de circuitos (*circuit-stacking*) es una técnica que reduce los efectos de corrientes de fuga en transistores operando en modo subumbral cuando más de uno de estos están conectados en serie [119]. Este efecto puede ser utilizado para reducir el consumo de energía en circuitos CMOS, como se demuestra en [120].

Acoplamiento alternativo: Dada la aplicación buscada, en este trabajo sólo se consideran redes de acoplamiento clásicas, sin embargo, existen otras técnicas que pueden llegar

a ser consideradas. En [84] proponen el uso de transformadores RF para el acoplamiento entre la antena y el rectificador. En [79] eliminan la simetría en antenas tipo dipolo con el fin de sintonizar la impedancia de la fuente y agregar efectos reactivos. Por otro lado, en [121] proponen una red de acoplamiento de doble L con el fin de aumentar el ancho de banda del rectificador. Una propuesta para la determinación de la ganancia ideal de la red de acoplamiento se presenta en [122].

Región de operación: En algunos casos es posible seleccionar la región de operación de los elementos rectificadores [123], de tal manera que se sugiere la región menos pronunciada de la curva I-V con la finalidad de reducir los efectos de las no linealidades en el circuito, facilitando el diseño.

Síntesis de onda: La utilización de formas de onda alternativas es propuesta en [40], en donde usan síntesis de ondas con la finalidad de aumentar la eficiencia de rectificadores.

§

Hasta este punto se considera finalizado el tema central de este trabajo, demostrando que la metodología propuesta, en conjunto con las técnicas de análisis presentadas, son necesarias y suficientes para el diseño exitoso de circuitos rectificadores para WPT. El trabajo es difundido a través de la revista *IEEE Transactions on Circuits and Systems II: Express Briefs* [124] la cual tiene un factor de impacto de 3.25 a mayo del 2020.

En el siguiente capítulo se presenta la experimentación realizada para soportar el análisis por simulación presentado dentro de este capítulo.

Experimentación

En este capítulo se presenta la experimentación realizada para la verificación de los modelos utilizados en las simulaciones presentadas en el capítulo 3. La primera sección contiene las pruebas experimentales de los circuitos integrados fabricados por parte de la empresa MOSIS, las cuales tienen la finalidad de verificar la configuración y uso de los modelos SPICE durante las simulaciones.

La experimentación realizada con un par de antenas diseñadas y fabricadas es expuesta en la segunda sección. Dicha experimentación cumple el objetivo de verificar que dos o más antenas que comparten tanto un espacio de área equivalente como el plano de tierra son capaces de captar aproximadamente la misma energía, lo cual trasciende en un incremento de la energía recibida en sistemas WPT.

4.1. Rectificador.

Utilizando la tecnología *ON Semiconductor* de $0.5\ \mu\text{m}$ se fabrica un circuito integrado por parte de la empresa MOSIS. El *chip* tiene el objetivo de verificar de manera experimental que forma de utilizar los modelos SPICE es la adecuada, y por consecuencia los resultados y las conclusiones tomadas a partir de ellas son veraces. Principalmente debido al hecho de que los transistores CMOS son utilizados en una configuración no convencional, como se presenta en la sección 2.4.

El *layout* del *chip* y el encapsulado del mismo se muestran en la Fig. 4.1. Dentro del chip se colocan distintas configuraciones de rectificadores, duplicadores y transistores simples con la finalidad de presentar opciones alternativas a las pruebas planeadas. Todos ellos

con dimensiones de transistor que van desde las $30 \times 90 \mu\text{m}$ hasta las $30 \times 180 \mu\text{m}$. Estas dimensiones se eligen sin ningún diseño en específico y se espera que existan pérdidas de energía significativas, aunque eso no presenta inconveniente alguno para los objetivos establecidos.

Dada la trascendencia de los resultados obtenidos, en este trabajo sólo se presenta la experimentación con los diodos simples con el propósito de erradicar información irrelevante y por tanto incrementar la claridad del trabajo presentado.

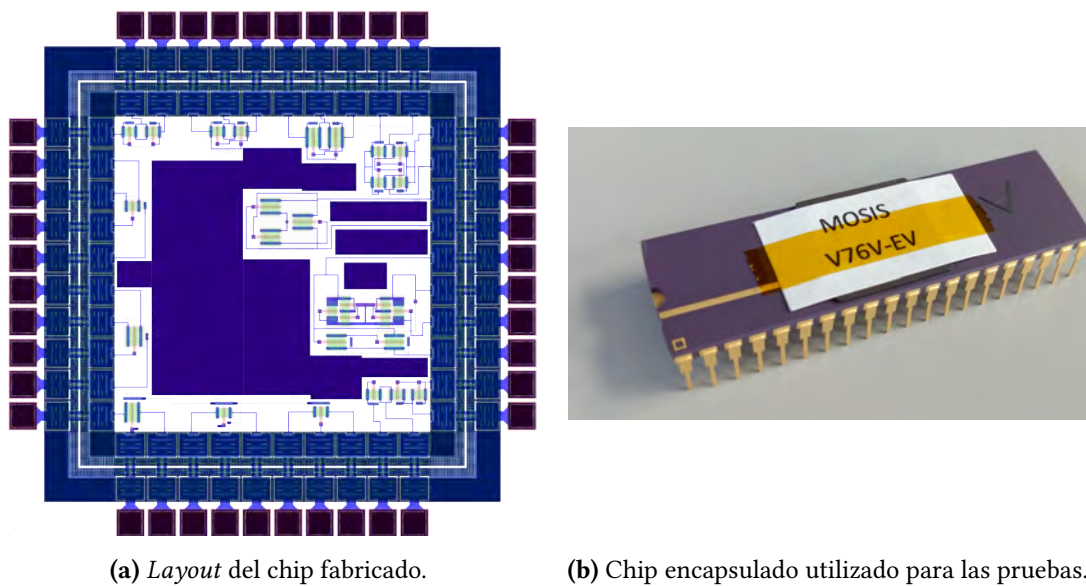


Figura 4.1: Chip fabricado para la verificación de los modelos SPICE.

Para fines prácticos se elige el encapsulado tipo DIP-40, el cual permite hacer las pruebas esperadas en una placa de creación de prototipos (*protoboard*), lo cual elimina la necesidad de diseñar tarjetas adicionales.

4.1.1. Diodo con regulación de sustrato.

Se utiliza un diodo con regulación de sustrato [65] para la verificación de los modelos SPICE. La regulación de sustrato, mostrada en la Fig. 4.3a, se logra por medio de dos transistores auxiliares M_{p2} y M_{p3} mientras que M_{p1} es el transistor principal en modo diodo.

La fuente y compuerta del transistor auxiliar M_{p2} y el transistor principal M_{p1} están conectadas a los mismos nodos respectivamente, de tal forma que M_{p2} entra en conducción en paralelo con M_{p1} . Por el contrario el drenaje de M_{p3} se conecta al drenaje de M_{p1} y entra

parcialmente en conducción cuando M_{p1} deja de conducir [125].

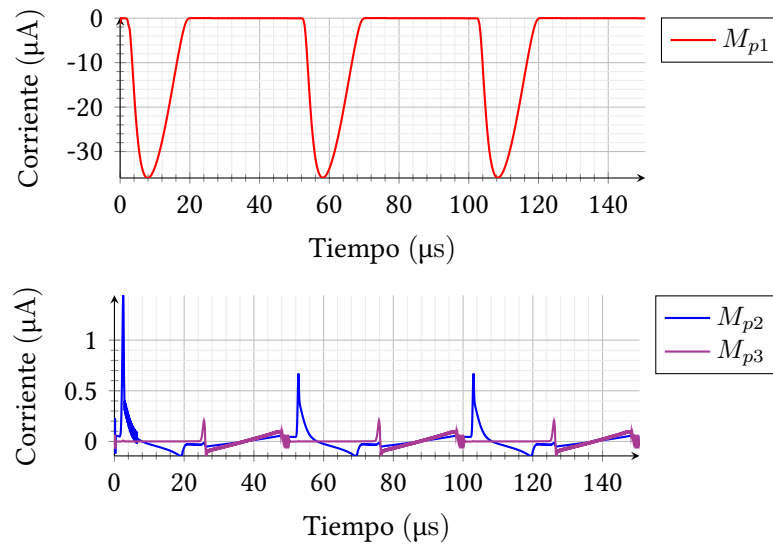


Figura 4.2: Corrientes en los transistores para la configuración de diodo con regulación de sustrato, obtenidos con HSPICE.

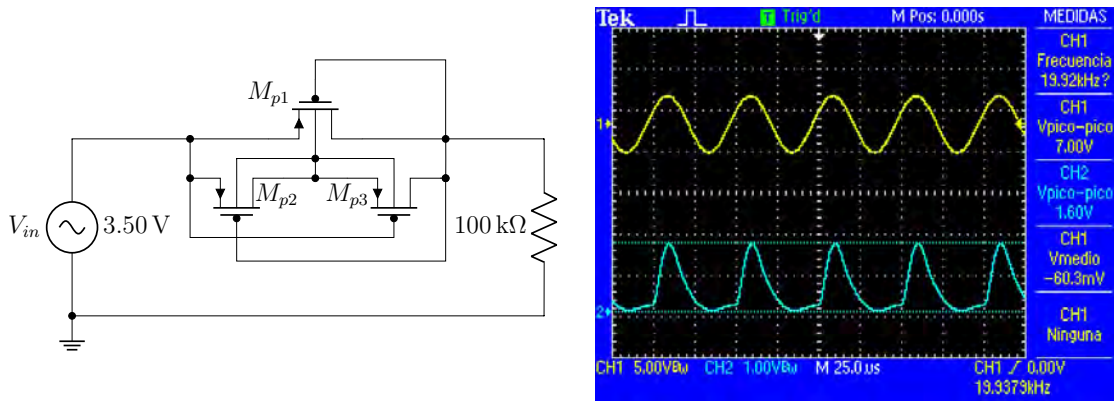
La Fig. 4.2 muestra las corrientes en los transistores en donde se observa de manera clara el comportamiento descrito. Cabe destacar que existe una diferencia significativa en los niveles de corriente existentes en los transistores, esto se debe principalmente a que sólo M_{p1} es responsable por la rectificación de la señal y por lo tanto de las pérdidas de energía.

Dado que para esta tecnología no es viable de alcanzar la frecuencia de operación de rectificadores para WPT, se utiliza una frecuencia de 20 kHz con fines ilustrativos. La Fig. 4.3 muestra la respuesta de los transistores en modo diodo, en donde es clara la congruencia de los resultados de simulación y las mediciones. La medición determina un voltaje máximo de 1.64 V mientras que la simulación determina 1.81 V, lo cual equivale a un porcentaje de error del 9.39%.

Por otro lado, considerando una entrada de 2.50 V, el diodo presenta un V_{th} de 860 mV.

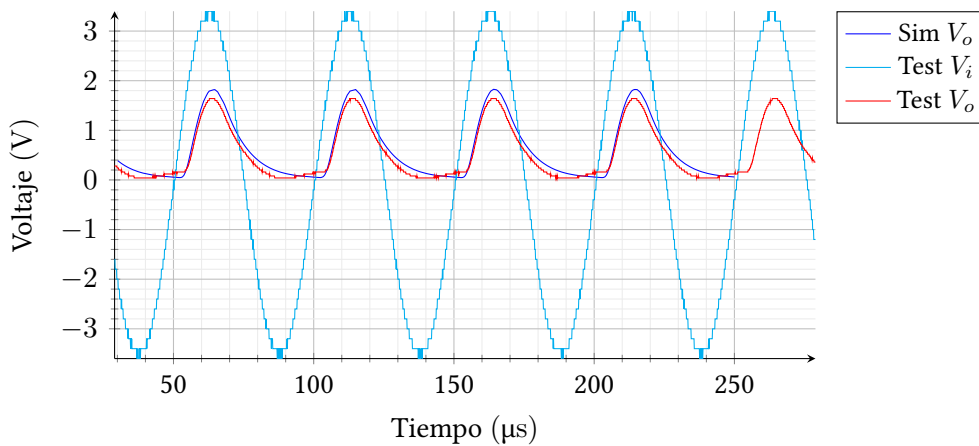
4.1.2. Duplicador de voltaje con regulación de sustrato.

Finalmente, utilizando un par de diodos con regulación de sustrato se forma un duplicador de voltaje de una etapa. La Fig. 4.4 muestra la medición del voltaje de salida en estado estacionario.



(a) Circuito utilizado en la medición.

(b) Respuesta medida del circuito.



(c) Comparación de la respuesta.

Figura 4.3: Medición de la respuesta del diodo con regulación de sustrato.

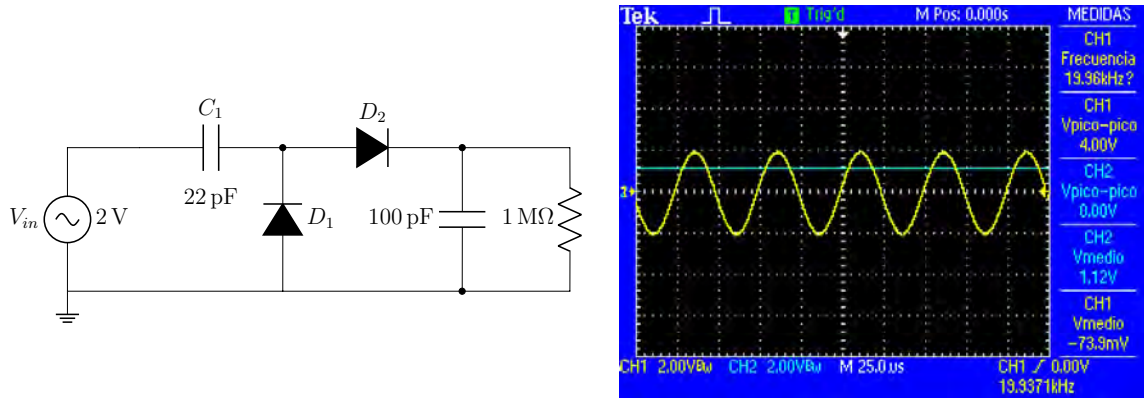
El voltaje a la salida puede determinarse por medio de la Ec. (4.1):

$$V_{o,DC} = 2(V_{in} - V_{th}). \quad (4.1)$$

Considerando un $V_{th}=860$ mV, se espera tener una salida de $V_{o,DC}=2.28$ V. No obstante, la simulación determina un voltaje de salida de 1.13 V mientras que la experimentación alcanza un voltaje de 1.12 V, lo cual corresponde a un $V_{th}=1.44$ V. La diferencia entre los correspondientes voltajes puede atribuirse a la variación de la polarización de los elementos activos, por lo que un modelo de rectificador que suponga un voltaje de umbral constante no se considera lo suficientemente general.

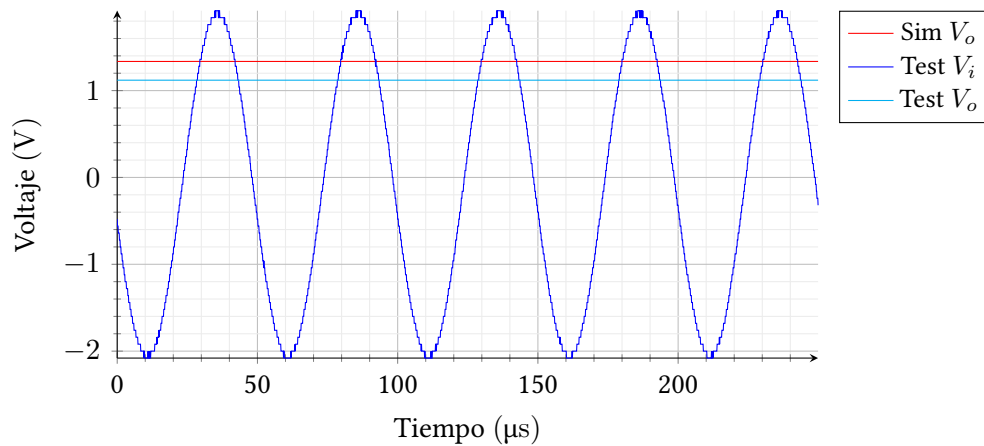
El porcentaje de error entre la simulación y la experimentación es del 16.10 %, de tal manera que los resultados se asumen como satisfactorios para fines de validación de las simulacio-

nes presentadas.



(a) Circuito utilizado en la medición.

(b) Medición de la respuesta.



(c) Comparación de la respuesta.

Figura 4.4: Duplicador de voltaje utilizando diodos con regulación de sustrato.

Por lo tanto, la configuración de los modelos SPICE utilizados dentro de las simulaciones presentadas en este trabajo son consistentes con la experimentación. Este hecho es doblemente soportado por medio de la comparación con el estado del arte realizada en la sección 3.4.

4.2. Antenas.

4.2.1. Diseño de la antena.

Con la finalidad de verificar que los procesos utilizados para el diseño de las antenas son los adecuados, se propone diseñar una antena de parche rectangular. Las características de operación deseadas se presentan en la Tabla 4.1. De donde ϵ_r representa la permitividad del dieléctrico, h_ϵ el espesor del dieléctrico y h_{cu} el espesor del cobre.

Tabla 4.1: Especificaciones de diseño de la antena.

Parámetro	Valor
Frecuencia	850 MHz
Dieléctrico	FR4
ϵ_r	4.80
h_ϵ	1.40 mm
h_{cu}	10 μm

Utilizando fórmulas basadas en el modelo de línea de transmisión [103] se puede definir una primer aproximación a la geometría de la antena. El procedimiento de diseño para determinar la longitud L y el ancho W de la antena rectangular se describe a continuación:

Calcular W usando la Ec. (4.2).

$$W = \frac{v_0}{2f_r} \sqrt{\frac{2}{\epsilon_r + 1}}, \quad (4.2)$$

donde:

$$v_0 = \frac{1}{\sqrt{\mu_0 \epsilon_0}}, \quad (4.3)$$

y: $\mu_0 = 1.26 \times 10^{-6}$ H/m es la permeabilidad del vacío, $\epsilon_0 = 8.85 \times 10^{-12}$ F/m es la permitividad del vacío, v_0 es la velocidad de propagación de la onda en el vacío y f_r es la frecuencia de resonancia de la antena. Luego, la permitividad efectiva ϵ_{reff} está determinada por la Ec. (4.4).

$$\epsilon_{reff} = \frac{\epsilon_r + 1}{2} + \frac{\epsilon_r - 1}{2} \sqrt{1 + 12 \frac{h}{W}}. \quad (4.4)$$

La longitud L se calcula por medio de Ec. (4.5).

$$L = \frac{\lambda}{2}, \quad (4.5)$$

y la longitud de onda λ se determina por medio de:

$$\lambda = \frac{v_0}{f_r}. \quad (4.6)$$

El diferencial de longitud que se deriva del grosor del conductor se calcula a través de la Ec. (4.7).

$$\Delta L = 0.412h \frac{(\epsilon_{reff} + 0.3) \left(\frac{W}{h} + 0.264 \right)}{(\epsilon_{reff} - 0.258) \left(\frac{W}{h} + 0.8 \right)}. \quad (4.7)$$

Finalmente, la longitud efectiva final se determina por medio de Ec. (4.8).

$$L_{eff} = L + 2\Delta L. \quad (4.8)$$

Haciendo los cálculos correspondientes, se obtiene que la geometría de la antena debe de ser: $L = 177.63$ mm y $W = 103.56$ mm. Con esta geometría inicial se procede a hacer la simulación de la antena utilizando el *software* Sonnet v. 13.52, el cual utiliza el método de momentos para resolver las ecuaciones de campo y así obtener resultados más precisos para la geometría.

Dentro del *software* se hace un barrido multivariable (L y W para ser precisos) para determinar la combinación adecuada de L y W que maximice el acoplamiento a la frecuencia deseada. Finalmente, la geometría seleccionada es la mostrada en la Fig. 4.5, en la cual se ha adicionado una línea de transmisión de 90° para actuar la antena.

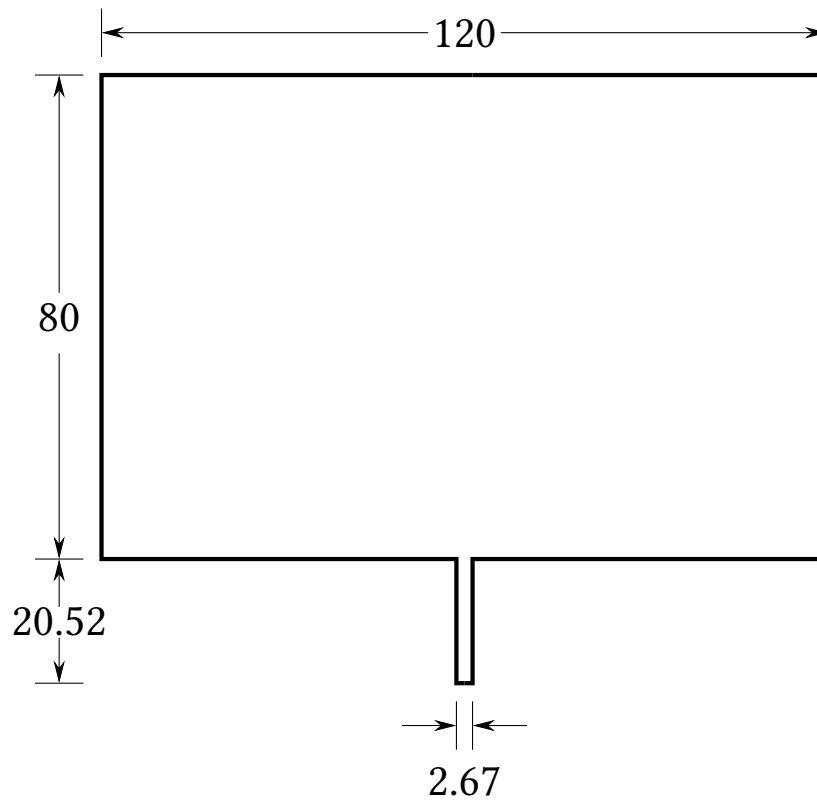


Figura 4.5: Geometría final de la antena a 850 MHz, unidades en mm.

4.2.2. Antena simple.

Para la validación de los resultados, se fabricó la antena con una máquina de prototipado de desbaste mecánico marca LPKF, mostrada en la Fig. 4.6. Se utiliza un conector tipo SMA de 50Ω como puerto de entrada/salida a la antena.

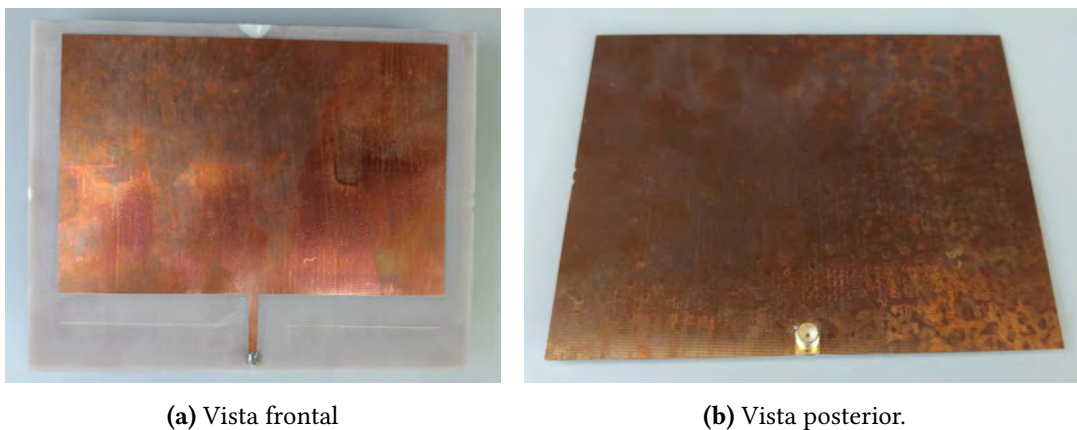


Figura 4.6: Antena fabricada en una placa FR4.

Para la validación de la antena se utiliza el analizador de redes vectoriales (VNA, *vector network analyser*) Anritsu MS46122A. Se conecta de manera directa por medio del puerto SMA tal cual se muestra en la Fig. 4.7.



Figura 4.7: Prueba realizada con el VNA.

En la Fig. 4.8 se muestra la comparación entre la respuesta de la simulación con la salida del VNA. Como puede observarse, la diferencia en frecuencia es despreciable, mientras que la diferencia en acoplamiento es significativa. Esta diferencia se atribuye a muchos factores, tales como: tolerancia de los parámetros de diseño (permitividad, grosores del dieléctrico y cobre, conductividad del cobre), tolerancia de la geometría (determinada por la máquina de prototipado), calidad de los puntos de contacto (puntos de soldadura, uniones de los conectores), impurezas en los materiales (tales como oxidación y desgaste). Aún con ello se logra un acoplamiento por encima de -10 dB el cual se considera aceptable para sistemas WPT [82].

Las diferencias entre los resultados de la simulación y las pruebas con el VNA pueden ser evaluados de manera lineal haciendo una transformación de dB a W utilizando la Ec. (4.9):

$$P_{dB} = 20 \log P_W \quad \rightarrow \quad P_W = 10^{P_{dB}/20}. \quad (4.9)$$

De tal manera que -28.73 dB = 0.0366 W/W y -15.51 dB = 0.1677 W/W. Por tanto, existe una diferencia de ≈ 13 % entre la simulación y la experimentación.

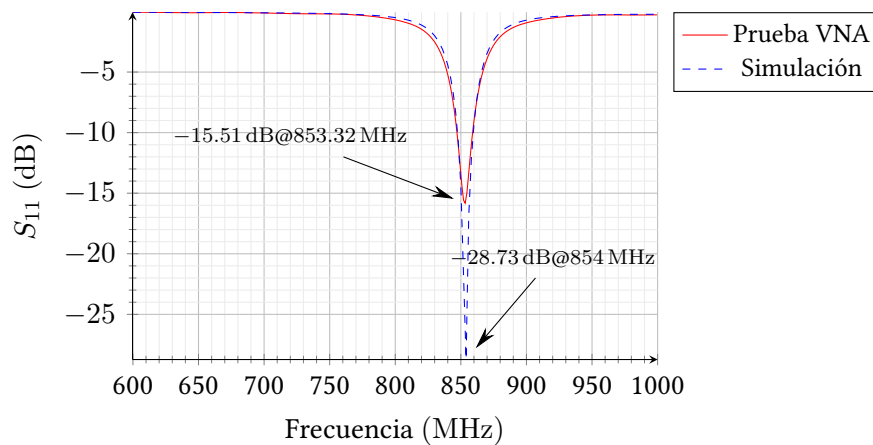
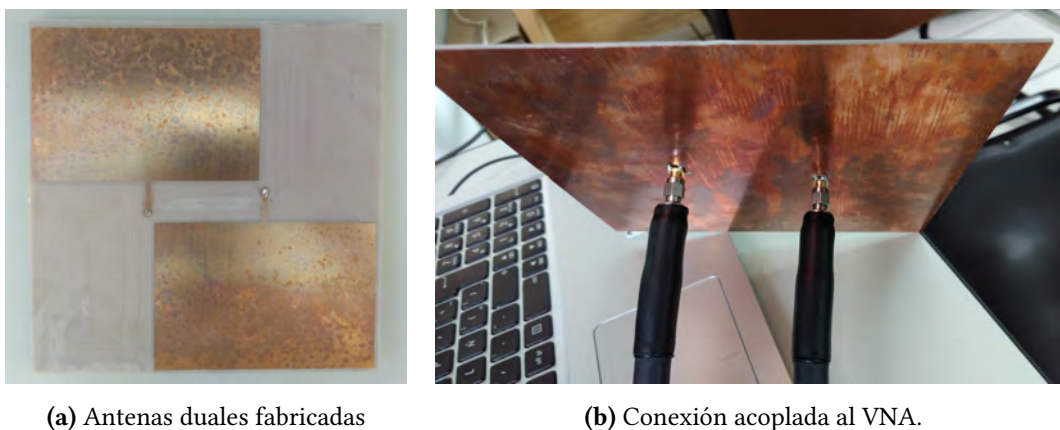


Figura 4.8: Respuesta de antena de diseñada.

4.2.3. Antena dual.

Con el fin de dar pie a la utilización de múltiples antenas en la misma *área equivalente* se procede a colocar dos de las antenas previamente diseñadas en un mismo sustrato, las cuales utilizan el mismo plano de tierra. Se aprovechan los dos canales del VNA para analizar de manera simultánea las dos antenas, tal cual se muestra en la Fig. 4.9.



(a) Antenas duales fabricadas

(b) Conexión acoplada al VNA.

Figura 4.9: Antenas duales acopladas.

La interacción en la respuesta de las antenas representa el punto de interés para este análisis, es decir, qué tan viable es que dos o más antenas puedan coexistir y obtener un incremento en la potencia recibida directamente proporcional al número de antenas, así como en la eficiencia que se puede lograr por medio de estos sistemas.

La Fig. 4.10 muestra la respuesta de las dos antenas, en donde puede observarse que la inter-

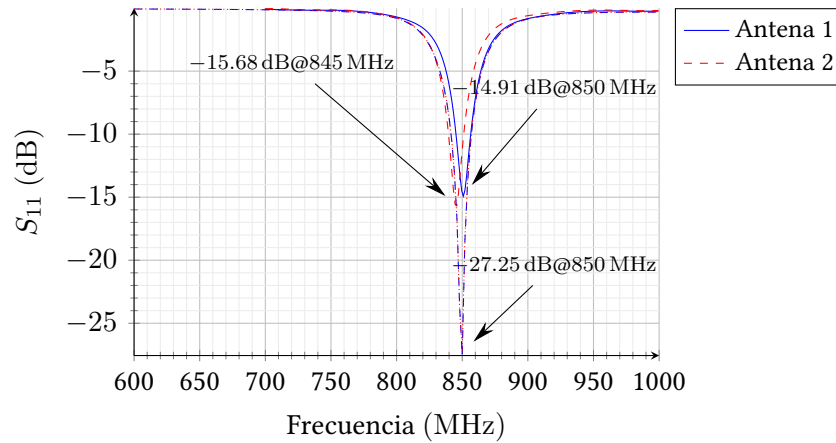


Figura 4.10: Respuesta acoplada de antenas duales.

acción permite suponer que es posible la operación de múltiples antenas en una misma área equivalente. Calculando la potencia relativa se determina que $-27.25 \text{ dB} = 0.0434 \text{ W/W}$, $-15.68 \text{ dB} = 0.1644 \text{ W/W}$ y $-14.91 \text{ dB} = 0.1797 \text{ W/W}$. Por tanto, existe una diferencia de $\approx 13\%$ entre la simulación y la experimentación. Determinando que la diferencia entre la energía recibida entre las antenas es de $\approx 1.53\%$.

De este modo las características de la antena se resumen en la Tabla 4.2. Se obtiene del *software* de simulación una eficiencia del 43.01% a una frecuencia de 854 MHz .

Parámetro	Valor
Frecuencia	854 MHz
$S_{11} _{\min}$	-28.73 dB
η_{rad}	43.01%
Z_0	47.63Ω

Tabla 4.2: Resultados de la simulación de la antena.

4.2.4. Potencia recibida.

En el capítulo 3 se asume que los rectificadores para WPT reciben de -20 dBm a 0 dBm . Para determinar la distancia a la que la antena de parche diseñada es capaz de recibir dichos niveles de potencia se utiliza la ecuación de Friis.

Para que la antena opere en campo lejano es necesario que:

$$d \geq 0.63 \sqrt{\frac{D_{ant}^3}{\lambda}} = 44.10 \text{ mm}, \quad (4.10)$$

donde:

$$\lambda = \frac{c}{f} = \frac{299.79 \times 10^6 \text{ m/s}}{850 \text{ MHz}} = 352.70 \text{ mm},$$

y D_{ant} es la longitud máxima de la antena. La versión compacta de la ecuación de Friis se expresa en la Ec. (4.11) y los parámetros utilizados se resumen en la Tabla 4.3.

$$P_R = \frac{EIRP_T G_R \lambda^2}{(4\pi d)^2}. \quad (4.11)$$

Tabla 4.3: Parámetros utilizados en la ecuación de Friis.

Parámetro	Descripción	Valor
$EIRP_T$	Potencia transmitida	4 W
G_R	Ganancia de la antena	0.43
λ	Longitud de onda (850 MHz)	352.70 mm
Z_0	Impedancia de la antena	50 Ω
d	Distancia tx/rx	>44.10 mm
D_{ant}	Mayor longitud de antena	120 mm

Así pues, la Fig. 4.11 muestra la potencia disponible en la antena con respecto a la distancia. A 11.64 m se recibe una potencia de -20 dBm ($10 \mu\text{W}$) y a 3.68 m se reciben -10 dBm ($100 \mu\text{W}$).

Este modo de operación permite concluir que los sistemas presentados son viables para utilizarse en WSNs. Basándose en los resultados de la Fig. 3.15a, los rectificadores presentan un incremento en la eficiencia conforme aumenta la potencia disponible, por lo tanto, para la integración de múltiples antenas no es aconsejable integrar un rectificador por cada antena adicional, puesto que el incremento en el número de elementos incrementa las pérdidas. En su lugar se recomienda utilizar divisores de potencia RF [126], [127], los cuales pueden ser utilizados de manera inversa como integradores, de manera que sea posible maximizar la energía a la entrada de un solo rectificador y por consecuencia incrementar la eficiencia y la energía disponible.

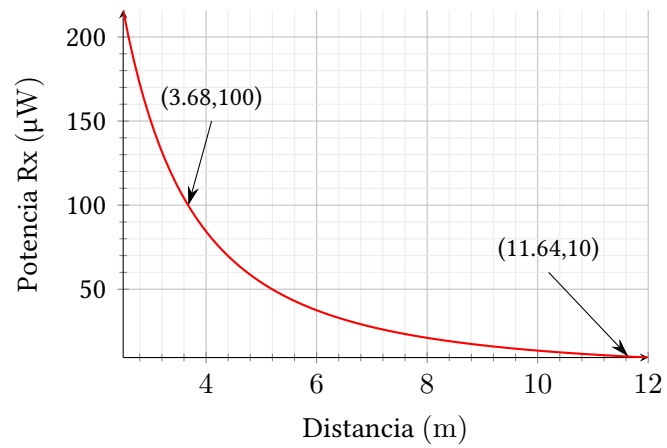


Figura 4.11: Potencia disponible en la antena con respecto a la distancia.

§

De este modo, podemos verificar que es viable el diseño de un rectificador que, a través de múltiples entradas pueda incrementar la eficiencia de manera directa.

Conclusiones y trabajo futuro

En este capítulo se presenta una retrospectiva del análisis, metodologías y experimentaciones presentadas en los capítulos anteriores. Se hace hincapié en los aportes presentados, así como el impacto que de ellos puede esperarse en el ámbito de la transmisión inalámbrica de potencia. Finalmente, se presenta una síntesis de los posibles estudios que pueden darle continuidad al presente trabajo.

5.1. Conclusiones

A pesar de la existencia de incontables esfuerzos, un modelo matemático cerrado que, de manera consistente, estime la respuesta de rectificadores para WPT no ha sido determinado. La naturaleza de los circuitos de rectificación genera restricciones que difícilmente pueden ser superadas. No linealidades, variaciones de impedancia y del voltaje de umbral además de la corriente de fuga en reversa representan la causa medular del limitado desempeño de los modelos presentados.

Por otro lado, las delicadas condiciones de operación consecuencia de los bajos niveles de potencia que, a su vez, implica la pronunciada relevancia de las pérdidas, originan que las estimaciones de los modelos difieran significativamente de la realidad. Tal es el caso que, los modelos que concuerdan a un nivel razonable con la experimentación son aquellos que toman datos de simulación para ajustar el error de las suposiciones tomadas.

Por lo tanto, se propone el uso del **balance armónico**, un análisis no lineal en estado estacionario dentro de SPICE el cual es capaz de obtener la respuesta en frecuencia del circuito utilizando los modelos completos de diodos y/o transistores. HB se utiliza en dos

problemas significativos del análisis: en primer lugar la determinación de la impedancia de entrada del rectificador, que da pie a una primera aproximación de la red de acoplamiento y, en segundo lugar como base para los ciclos de optimización del sistema completo de rectificación.

En la mayor parte de los casos, el análisis transitorio que alcanza el estado estacionario de un rectificador puede llegar a tomar >5 min en algunos casos. Un algoritmo de optimización requiere de, al menos, algunas decenas de simulaciones para determinar los parámetros optimizados. Por consecuencia, la optimización por medio de HB reduce en gran medida el costo computacional necesario para el diseño.

En sentido opuesto, los algoritmos de optimización disponibles en SPICE son propicios a alcanzar máximos y mínimos locales, por lo que la correcta selección de las condiciones iniciales del análisis es de suma importancia para determinar un sistema con las mejores condiciones de operación posibles.

Con lo anterior en mente, en este trabajo se propone una metodología de diseño que involucra dos perspectivas de análisis innovadoras:

Análisis bilateral: que a nivel cualitativo explota el conocimiento de la operación de los rectificadores y permite determinar qué parámetros y condiciones tienen un impacto más significativo sobre la operación del circuito. Asimismo, a nivel cuantitativo se aprovecha la exactitud de los modelos SPICE y las eficientes simulaciones que de ellos surgen para evaluar y optimizar los parámetros del circuito.

Análisis de atrás hacia adelante: el cual comienza analizando la resistencia equivalente de carga, después el filtro pasa bajas, luego el rectificador y finalmente la red de acoplamiento. Esta perspectiva de análisis permite que puedan determinarse algunos de los parámetros del rectificador de forma analítica, de manera que sea determinada una primera aproximación de los parámetros adecuados y así relajar las condiciones iniciales del algoritmo de optimización.

Aplicando las técnicas de análisis descritas, es posible determinar los parámetros del circuito que incrementen la eficiencia del rectificador de 10 a 27.32 % en el caso de optimizaciones equivalentes y de hasta un 50.30 % al compararlo con diseños reportados en el estado del arte.

Por lo tanto, se concluye que la metodología de diseño propuesta es una herramienta primordial para convertidores AC/DC enfocados a sistemas WPT.

La viabilidad del uso de múltiples antenas cuyas áreas equivalentes se traslapan queda demostrado de manera experimental. Para aprovechar de la manera más eficiente la energía disponible, es necesario el uso de un mezclador de potencia RF que integre la energía recolectada. Lo anterior debido a que el incremento en la energía existente a la entrada del rectificador incrementa la eficiencia, dado que una mayor polarización en los elementos reduce la impedancia equivalente. Es bajo este criterio que se concluye que el uso de múltiples antenas incrementa la eficiencia de los rectificadores orientados a WPT.

Queda entonces demostrada la hipótesis planteada en este trabajo. El uso de un análisis integral del sistema de rectificación así como el uso de múltiples antenas son medios por los cuales el desempeño del sistema puede ser mejorado.

Como observación adicional, en las referencias [128]-[131] se citan publicaciones alternas por parte del autor.

5.2. Trabajo futuro.

El alcance de este trabajo quedó establecido en la sección 1.3.4 y a lo largo del trabajo la información presentada se mantuvo al margen de estos términos. En esta sección se presentan algunas propuestas y tecnologías que brindan un punto de partida para el seguimiento del presente estudio.

Integración electromagnética.

En algunas secciones se menciona el uso de *software* que integra análisis electromagnético con la simulación de circuitos (ADS, HFSS) para el diseño de sistemas WPT. Aunque en la mayor parte de los casos dichas herramientas son útiles, el costo de las aplicaciones puede llegar a ser significativo.

Como una alternativa al uso de *software* especializado, en 2003 Rizzoli *et al.* [132] proponen un modelo generalizado para componentes multipuerto que puede ser integrado a simulaciones SPICE en el dominio del tiempo. El modelo toma información de componentes

electromagnéticos generada en el dominio de la frecuencia para el cálculo de las corrientes generadas en el dominio del tiempo. En otras palabras, permite la integración de antenas y su respuesta en frecuencia dentro de SPICE.

Optimización inteligente.

El uso de algoritmos genéticos para la optimización de antenas [73], [76] ha sido establecido en la sección 2.6.1. Sin embargo, técnicas incluso más complejas, como por ejemplo redes neuronales, están siendo usadas para la optimización de circuitos integrados [133].

Liu *et al.* [134] mencionan algoritmos evolutivos y lógica difusa como herramientas para el dimensionamiento de dispositivos, el aprendizaje automático (*machine learning*) para la solución de modelos electromagnéticos y algoritmos de búsqueda para la síntesis de componentes lineales. De forma que los métodos tradicionales de diseño de circuitos pueden llegar a ser reemplazados por las mencionadas técnicas modernas.

Diseño de circuitos alternativos.

El uso de circuitos de microcinta se ha discutido anteriormente [78], [82], [85] para algunas secciones del rectificador mas no como un esquema fundamental de los rectificadores. Elementos de microcinta tales como: líneas de transmisión para el acoplamiento de impedancia, filtros pasivos, circuladores y divisores de potencia y, por supuesto, antenas pueden ser utilizados óptimamente para la recolección de energía.

Pantoli [135] propone en 2017 una arquitectura simple de WPT con un 50% de eficiencia en el rango de -20 a 20 dBm. Esto lo logra por medio de un comparador que intercambia entre dos rectificadores, uno de ellos optimizado a potencias bajas y otro a potencias medias. Emplea dinámicamente un sistema de control de carga para una batería la cual alimenta un sensor.

Integración de antenas en ICs.

La integración de la antena de recepción dentro de circuitos integrados es un tema que ha sido de particular interés desde muchos aspectos y en la transmisión inalámbrica de energía

no es una excepción. Los beneficios y limitantes de esta técnica son expuestos por Cheema en 2013 [136], en resumen:

- La impedancia característica de $50\ \Omega$ deja de ser necesaria y podría adaptarse la impedancia a las necesidades de cada sistema en particular.
- Los sustratos de silicio semiconductor no son adecuados para antenas en *chip* ya que los sustratos son diseñados con baja resistividad, la cual beneficia significativamente a los circuitos pero causa pérdidas considerables en la ganancia de recepción de una antena. En sentido opuesto, la alta permitividad de los sustratos ($\epsilon_R \approx 11.7$) genera que la energía se almacene en el sustrato reduciendo la ganancia de radiación. De tal forma que en promedio, la eficiencia de una antena se acerca al 3%.
- Las casas de fabricación no consideran el diseño de antenas dentro del *chip* y las distancias entre los elementos o densidades de material pueden causar errores en las reglas de diseño (DRC) que impiden la implementación de las antenas.
- Existen también diferencias entre el diseño y la simulación de las antenas y el producto final, debido a dos puntos en particular: en algunos casos las casas de diseño pulen las obleas en la parte posterior lo cual modifica el grosor del dieléctrico, modificando las características de la antena. En segundo lugar, la operación de los circuitos puede interferir con la recepción electromagnética y viceversa, eliminando el propósito de la integración en primer lugar.

A pesar de las restricciones mencionadas, se han reportado algunas antenas implementadas en circuitos integrados: en [137] utilizan implantación de iones para reducir las pérdidas del sustrato y logran una ganancia de $-4.40\ \text{dBi}$ a $60\ \text{GHz}$, en [138] reportan una antena tipo Yagi en conjunto con un receptor por sub-armónicos en un proceso de $90\ \text{nm}$ a $60\ \text{GHz}$ y en [139] simulan una antena de microcinta implementada en un proceso CMOS de $65\ \text{nm}$ la cual alcanza una ganancia de $4.90\ \text{dBi}$ a una frecuencia de $245\ \text{GHz}$.

Medios alternativos de generación de energía.

Si bien es una tecnología aún en desarrollo, la implementación de baterías nucleares, las cuales toman la energía liberada naturalmente por materiales radioactivos, se ha demostrado en algunos trabajos [140]. En [141] proponen una celda de batería nuclear basada en

un diodo Schottky que puede ser fabricada a microescala. Además, es capaz de proveer de $2\ \mu\text{W}$ a $2\ \text{mW}$ a un nodo de WSN por un periodo de tiempo “muy largo”.

§

Así pues, se da por finalizada la sección principal del trabajo, concluyendo que los objetivos han sido satisfactoriamente alcanzados y los posibles temas de seguimiento al mismo son propiamente establecidos. En los apéndices siguientes se da información adicional para la reproducción de los resultados presentados.

Funciones en Python.

Las funciones de apoyo implementadas en Python se describen a continuación. En su mayoría las funciones utilizan la librería numpy la cual provee funciones de operaciones vectoriales similares a las de MATLAB.

A.1. Acoplamiento de impedancia.

La función `Zmatch` asume que la impedancia de la fuente contiene sólo componentes reales (antena en resonancia) y que la carga sólo puede tener componentes reales y capacitivas, lo que en rectificadores es razonable asumir.

```
def Zmatch(z0, zL, f=800e6):
    assert isinstance(z0), "Valor z0 no válido"
    z0 = float(z0)
    if isinstance(zL, complex):
        Q = zL.imag / zL.real
        Rp = (Q**2 + 1)*zL.real
        Xp = Rp / Q
        Cp = 1 / (2*pi*f*abs(Xp))
    elif isinstance(zL, list):
        Rp = zL[0]
        Cp = zL[1]
    else:
        print("zL no válido, no es complejo ni lista")
        return 0
    if z0 < Rp:
        print('Downmatch')
        rs = z0
        rp = Rp
        Q = sqrt(rp/rs - 1)
        Xs = Q*rs
        Xp = rp/Q
```

```
Lm = Xs/(2*pi*f)
Cm = 1/(2*pi*f*Xp)
if Cm > Cp:
    Cm = Cm - Cp
else:
    Lm = Lm + (1/((2*pi*f)**2 * Cp))
else:
    print('Upmatch')
    rs = Rp
    rp = z0
    Q = sqrt(rp/rs - 1)
    Xs = Q*rs
    Xp = rp/Q
    Lm = Xs/(2*pi*f)
    Cm = 1/(2*pi*f*Xp)
    if Cm > Cp:
        Cm = Cm - Cp
    else:
        Lm = Lm + (1/((2*pi*f)**2 * Cp))
return Lm, Cm
```

Sintaxis HSPICE.

Como referencia adicional para reproducir los resultados presentados, en esta sección se presenta una breve descripción de la sintaxis de HSPICE para las simulaciones presentadas.

B.1. Opciones utilizadas.

Las opciones utilizadas dentro de las simulaciones tienen como propósito facilitar el análisis de los resultados obtenidos. Para información más detallada de las opciones consulte la referencia de comandos provista por Synopsys.

<code>ingold</code>	Controla el formato de los archivos de salida de HSPICE. 0: Formato de ingeniería (1.234k, 123M) 1: Punto fijo y exponencial (1.234e3, 0.123) 2: Exponencial SPICE (1.234e3, 0.123e-1)
<code>lis_new</code>	Imprime los resultados de simulación en un archivo nuevo. 0: Deshabilita la opción. 1: Habilita la opción
<code>meas_form</code>	Cambia el formato de la salida de los archivos de medición (commando MEAS). 0: Formato de tabla tradicional. 1: Formato separado por espacios. 2: Formato continuo vertical.

- 3: Formato tabla separado por comas (CSV).
- 4: Agrega la información de los *triggers* de medición.

runlvl	Controla la tolerancia de la simulación, agregando o reduciendo precisión a los resultados. Debe ser un número entero en el rango [1 – 6]. 1: Simulación más rápida y menos exacta. : 6: Simulación más lenta y más precisa.
post	Guarda los datos de simulación para ser leídos por un visor de señales interactivo. 0: No guarda los datos. 1: Guarda los datos en formato binario. 2: Guarda los datos en formato ASCII. 3: Guarda los datos en formato <i>New wave binary</i> . csfd: Guarda los datos en formato <i>Common Simulation Data Format</i> .
parhier	Controla el método para heredar los parámetros definidos dentro de sub-circuitos. local: Todos los parámetros definidos dentro de un subcircuito permanecen como locales. global: Parámetros definidos fuera de un subcircuito pueden ser utilizados dentro de subcircuitos.

B.2. Adición de las áreas de difusión.

Para la utilización de las áreas de difusión es necesario incluir los parámetros al elemento del transistor con la sintaxis del Código siguiente:

```
MXXX [drain] [gate] [source] [bulk] [model] L=[length] W=[width]  
+ AD=[drain area] AS=[source area] PD=[drain perimeter] PS=[source perimeter]
```

Se recomienda el uso de cálculos paramétricos para facilitar la implementación.

B.3. Análisis por balance armónico.

Para hacer un análisis HB en HSPICE, al igual que cualquier otro tipo de análisis, se requieren definir tres cosas: una fuente que de energía al circuito y la habilitación y condiciones del análisis. La fuente de HB se puede agregar a la fuente de TR ya existente (si es que ya se tiene el análisis en el tiempo), como se muestra a continuación:

```
* Inicia circuito
* Termina circuito

* Fuente HB:
v[nombre] nodo1 nodo2 [dc] hb [amplitud] [fase] [harmico] [tono]

* Análisis
.hb tones=[frecuencia 1, frecuencia 2] nharms=[armónicos]

* Salida de voltaje y fase en nodo
.print hb vm(nodo)[tono] vp(nodo)[tono]

* Salida convertida al dominio del tiempo
.print hbtran v(nodo)
```

De igual manera se pueden agregar análisis de barridos y optimizaciones de manera directa. Los archivos de salida son típicos de SPICE en formato lista, los cuales incluyen las salidas deseadas con respecto a los armónicos establecidos. Para el caso de estudio se requiere solo un tono, es decir, la frecuencia base de entrada y por experiencia el número de armónicos buscados por lo general se establece de 100, debido a que se sabe que un número bajo de tonos conlleva una mayor diferencia con respecto al estado estacionario obtenido en TR.

B.4. Optimización HSPICE.

Para habilitar los algoritmos de optimización de HSPICE se requieren definir cuatro puntos, como se muestra en el Código siguiente:

- Un modelo con las opciones de optimización deseadas,
- definir los parámetros que se desean optimizar con sus respectivos valores iniciales y rango de búsqueda,
- el análisis que se desea optimizar habilitando el barrido de optimización y

- un comando MEAS que dé información del resultado esperado.

```
.model [nombre] OPT
.param [nombre]=OPT[nombre opt]([inicio], [mínimo], [máximo])
.hb [condiciones] sweep optimize=opt[nombre opt] results=[nombres meas]
.meas hb [nombre meas] [medición]
```

B.5. Condicionantes en circuitos.

Para facilitar el análisis en casos en que alguna parte del circuito cambia dinámicamente, se recomienda el uso de las directivas de condicionamiento .IFELSEIFENDIF. Estas directivas operan de manera análoga a cualquier lenguaje de programación. En el caso de HSPICE, las condiciones deben estar provistas por parámetros definidos por el usuario.

```
.opt ingold = 1 lis_new=1 measform = 1 runlvl=5 post=2 parhier=global
.global gnd vf
.model opt1 opt

***** Subcircuito
.param cs = optsize(5.2021e-14,10f,100p) c1 = optsize(1e-10,10f,100p)
.param ln1 = 0.18u wn1 = optsize(9.8u,0.36u,100u) ldn1 = '2*ln1'
.param lp1 = 0.18u wp1 = optsize(9.8u,0.36u,100u) ldp1 = '2*lp1'

.subckt pDup in mid out
cs1 in n1 cs
mn1 mid mid n1 mid nmod l=ln1 w=wn1
+      ad = 'ldn1*wn1' as = 'ldn1*wn1' pd = '2*ldn1 + wn1' ps = '2*ldn1 + wn1'
mp1 out out n1 out pmod l=lp1 w=wp1
+      ad = 'ldp1*wp1' as = 'ldp1*wp1' pd = '2*ldp1 + wp1' ps = '2*ldp1 + wp1'
.ends

***** Circuito
.param N = 1
.connect vf 1

.if (N=1)
  x1 vi gnd 1 pDup
.endif
.if (N=2)
  c1 1 gnd c1
  x2 vi 1 2 pDup
.endif
.if (N=3)
  c2 2 gnd c1
  x3 vi 2 3 pDup
.endif
.if (N=4)
  c3 3 gnd c1
  x4 vi 3 4 pDup
.endif
.if (N=5)
  c4 4 gnd c1
```

```

    x5 vi 4 5 pDup
  .endif
  .if (N>=6)
    c5 5 gnd c1
    x6 vi 5 6 pDup
  .endif
  .if (N>=7)
    c6 6 gnd c1
    x7 vi 6 7 pDup
  .endif
  .if (N>=8)
    c7 7 gnd c1
    x8 vi 7 8 pDup
  .endif
  .if (N>=9)
    c8 8 gnd c1
    x9 vi 8 9 pDup
  .endif
  .if (N>=10)
    c9 9 gnd c1
    x10 vi 9 10 pDup
  .endif

***** Fuente
.param amp = -10
v1 vs gnd 0 sin (0 '(1m)*10^(amp/10)' freq 0s 0Hz -180d) power=w
+ hb '(1m)*10^(amp/10)' 0 1 1

***** Z match
.param lm = optsize(1.8349e-6,1f,10u) cm = optsize(2.8107e-13,1e-25,1u)
lm vs vi lm
cm vs gnd cm

***** Filtro
.param cf = optfil(5p,1f,100n) lf = '1/(cf*(2*pi*freq)^2)'
lf vf vo lf
cf vo gnd cf
rl vo gnd 100k

** Análisis

```

El código anterior permite evaluar un duplicador de media onda entre 1 y 10 etapas. Los aspectos importantes son los siguientes:

- La opción `parhier=global` determina la secuencia para heredar los parámetros hacia los subcircuitos y es necesaria para habilitar la optimización,
- el subcircuito se define como una celda general que puede ser instanciada para cada una de las etapas de duplicación,
- el parámetro `N`, en conjunto con los condicionantes `.IF` determinan el número de etapas,

- finalmente, el comando `.connect` permite que la salida del circuito sea siempre el nodo `vf` y debe ser modificado para conectar la salida de la etapa actual con el nodo de salida.

Con esta configuración es posible modificar el número de etapas al incrementar el parámetro `N` y el comando `.connect`.

Bibliografía

- [1] T. J. Kaźmierski y S. Beeby, eds., *Energy Harvesting Systems*. Springer New York, 2011. DOI: 10.1007/978-1-4419-7566-9 (vid. pág. 1).
- [2] D. Briand y E. Yeatman, *Micro Energy Harvesting*, S. Roundy, O. Brand y G. K. Fedder, eds., ép. Advanced micro and nano systems. Wiley VCH Verlag GmbH, 22 de abr. de 2015 (vid. pág. 2).
- [3] M. Cansiz, D. Altinel y G. K. Kurt, «Efficiency in RF energy harvesting systems: A comprehensive review», *Energy*, vol. 174, págs. 292-309, mayo de 2019. DOI: 10.1016/j.energy.2019.02.100 (vid. págs. 2, 44, 50).
- [4] H. J. Visser, A. C. F. Reniers y J. A. C. Theeuwes, «Ambient RF Energy Scavenging: GSM and WLAN Power Density Measurements», en *2008 38th European Microwave Conference*, IEEE, oct. de 2008. DOI: 10.1109/eumc.2008.4751554 (vid. pág. 2).
- [5] G. Papotto, F. Carrara y G. Palmisano, «A 90 nm CMOS Threshold-Compensated RF Energy Harvester», *IEEE Journal of Solid-State Circuits*, vol. 46, n.º 9, págs. 1985-1997, sep. de 2011. DOI: 10.1109/JSSC.2011.2157010 (vid. págs. 2, 36, 42, 45, 51).
- [6] K. Gudan, S. Chemishkian, J. J. Hull, M. S. Reynolds y S. Thomas, «Feasibility of wireless sensors using ambient 2.40 GHz RF energy», en *2012 IEEE Sensors*, IEEE, oct. de 2012. DOI: 10.1109/icsens.2012.6411176 (vid. págs. 2 s.).
- [7] G. Charalampidis, A. Papadakis y M. Samarakou, «Power estimation of RF energy harvesters», *Energy Procedia*, vol. 157, págs. 892-900, ene. de 2019. DOI: 10.1016/j.egypro.2018.11.255 (vid. págs. 3, 44).
- [8] T. B. Lim, N. M. Lee y B. K. Poh, «Feasibility study on ambient RF energy harvesting for wireless sensor network», en *2013 IEEE MTT-S International Microwave Workshop Series on RF and Wireless Technologies for Biomedical and Healthcare Applications (IMWS-BIO)*, IEEE, dic. de 2013. DOI: 10.1109/imws-bio.2013.6756226 (vid. pág. 3).
- [9] H. Ishizaki, H. Ikeda, Y. Yoshida, T. Maeda, T. Kuroda y M. Mizuno, «A battery-less WiFi-BER modulated data transmitter with ambient radio-wave energy harvesting», en *2011 Symposium on VLSI Circuits - Digest of Technical Papers*, jun. de 2011, págs. 162-163 (vid. pág. 3).

- [10] S. Mekid, A. Qureshi y U. Baroudi, «Energy Harvesting from Ambient Radio Frequency: Is it Worth it?», *Arabian Journal for Science and Engineering*, vol. 42, n.º 7, págs. 2673-2683, sep. de 2016. DOI: 10.1007/s13369-016-2308-y (vid. pág. 3).
- [11] X. Lu, P. Wang, D. Niyato, D. I. Kim y Z. Han, «Wireless Charging Technologies: Fundamentals, Standards, and Network Applications», *IEEE Communications Surveys & Tutorials*, vol. 18, n.º 2, págs. 1413-1452, 2016. DOI: 10.1109/comst.2015.2499783 (vid. pág. 4).
- [12] *Samsung Wireless Charger*, Sitio Web (vid. pág. 4).
- [13] N. S. Shinohara, *Wireless Power Transmission*. John Wiley & Sons, 21 de ene. de 2014, 254 págs. (vid. pág. 5).
- [14] N. Shinohara, «Power without wires», *IEEE Microwave Magazine*, vol. 12, n.º 7, S64-S73, dic. de 2011. DOI: 10.1109/mm.2011.942732 (vid. pág. 5).
- [15] M. M. Aung, Y. S. Chang y J.-U. Won, «Emerging RFID/USN Applications and Challenges», *International Journal of RFID Security and Cryptography*, vol. 1, n.º 1, págs. 3-8, jun. de 2012. DOI: 10.20533/ijrfidsc.2046.3715.2012.0001 (vid. pág. 6).
- [16] I. Akyildiz, W. Su, Y. Sankarasubramaniam y E. Cayirci, «Wireless sensor networks: a survey», *Computer Networks*, vol. 38, n.º 4, págs. 393-422, mar. de 2002. DOI: 10.1016/s1389-1286(01)00302-4 (vid. pág. 6).
- [17] K. Oh, S. Sankaran, H.-T. Wu, J.-J. Lin, M. Hwang y K. O. Kenneth, «Full-duplex crystalless CMOS transceiver with an on-chip antenna for wireless communication in engine controller board of hybrid electric vehicles», en *2011 IEEE Radio Frequency Integrated Circuits Symposium*, IEEE, jun. de 2011. DOI: 10.1109/rfic.2011.5940591 (vid. pág. 7).
- [18] P. Mitcheson, E. Yeatman, G. Rao, A. Holmes y T. Green, «Energy Harvesting From Human and Machine Motion for Wireless Electronic Devices», *Proceedings of the IEEE*, vol. 96, n.º 9, págs. 1457-1486, sep. de 2008. DOI: 10.1109/jproc.2008.927494 (vid. págs. 7 s.).
- [19] Y. Zhang, F. Zhang, Y. Shakhsher, J. D. Silver, A. Klinefelter, M. Nagaraju, J. Boley, J. Pandey, A. Shrivastava, E. J. Carlson, A. Wood, B. H. Calhoun y B. P. Otis, «A Batteryless 19 μ W MICS/ISM-Band Energy Harvesting Body Sensor Node SoC for ExG Applications», *IEEE Journal of Solid-State Circuits*, vol. 48, n.º 1, págs. 199-213, ene. de 2013. DOI: 10.1109/jssc.2012.2221217 (vid. pág. 8).
- [20] R. Zhang y C. K. Ho, «MIMO Broadcasting for Simultaneous Wireless Information and Power Transfer», *IEEE Transactions on Wireless Communications*, vol. 12, n.º 5, págs. 1989-2001, mayo de 2013. DOI: 10.1109/twc.2013.031813.120224 (vid. pág. 8).

-
- [21] A. Sample y J. R. Smith, «Experimental results with two wireless power transfer systems», en *2009 IEEE Radio and Wireless Symposium*, IEEE, ene. de 2009. DOI: 10.1109/rws.2009.4957273 (vid. pág. 8).
- [22] S. A. Maas, *Nonlinear Microwave and RF Circuits*, 2a, S. A. Maas, ed. Artech House, 2003 (vid. pág. 16).
- [23] A. S. Sedra y K. C. Smith, *Microelectronic Circuits*, 7a, A. S. Sedra, ed. Oxford University Press, 2015 (vid. pág. 16).
- [24] L. G. de Carli, Y. Juppa, A. J. Cardoso, C. Galup-Montoro y M. C. Schneider, «Maximizing the Power Conversion Efficiency of Ultra-Low-Voltage CMOS Multi-Stage Rectifiers», *IEEE Transactions on Circuits and Systems I: Regular Papers*, vol. 62, n.º 4, págs. 967-975, abr. de 2015. DOI: 10.1109/TCSI.2015.2399027 (vid. págs. 18, 29).
- [25] S. Wetenkamp, «Comparison of Single Diode Vs. Dual Diode Detectors for Microwave Power Detection», en *MTT-S International Microwave Symposium Digest*, MTT005, 1983. DOI: 10.1109/mwsym.1983.1130912 (vid. pág. 22).
- [26] J. Dickson, «On-chip high-voltage generation in MNOS integrated circuits using an improved voltage multiplier technique», *IEEE Journal of Solid-State Circuits*, vol. 11, n.º 3, págs. 374-378, jun. de 1976. DOI: 10.1109/jssc.1976.1050739 (vid. pág. 25).
- [27] A. Ashry, K. Sharaf y M. Ibrahim, «A Simple and Accurate Model for RFID Rectifier», *IEEE Systems Journal*, vol. 2, n.º 4, págs. 520-524, dic. de 2008. DOI: 10.1109/JSYST.2008.2009206 (vid. pág. 26).
- [28] R. E. Barnett, J. Liu y S. Lazar, «A RF to DC Voltage Conversion Model for Multi-Stage Rectifiers in UHF RFID Transponders», *IEEE Journal of Solid-State Circuits*, vol. 44, n.º 2, págs. 354-370, feb. de 2009. DOI: 10.1109/JSSC.2008.2010991 (vid. pág. 27).
- [29] J. Curty, N. Joehl, F. Krummenacher, C. Dehollain y M. J. Declercq, «A model for μ -Power rectifier analysis and design», *IEEE Transactions on Circuits and Systems I: Regular Papers*, vol. 52, n.º 12, págs. 2771-2779, dic. de 2005. DOI: 10.1109/TCSI.2005.854294 (vid. págs. 27, 51, 56).
- [30] J. Yi, W. Ki y C. Tsui, «Analysis and Design Strategy of UHF Micro-Power CMOS Rectifiers for Micro-Sensor and RFID Applications», *IEEE Transactions on Circuits and Systems I: Regular Papers*, vol. 54, n.º 1, págs. 153-166, ene. de 2007. DOI: 10.1109/TCSI.2006.887974 (vid. págs. 28, 34).
- [31] Y. Cheng y C. Hu, *Mosfet Modeling & BSIM3 User's Guide*. Kluwer Academic Publishers, 2002. DOI: 10.1007/b117400 (vid. págs. 28, 67).
- [32] H. D. Laird, S. D. Round y R. M. Duke, «A frequency-domain analytical model of an uncontrolled single-phase voltage-source rectifier», *IEEE Transactions on Industrial Electronics*, vol. 47, n.º 3, págs. 525-532, jun. de 2000. DOI: 10.1109/41.847892 (vid. pág. 29).
-

- [33] S. S. Mischa Schwartz William R. Bennett, *Communication Systems and Techniques*, 1.^a ed. Wiley-IEEE Press, 1995 (vid. pág. 29).
- [34] Y. Teh, F. Mohd-Yasin, F. Choong, M. I. Reaz y A. V. Kordesch, «Design and Analysis of UHF Micropower CMOS DTMOST Rectifiers», *IEEE Transactions on Circuits and Systems II: Express Briefs*, vol. 56, n.º 2, págs. 122-126, feb. de 2009. doi: 10.1109/TCSII.2008.2010190 (vid. pág. 29).
- [35] H. Raben, J. Borg y J. Johansson, «A Model for MOS Diodes With V_{th} Cancellation in RFID Rectifiers», *IEEE Transactions on Circuits and Systems II: Express Briefs*, vol. 59, n.º 11, págs. 761-765, nov. de 2012. doi: 10.1109/TCSII.2012.2220691 (vid. pág. 29).
- [36] Y. Wu, J. Linnartz, H. Gao, M. K. Matters-Kammerer y P. Baltus, «Modeling of RF energy scavenging for batteryless wireless sensors with low input power», en *2013 IEEE 24th Annual International Symposium on Personal, Indoor, and Mobile Radio Communications (PIMRC)*, sep. de 2013, págs. 527-531. doi: 10.1109/PIMRC.2013.6666193 (vid. pág. 29).
- [37] J. Guo, H. Zhang y X. Zhu, «Theoretical Analysis of RF-DC Conversion Efficiency for Class-F Rectifiers», *IEEE Transactions on Microwave Theory and Techniques*, vol. 62, n.º 4, págs. 977-985, abr. de 2014. doi: 10.1109/tmtt.2014.2298368 (vid. pág. 29).
- [38] S. Ladan y K. Wu, «Nonlinear Modeling and Harmonic Recycling of Millimeter-Wave Rectifier Circuit», *IEEE Transactions on Microwave Theory and Techniques*, vol. 63, n.º 3, págs. 937-944, mar. de 2015. doi: 10.1109/TMTT.2015.2396043 (vid. pág. 29).
- [39] K. Gharehbaghi, Ö. Zorlu, F. Kocer y H. Külah, «Modelling and efficiency optimisation of UHF Dickson rectifiers», *IET Circuits, Devices Systems*, vol. 10, n.º 6, págs. 504-513, 2016. doi: 10.1049/iet-cds.2015.0323 (vid. pág. 29).
- [40] C. R. Valenta, M. M. Morys y G. D. Durgin, «Theoretical Energy-Conversion Efficiency for Energy-Harvesting Circuits Under Power-Optimized Waveform Excitation», *IEEE Transactions on Microwave Theory and Techniques*, vol. 63, n.º 5, págs. 1758-1767, mayo de 2015. doi: 10.1109/tmtt.2015.2417174 (vid. págs. 29, 90).
- [41] S. S. Chouhan y K. Halonen, «Alternative approach to design matching network for differential drive rectifier used in RF energy harvesting», *Microelectronics Journal*, vol. 58, págs. 39-43, 2016. doi: <https://doi.org/10.1016/j.mejo.2016.10.008> (vid. pág. 30).
- [42] S. Shieh y M. Kamarei, «Transient Input Impedance Modeling of Rectifiers for RF Energy Harvesting Applications», *IEEE Transactions on Circuits and Systems II: Express Briefs*, vol. 65, n.º 3, págs. 311-315, mar. de 2018. doi: 10.1109/TCSII.2017.2693960 (vid. pág. 30).

- [43] Q. Zhang, J. Ou, Z. Wu y H. Tan, «Novel Microwave Rectifier Optimizing Method and Its Application in Rectenna Designs», *IEEE Access*, vol. 6, págs. 53 557-53 565, 2018. DOI: 10.1109/ACCESS.2018.2871087 (vid. págs. 31, 44).
- [44] M. Stoopman, S. Keyrouz, H. J. Visser, K. Philips y W. A. Serdijn, «Co-Design of a CMOS Rectifier and Small Loop Antenna for Highly Sensitive RF Energy Harvesters», *IEEE Journal of Solid-State Circuits*, vol. 49, n.º 3, págs. 622-634, mar. de 2014. DOI: 10.1109/JSSC.2014.2302793 (vid. págs. 31, 45, 89).
- [45] A. Mouapi, N. Hakem y G. Y. Delisle, «A new approach to design of RF energy harvesting system to enslave wireless sensor networks», *ICT Express*, vol. 4, n.º 4, págs. 228-233, 2018. DOI: <https://doi.org/10.1016/j.ictex.2017.11.002> (vid. pág. 31).
- [46] *Advanced Design System (ADS)*, Sitio Web (vid. págs. 31, 41).
- [47] F. Giannini y G. Leuzzi, *Nonlinear Microwave Circuit Design*. John Wiley & Sons, Ltd, abr. de 2004. DOI: 10.1002/0470020709 (vid. pág. 31).
- [48] D. Sebastiao, R. Luiz, T. Cleber, L. Breseghello y P. Cesar, «Implementation of Schottky Barrier Diodes (SBD) in Standard CMOS Process for Biomedical Applications», en *Biomedical Engineering - Technical Applications in Medicine*, InTech, sep. de 2012. DOI: 10.5772/48434 (vid. págs. 31, 38).
- [49] Z. Hameed y K. Moez, «A 3.20 V –15 dBm Adaptive Threshold-Voltage Compensated RF Energy Harvester in 130 nm CMOS», *IEEE Transactions on Circuits and Systems I: Regular Papers*, vol. 62, n.º 4, págs. 948-956, 2015. DOI: 10.1109/tcsi.2015.2413153 (vid. págs. 35 s., 45).
- [50] T. Umeda, H. Yoshida, S. Sekine, Y. Fujita, T. Suzuki y S. Otaka, «A 950 MHz rectifier circuit for sensor networks with 10 m-distance», en *IEEE International Digest of Technical Papers. Solid-State Circuits Conference*, IEEE, 2005. DOI: 10.1109/isscc.2005.1493966 (vid. pág. 35).
- [51] T. Feldengut, R. Kokozinski y S. Kolnsberg, «A UHF voltage multiplier circuit using a threshold-voltage cancellation technique», en *2009 Ph.D. Research in Microelectronics and Electronics*, IEEE, jul. de 2009. DOI: 10.1109/rme.2009.5201303 (vid. pág. 35).
- [52] K. Kotani y T. Ito, «High efficiency CMOS rectifier circuit with self- V_{th} -cancellation and power regulation functions for UHF RFIDs», en *2007 IEEE Asian Solid-State Circuits Conference*, nov. de 2007, págs. 119-122. DOI: 10.1109/ASSCC.2007.4425746 (vid. págs. 35, 45, 49).
- [53] H. Nakamoto, D. Yamazaki, T. Yamamoto, H. Kurata, S. Yamada, K. Mukaida, T. Ninomiya, T. Ohkawa, S. Masui y K. Gotoh, «A Passive UHF RF Identification CMOS Tag IC Using Ferroelectric RAM in 0.35 μm Technology», *IEEE Journal of Solid-State Circuits*, vol. 42, n.º 1, págs. 101-110, ene. de 2007. DOI: 10.1109/JSSC.2006.886523 (vid. págs. 36, 45, 49, 61, 80).

- [54] B. Li, X. Shao, N. Shahshahan, N. Goldsman, T. Salter y G. M. Metzger, «An Antenna Co-Design Dual Band RF Energy Harvester», *IEEE Transactions on Circuits and Systems I: Regular Papers*, vol. 60, n.º 12, págs. 3256-3266, dic. de 2013. DOI: 10.1109/tcsi.2013.2264712 (vid. págs. 36, 45).
- [55] A. Facen y A. Boni, «Power Supply Generation in CMOS Passive UHF RFID Tags», en *2006 Ph.D. Research in Microelectronics and Electronics*, IEEE, 2006. DOI: 10.1109/rme.2006.1689889 (vid. pág. 37).
- [56] K. Kotani, A. Sasaki y T. Ito, «High-Efficiency Differential-Drive CMOS Rectifier for UHF RFIDs», *IEEE Journal of Solid-State Circuits*, vol. 44, n.º 11, págs. 3011-3018, nov. de 2009. DOI: 10.1109/jssc.2009.2028955 (vid. págs. 37, 45, 60).
- [57] S. Chouhan y K. Halonen, «A modified cross coupled rectifier based charge pump for energy harvesting using RF to DC conversion», en *2013 European Conference on Circuit Theory and Design (ECCTD)*, IEEE, sep. de 2013. DOI: 10.1109/ecctd.2013.6662231 (vid. pág. 37).
- [58] M. M. Mnif, H. Mnif y M. Loulou, «New design of RF-DC rectifier circuit for radio frequency energy harvesting», en *2016 IEEE International Conference on Electronics, Circuits and Systems (ICECS)*, IEEE, dic. de 2016. DOI: 10.1109/icecs.2016.7841289 (vid. pág. 37).
- [59] H. Dai, Y. Lu, M.-K. Law, S.-W. Sin, U. Seng-Pan y R. P. Martins, «A review and design of the on-chip rectifiers for RF energy harvesting», en *2015 IEEE International Wireless Symposium (IWS 2015)*, IEEE, mar. de 2015. DOI: 10.1109/ieee-iws.2015.7164642 (vid. pág. 37).
- [60] H. Sun, «An Enhanced Rectenna Using Differentially-Fed Rectifier for Wireless Power Transmission», *IEEE Antennas and Wireless Propagation Letters*, págs. 1-1, 2015. DOI: 10.1109/lawp.2015.2427197 (vid. pág. 37).
- [61] S. S. Chouhan y K. Halonen, «A 180 nm CMOS voltage multiplier arrangement for RF energy harvesting», *Analog Integrated Circuits and Signal Processing*, vol. 92, n.º 3, págs. 343-353, jun. de 2017. DOI: 10.1007/s10470-017-1001-8 (vid. págs. 37, 45).
- [62] M. H. Ouda, W. Khalil y K. N. Salama, «Self-Biased Differential Rectifier With Enhanced Dynamic Range for Wireless Powering», *IEEE Transactions on Circuits and Systems II: Express Briefs*, vol. 64, n.º 5, págs. 515-519, mayo de 2017. DOI: 10.1109/tcsii.2016.2591263 (vid. págs. 37, 45).
- [63] M. Rastmanesh y E. El-Masry, «A high efficiency 90 nm CMOSRF to DC rectifier», en *2013 IEEE 56th International Midwest Symposium on Circuits and Systems (MWSCAS)*, IEEE, ago. de 2013. DOI: 10.1109/mwscas.2013.6674746 (vid. págs. 37, 45).
- [64] S. S. Chouhan y K. Halonen, «Internal V_{th} cancellation scheme for RF to DC rectifiers used in RF energy harvesting», en *2014 21st IEEE International Conference on*

- Electronics, Circuits and Systems (ICECS)*, IEEE, dic. de 2014. DOI: 10.1109/icecs.2014.7049965 (vid. págs. 38, 45).
- [65] C. Peters, O. Kessling, F. Henrici, M. Ortmanns e Y. Manoli, «CMOS Integrated Highly Efficient Full Wave Rectifier», en *2007 IEEE International Symposium on Circuits and Systems*, IEEE, mayo de 2007. DOI: 10.1109/iscas.2007.377947 (vid. págs. 38, 92).
- [66] A. K. Moghaddam, J. H. Chuah, H. Ramiah, J. Ahmadian, P.-I. Mak y R. P. Martins, «A 73.9%-Efficiency CMOS Rectifier Using a Lower DC Feeding (LDCF) Self-Body-Biasing Technique for Far-Field RF Energy-Harvesting Systems», *IEEE Transactions on Circuits and Systems I: Regular Papers*, vol. 64, n.º 4, págs. 992-1002, abr. de 2017. DOI: 10.1109/tcsi.2016.2623821 (vid. págs. 38, 44 s.).
- [67] S. Scorcioni, L. Larcher y A. Bertacchini, «A Reconfigurable Differential CMOS RF Energy Scavenger With 60 % Peak Efficiency and -21 dBm Sensitivity», *IEEE Microwave and Wireless Components Letters*, vol. 23, n.º 3, págs. 155-157, mar. de 2013. DOI: 10.1109/lmwc.2013.2243376 (vid. pág. 38).
- [68] M. H. Ouda, W. Khalil y K. N. Salama, «Wide-Range Adaptive RF-to-DC Power Converter for UHF RFIDs», *IEEE Microwave and Wireless Components Letters*, vol. 26, n.º 8, págs. 634-636, ago. de 2016. DOI: 10.1109/lmwc.2016.2586077 (vid. págs. 38, 45).
- [69] K. Gharehbaghi, O. Zorlu, F. Kocer y H. Kulah, «Threshold Compensated UHF Rectifier With Local Self-Calibrator», *IEEE Microwave and Wireless Components Letters*, vol. 27, n.º 6, págs. 575-577, jun. de 2017. DOI: 10.1109/lmwc.2017.2701326 (vid. págs. 38, 45).
- [70] H. Liu, X. Li, R. Vaddi, K. Ma, S. Datta y V. Narayanan, «Tunnel FET RF Rectifier Design for Energy Harvesting Applications», *IEEE Journal on Emerging and Selected Topics in Circuits and Systems*, vol. 4, n.º 4, págs. 400-411, dic. de 2014. DOI: 10.1109/jetcas.2014.2361068 (vid. pág. 38).
- [71] M. Mi, M. Mickle, C. Capelli y H. Swift, «RF energy harvesting with multiple antennas in the same space», *IEEE Antennas and Propagation Magazine*, vol. 47, n.º 5, págs. 100-106, oct. de 2005. DOI: 10.1109/map.2005.1599171 (vid. págs. 40 s.).
- [72] U. Olgun, C.-C. Chen y J. L. Volakis, «Investigation of Rectenna Array Configurations for Enhanced RF Power Harvesting», *IEEE Antennas and Wireless Propagation Letters*, vol. 10, págs. 262-265, 2011. DOI: 10.1109/lawp.2011.2136371 (vid. págs. 40, 89).
- [73] X.-S. Yang, B.-Z. Wang, S. H. Yeung, Q. Xue y K. F. Man, «Circularly Polarized Reconfigurable Crossed-Yagi Patch Antenna», *IEEE Antennas and Propagation Magazine*, vol. 53, n.º 5, págs. 65-80, oct. de 2011. DOI: 10.1109/map.2011.6138429 (vid. págs. 40, 108).
- [74] K. Mohammadpour-Aghdam, S. Radiom, R. Faraji-Dana, G. A. Vandenbosch y G. G. Gielen, «Miniaturized integrated antennas for far-field wireless powering»,

- AEU - International Journal of Electronics and Communications*, vol. 66, n.º 10, págs. 789-796, oct. de 2012. DOI: 10.1016/j.aeue.2012.01.009 (vid. pág. 40).
- [75] S. Ladan, N. Ghassemi, A. Ghiotto y K. Wu, «Highly Efficient Compact Rectenna for Wireless Energy Harvesting Application», *IEEE Microwave Magazine*, vol. 14, n.º 1, págs. 117-122, ene. de 2013. DOI: 10.1109/mm.2012.2226629 (vid. pág. 40).
- [76] D. Masotti, A. Costanzo, M. D. Prete y V. Rizzoli, «Genetic-based design of a tetra-band high-efficiency radio-frequency energy harvesting system», *IET Microwaves, Antennas & Propagation*, vol. 7, n.º 15, págs. 1254-1263, dic. de 2013. DOI: 10.1049/iet-map.2013.0056 (vid. págs. 41, 108).
- [77] S. A. Kumar y T. Shanmuganatham, «Design of implantable CPW fed monopole H-slot antenna for 2.45 GHz ISM band applications», *AEU - International Journal of Electronics and Communications*, vol. 68, n.º 7, págs. 661-666, jul. de 2014. DOI: 10.1016/j.aeue.2014.02.010 (vid. pág. 41).
- [78] H. Mei, X. Yang, B. Han y G. Tan, «High-efficiency microstrip rectenna for microwave power transmission at Ka band with low cost», *IET Microwaves, Antennas & Propagation*, vol. 10, n.º 15, págs. 1648-1655, dic. de 2016. DOI: 10.1049/iet-map.2016.0025 (vid. págs. 41, 108).
- [79] C. Song, Y. Huang, J. Zhou, P. Carter, S. Yuan, Q. Xu y Z. Fei, «Matching Network Elimination in Broadband Rectennas for High-Efficiency Wireless Power Transfer and Energy Harvesting», *IEEE Transactions on Industrial Electronics*, vol. 64, n.º 5, págs. 3950-3961, mayo de 2017. DOI: 10.1109/tie.2016.2645505 (vid. págs. 41 s., 90).
- [80] *High Frequency Structure Simulator (HFSS)*, Sitio Web (vid. pág. 41).
- [81] P. Lu, X.-S. Yang y B.-Z. Wang, «A Two-Channel Frequency Reconfigurable Rectenna for Microwave Power Transmission and Data Communication», *IEEE Transactions on Antennas and Propagation*, vol. 65, n.º 12, págs. 6976-6985, dic. de 2017. DOI: 10.1109/tap.2017.2766450 (vid. pág. 41).
- [82] S. Agrawal, S. K. Pandey, J. Singh y M. S. Parihar, «Realization of efficient RF energy harvesting circuits employing different matching technique», en *Fifteenth International Symposium on Quality Electronic Design*, IEEE, mar. de 2014. DOI: 10.1109/isqed.2014.6783403 (vid. págs. 42, 99, 108).
- [83] M. A. Abouzied y E. Sanchez-Sinencio, «Low-Input Power-Level CMOS RF Energy-Harvesting Front End», *IEEE Transactions on Microwave Theory and Techniques*, vol. 63, n.º 11, págs. 3794-3805, nov. de 2015. DOI: 10.1109/tmtt.2015.2479233 (vid. págs. 43, 65, 86 ss.).
- [84] M. Arrawatia, M. S. Baghini y G. Kumar, «Broadband RF energy harvesting system covering CDMA, GSM900, GSM1800, 3G bands with inherent impedance matching», en *2016 IEEE MTT-S International Microwave Symposium (IMS)*, IEEE, mayo de 2016. DOI: 10.1109/mwsym.2016.7540144 (vid. págs. 43, 90).

- [85] Q. W. Lin y X. Y. Zhang, «Differential Rectifier Using Resistance Compression Network for Improving Efficiency Over Extended Input Power Range», *IEEE Transactions on Microwave Theory and Techniques*, vol. 64, n.º 9, págs. 2943-2954, sep. de 2016. DOI: 10.1109/tmtt.2016.2592531 (vid. págs. 43, 108).
- [86] R. Ibrahim, D. Voyer, M. E. Zoghbi, J. Huillery, A. Breard, C. Vollaire, B. Allard e Y. Zaatar, «Novel Design for a Rectenna to Collect Pulse Waves at 2.40 GHz», *IEEE Transactions on Microwave Theory and Techniques*, vol. 66, n.º 1, págs. 357-365, ene. de 2018. DOI: 10.1109/tmtt.2017.2749579 (vid. pág. 44).
- [87] A. Collado, S. Daskalakis, K. Niotaki, R. Martinez, F. Bolos y A. Georgiadis, «Rectifier Design Challenges for RF Wireless Power Transfer and Energy Harvesting Systems», *Radioengineering*, vol. 26, n.º 2, págs. 411-417, jun. de 2017. DOI: 10.13164/re.2017.0411 (vid. págs. 44, 48).
- [88] L.-G. Tran, H.-K. Cha y W.-T. Park, «RF power harvesting: a review on designing methodologies and applications», *Micro and Nano Systems Letters*, vol. 5, n.º 1, feb. de 2017. DOI: 10.1186/s40486-017-0051-0 (vid. pág. 44).
- [89] S. Hemour, Y. Zhao, C. Lorenz, D. Houssameddine, Y. Gui, C.-M. Hu y K. Wu, «Towards Low-Power High-Efficiency RF and Microwave Energy Harvesting», *Microwave Theory and Techniques, IEEE Transactions on*, vol. 62, n.º 4, págs. 965-976, abr. de 2014. DOI: 10.1109/TMTT.2014.2305134 (vid. pág. 45).
- [90] B. L. Pham y A.-V. Pham, «Triple bands antenna and high efficiency rectifier design for RF energy harvesting at 900, 1900 and 2400 MHz», en *2013 IEEE MTT-S International Microwave Symposium Digest (MTT)*, IEEE, jun. de 2013. DOI: 10.1109/mwsym.2013.6697364 (vid. pág. 45).
- [91] C.-J. Li y T.-C. Lee, «2.4-GHz High-Efficiency Adaptive Power», *IEEE Transactions on Very Large Scale Integration (VLSI) Systems*, vol. 22, n.º 2, págs. 434-438, feb. de 2014. DOI: 10.1109/tvlsi.2013.2238264 (vid. pág. 45).
- [92] M. B. Asl y M. H. Zarifi, «RF to DC micro-converter in standard CMOS process for on-chip power harvesting applications», *AEU - International Journal of Electronics and Communications*, vol. 68, n.º 12, págs. 1180-1184, 2014. DOI: <http://dx.doi.org/10.1016/j.aeue.2014.06.008> (vid. pág. 45).
- [93] G. D. Vita y G. Iannaccon, «Design criteria for the RF section of UHF and microwave passive RFID transponders», *IEEE Transactions on Microwave Theory and Techniques*, vol. 53, n.º 9, págs. 2978-2990, sep. de 2005. DOI: 10.1109/tmtt.2005.854229 (vid. pág. 45).
- [94] T. Le, K. Mayaram y T. Fiez, «Efficient Far-Field Radio Frequency Energy Harvesting for Passively Powered Sensor Networks», *IEEE Journal of Solid-State Circuits*, vol. 43, n.º 5, págs. 1287-1302, mayo de 2008. DOI: 10.1109/jssc.2008.920318 (vid. pág. 45).

- [95] T. Paing, E. A. Falkenstein, R. Zane y Z. Popovic, «Custom IC for Ultralow Power RF Energy Scavenging», *IEEE Transactions on Power Electronics*, vol. 26, n.º 6, págs. 1620-1626, jun. de 2011. DOI: 10.1109/tpel.2010.2096475 (vid. pág. 45).
- [96] H. Reinisch, S. Gruber, H. Unterassinger, M. Wiessflecker, G. Hofer, W. Pribyl y G. Holweg, «An Electro-Magnetic Energy Harvesting System With 190 nW Idle Mode Power Consumption for a BAW Based Wireless Sensor Node», *IEEE Journal of Solid-State Circuits*, vol. 46, n.º 7, págs. 1728-1741, jul. de 2011. DOI: 10.1109/jssc.2011.2144390 (vid. pág. 45).
- [97] P. Broutas, H. Contopanagos, D. Tsoukalas y S. Chatzandroulis, «A RF power harvester with integrated antenna capable of operating near ground planes», *Sensors and Actuators A: Physical*, vol. 186, págs. 284-288, 2012, Selected Papers presented at Eurosensors XXV. DOI: <https://doi.org/10.1016/j.sna.2012.05.040> (vid. pág. 45).
- [98] M. R. Shokrani, M. Khoddam, M. N. B. Hamidon, N. A. Kamsani, F. Z. Rokhani y S. B. Shafie, «An RF Energy Harvester System Using UHF Micropower CMOS Rectifier Based on a Diode Connected CMOS Transistor», *The Scientific World Journal*, vol. 2014, n.º 1, págs. 1-11, 2014. DOI: 10.1155/2014/963709 (vid. pág. 45).
- [99] Z. Hameed y K. Moez, «Hybrid Forward and Backward Threshold-Compensated RF-DC Power Converter for RF Energy Harvesting», *IEEE Journal on Emerging and Selected Topics in Circuits and Systems*, vol. 4, n.º 3, págs. 335-343, sep. de 2014. DOI: 10.1109/jetcas.2014.2337211 (vid. pág. 45).
- [100] Y. Chang, S. S. Chouhan y K. Halonen, «A scheme to improve PCE of differential-drive CMOS rectifier for low RF input power», *Analog Integrated Circuits and Signal Processing*, vol. 90, n.º 1, págs. 113-124, jul. de 2016. DOI: 10.1007/s10470-016-0825-y (vid. pág. 45).
- [101] C. Huang, T. Kawajiri y H. Ishikuro, «A Near-Optimum 13.56 MHz CMOS Active Rectifier With Circuit-Delay Real-Time Calibrations for High-Current Biomedical Implants», *IEEE Journal of Solid-State Circuits*, vol. 51, n.º 8, págs. 1797-1809, ago. de 2016. DOI: 10.1109/jssc.2016.2582871 (vid. pág. 45).
- [102] L. Cheng, W.-H. Ki, Y. Lu y T.-S. Yim, «Adaptive On/Off Delay-Compensated Active Rectifiers for Wireless Power Transfer Systems», *IEEE Journal of Solid-State Circuits*, vol. 51, n.º 3, págs. 712-723, mar. de 2016. DOI: 10.1109/jssc.2016.2517119 (vid. pág. 45).
- [103] C. A. Balanis, *Antenna Theory: Analysis and Design*, 4.ª ed., C. A. Balanis, ed. Wiley, 11 de abr. de 2016 (vid. págs. 49 s., 96).
- [104] D. M. Pozar, *Microwave Engineering*. Wiley, 2011 (vid. pág. 49).
- [105] D. P. Harrop y M. R. Das, *Energy Harvesting and Storage for Electronic Devices 2011-2021*. IDTechEx, 2011 (vid. pág. 51).

-
- [106] T. H. Lee, *The Design of CMOS Radio-Frequency Integrated Circuits*, 2nd, C. U. Press, ed. Cambridge University Press, 2003 (vid. págs. 51, 65, 76).
- [107] C. Bowick, *RF Circuit Design*, C. Bowick, ed. Elsevier, 2008 (vid. págs. 52, 73).
- [108] P. E. W. H. Hayt, J. Kemmerly y S. M. Durbin, *Engineering Circuit Analysis*. McGraw-Hill Education, 2011 (vid. págs. 53, 56, 73).
- [109] *ST Microelectronics STLM20*, Hoja de datos (vid. pág. 54).
- [110] J. Sauerbrey, D. Schmitt-Landsiedel y R. Thewes, «A 500 mV 1 μ W successive approximation ADC», *IEEE Journal of Solid-State Circuits*, vol. 38, n.º 7, págs. 1261-1265, jul. de 2003. DOI: 10.1109/jssc.2003.813217 (vid. pág. 54).
- [111] J. Ryckaert, G. V. der Plas, V. D. Heyn, C. Desset, B. V. Poucke y J. Craninckx, «A 0.65-to-1.4 nJ Burst 3-to-10 GHz UWB All-Digital TX in 90 nm CMOS for IEEE 802.15.4a», *IEEE Journal of Solid-State Circuits*, vol. 42, n.º 12, págs. 2860-2869, dic. de 2007. DOI: 10.1109/jssc.2007.908665 (vid. pág. 54).
- [112] X. Zhang, H. Jiang, L. Zhang, C. Zhang, Z. Wang y X. Chen, «An Energy-Efficient ASIC for Wireless Body Sensor Networks in Medical Applications», *IEEE Transactions on Biomedical Circuits and Systems*, vol. 4, n.º 1, págs. 11-18, feb. de 2010. DOI: 10.1109/tbcas.2009.2031627 (vid. pág. 54).
- [113] K. Madsen, H. Bruun y O. Tingleff, *Methods for non-linear least squares problems*. IMM, 1999 (vid. pág. 74).
- [114] Z. Hameed y K. Moez, «Design of impedance matching circuits for RF energy harvesting systems», *Microelectronics Journal*, vol. 62, págs. 49-56, abr. de 2017. DOI: 10.1016/j.mejo.2017.02.004 (vid. pág. 74).
- [115] J. Ayers, K. Mayaram y T. S. Fiez, «An Ultralow-Power Receiver for Wireless Sensor Networks», *Solid-State Circuits, IEEE Journal of*, vol. 45, n.º 9, págs. 1759-1769, sep. de 2010. DOI: 10.1109/JSSC.2010.2056850 (vid. pág. 89).
- [116] A. Paidimarri, N. Ickes y A. P. Chandrakasan, «A +10 dBm BLE Transmitter With Sub-400 pW Leakage for Ultra-Low Duty Cycles», *IEEE Journal of Solid-State Circuits*, vol. 51, n.º 6, págs. 1331-1346, jun. de 2016. DOI: 10.1109/jssc.2016.2539345 (vid. pág. 89).
- [117] H. Gao, M. Matters-Kammerer, D. Milosevic y P. G. M. Baltus, *Batteryless mm-Wave Wireless Sensors*. Springer-Verlag GmbH, 9 de ene. de 2018 (vid. pág. 89).
- [118] S. Bandyopadhyay, P. P. Mercier, A. C. Lysaght, K. M. Stankovic y A. P. Chandrakasan, «A 1.10 nW Energy-Harvesting System with 544 pW Quiescent Power for Next-Generation Implants», *IEEE Journal of Solid-State Circuits*, vol. 49, n.º 12, págs. 2812-2824, dic. de 2014. DOI: 10.1109/jssc.2014.2350260 (vid. pág. 89).
-

- [119] A. Nagar y V. Parmar, «Implementation of Transistor Stacking Technique in Combinational Circuits», *IOSR Journal of VLSI and Signal Processing*, vol. 4, n.º 5, págs. 1-5, 2014 (vid. pág. 89).
- [120] Z. Sun, C. Jin y L. Siek, «Low power integrated circuit design with stacking technique», en *2012 8th International Caribbean Conference on Devices, Circuits and Systems (ICCDACS)*, IEEE, mar. de 2012. DOI: 10.1109/iccdacs.2012.6188921 (vid. pág. 89).
- [121] M. M. Mansour y H. Kanaya, «Compact and Broadband RF Rectifier With 1.5 Octave Bandwidth Based on a Simple Pair of L-Section Matching Network», *IEEE Microwave and Wireless Components Letters*, vol. 28, n.º 4, págs. 335-337, abr. de 2018. DOI: 10.1109/lmwc.2018.2808419 (vid. pág. 90).
- [122] M. Gasulla, J. Jordana, F.-J. Robert y J. Berenguer, «Analysis of the Optimum Gain of a High-Pass L-Matching Network for Rectennas», *Sensors*, vol. 17, n.º 8, pág. 1712, jul. de 2017. DOI: 10.3390/s17081712 (vid. pág. 90).
- [123] M. K. Hosain, A. Z. Kouzani, S. Tye, A. Kaynak y M. Berk, «RF rectifiers for EM power harvesting in a Deep Brain Stimulating device», *Australasian Physical & Engineering Sciences in Medicine*, vol. 38, n.º 1, págs. 157-172, ene. de 2015. DOI: 10.1007/s13246-015-0328-7 (vid. pág. 90).
- [124] S. Garcia-Moreno, M. A. Gurrola-Navarro, C. A. Bonilla-Barragan e I. Mejia, «Design method for RF energy harvesting rectifiers», *IEEE Transactions on Circuits and Systems II: Express Briefs*, vol. 1, n.º 1, págs. 1-1, 2020. DOI: 10.1109/tcsii.2020.2964140 (vid. pág. 90).
- [125] M. Ghovanloo y K. Najafi, «Fully integrated wideband high-current rectifiers for inductively powered devices», *IEEE Journal of Solid-State Circuits*, vol. 39, n.º 11, págs. 1976-1984, nov. de 2004. DOI: 10.1109/jssc.2004.835822 (vid. pág. 93).
- [126] K. Song, F. Xia, Y. Zhou, S. Guo e Y. Fan, «Microstrip/Slotline-Coupling Substrate Integrated Waveguide Power Divider With High Output Isolation», *IEEE Microwave and Wireless Components Letters*, vol. 29, n.º 2, págs. 95-97, feb. de 2019. DOI: 10.1109/lmwc.2018.2888943 (vid. pág. 102).
- [127] A. M. Abbosh, M. Bialkowski y J. Mazierska, «An UWB planar out-of-phase power divider employing microstrip-slot and parallel stripline-microstrip transitions», en *2006 Asia-Pacific Microwave Conference*, IEEE, dic. de 2006. DOI: 10.1109/apmc.2006.4429559 (vid. pág. 102).
- [128] S. García-Moreno y M. Bandala-Sánchez, «Multiphysical computation of the structural bending in a bottom-drive VCM», *COMPEL - The international journal for computation and mathematics in electrical and electronic engineering*, vol. 35, n.º 5, págs. 1617-1624, sep. de 2016. DOI: 10.1108/compel-09-2015-0341 (vid. pág. 107).
- [129] M. Velazquez, D. Cruz, S. Garcia y M. Bandala, «Velocity and Motion Control of a Self-Balancing Vehicle Based on a Cascade Control Strategy», *International Journal of Advanced Robotic Systems*, vol. 13, n.º 3, pág. 106, ene. de 2016. DOI: 10.5772/63933 (vid. pág. 107).

- [130] D. Cruz, S. García y M. Bandala, «ANN-Based Control of a Wheeled Inverted Pendulum System Using an Extended DBD Learning Algorithm», *International Journal of Advanced Robotic Systems*, vol. 13, n.º 3, pág. 99, ene. de 2016. DOI: 10.5772/63485 (vid. pág. 107).
- [131] S. García-Moreno y M. Bandala-Sánchez, «Fringing capacitance in sections of circular parallel plates with variable overlapping area», *Electronics Letters*, vol. 49, n.º 11, págs. 712-714, mayo de 2013. DOI: 10.1049/el.2013.0087 (vid. pág. 107).
- [132] V. Rizzoli, A. Costanzo, F. Mastri y A. Neri, «A general SPICE model for arbitrary linear dispersive multiport components described by frequency-domain data», en *IEEE MTT-S International Microwave Symposium Digest, 2003*, IEEE, 2003. DOI: 10.1109/mwsym.2003.1210871 (vid. pág. 107).
- [133] K. Hakhamaneshi, N. Werblun, P. Abbeel y V. Stojanović, «Analog Circuit Generator based on Deep Neural Network enhanced Combinatorial Optimization», en *Proceedings of the 56th Annual Design Automation Conference 2019 on - DAC '19*, ACM Press, 2019. DOI: 10.1145/3316781.3322468 (vid. pág. 108).
- [134] B. Liu, *Automated design of analog and high-frequency circuits : a computational intelligence approach*. Heidelberg: Springer, 2013 (vid. pág. 108).
- [135] L. Pantoli, A. Leoni, V. Stornelli y G. Ferri, «An IC architecture for RF Energy Harvesting systems», *Journal of Communications Software and Systems*, vol. 13, n.º 2, pág. 96, jun. de 2017. DOI: 10.24138/jcomss.v13i2.377 (vid. pág. 108).
- [136] H. M. Cheema y A. Shamim, «The last barrier: on-chip antennas», *IEEE Microwave Magazine*, vol. 14, n.º 1, págs. 79-91, ene. de 2013. DOI: 10.1109/mmm.2012.2226542 (vid. pág. 109).
- [137] X.-Y. Bao, Y.-X. Guo e Y.-Z. Xiong, «60 GHz AMC-Based Circularly Polarized On-Chip antenna using standard 0.18 μm CMOS technology», *Antennas and Propagation, IEEE Transactions on*, vol. 60, n.º 5, págs. 2234-2241, mayo de 2012. DOI: 10.1109/TAP.2012.2189725 (vid. pág. 109).
- [138] H.-C. Kuo, H.-L. Yue, Y.-W. Ou, C.-C. Lin y H.-R. Chuang, «A 60 GHz CMOS Sub-Harmonic RF Receiver With Integrated On-Chip Artificial-Magnetic-Conductor Yagi Antenna and Balun Bandpass Filter for Very-Short-Range Gigabit Communications», *Microwave Theory and Techniques, IEEE Transactions on*, vol. 61, n.º 4, págs. 1681-1691, abr. de 2013. DOI: 10.1109/TMTT.2013.2247622 (vid. pág. 109).
- [139] J.-D. Park y A. M. Niknejad, «Y-Band On-Chip Dual Half-Width Leaky-Wave Antenna in a Nanoscale CMOS Process», *IEEE Antennas and Wireless Propagation Letters*, vol. 12, págs. 1476-1479, 2013. DOI: 10.1109/lawp.2013.2289950 (vid. pág. 109).
- [140] Y. Ronen, M. Kurtzhand, L. Droizman y E. Shwageraus, «Conceptual Design of Americium Nuclear Battery for Space Power Applications», *Journal of Propulsion and Power*, vol. 23, n.º 4, págs. 874-880, 2007. DOI: 10.2514/1.25837. eprint: <https://doi.org/10.2514/1.25837> (vid. pág. 109).

- [141] D.-Y. Qiao, X.-J. Chen, Y. Ren y W.-Z. Yuan, «A Micro Nuclear Battery Based on SiC Schottky Barrier Diode», *Journal of Microelectromechanical Systems*, vol. 20, n.º 3, págs. 685-690, jun. de 2011. DOI: 10.1109/jmems.2011.2127448 (vid. pág. 109).